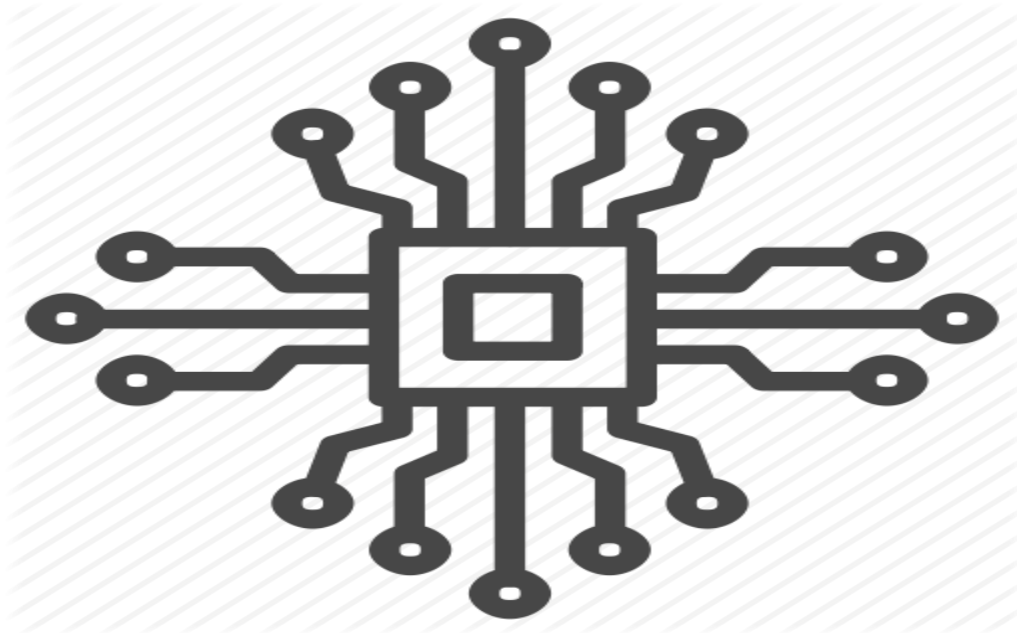




Πανεπιστήμιο Δυτικής Αττικής
University of West Attica

**ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ &
ΗΛΕΚΤΡΟΝΙΚΩΝ ΜΗΧΑΝΙΚΩΝ**

«Σχεδιασμός και ανάλυση κυκλωμάτων στατικής μνήμης τυχαίας προσπέλασης στο λογισμικό Tina Designsoft»



Ζήκος Κωνσταντίνος-Θεόδωρος

A.M. 06515

Επιβλέπων καθηγητής: Πάτσης Γεώργιος

Αιγάλεω

ΠΕΡΙΕΧΟΜΕΝΑ

ΠΡΟΛΟΓΟΣ.....	4
ΠΕΡΙΛΗΨΗ.....	5
ABSTRACT.....	6
ΚΕΦ 1 ^ο –Λογισμικό TINA.....	7
Εισαγωγή.....	7
Γραμμή μενού.....	9
ΚΕΦ 2 ^ο -Κυκλώματα SRAM.....	15
MOSFET-BSIM.....	15
PMOS.....	16
NMOS.....	18
CMOS.....	20
SRAM.....	21
Διαφορικός ενισχύτης ευαισθησίας.....	24
Κελί SRAM 6T.....	26
Κελί SRAM 7T.....	30
Κελί SRAM 8T.....	34
Κελί SRAM 9T.....	37
Κελί SRAM 10T.....	41
ΚΕΦ 3 ^ο -Ανοχή στατικού θορύβου.....	44
RHSNM.....	45
Αποτελέσματα RHSNM.....	58
WSNM.....	59

Αποτελέσματα WSNM.....	68
ΚΕΦ 4 ^ο -1Byte SRAM.....	69
DECODER.....	70
MULTIPLEXER.....	74
Τελική έξοδος 1Byte.....	78
Βιβλιογραφία.....	79

Πρόλογος

Η παρούσα πτυχιακή εργασία έχει εκπονηθεί στο τμήμα Ηλεκτρολόγων και Ηλεκτρονικών Μηχανικών του Πανεπιστημίου Δυτικής Αττικής. Στόχος της ήταν η μελέτη αλλά και η πραγμάτωση κυκλωμάτων στατικής μνήμης τυχίας προσπέλασης (RAM).

Η ραγδαία ανάπτυξη στην σχεδίαση ψηφιακών ενσωματωμένων συστημάτων μικρού μεγέθους έχει σηματοδοτήσει την τάση για βελτιστοποίηση τους με σκοπό την ευρεία χρήση τους σε διάφορα συστήματα. Τέτοια συστήματα συναντάμε και χρησιμοποιούμε σε καθημερινή βάση όπως επεξεργαστές, ιατρικά συστήματα, αυτοκίνητα, κάρτες γραφικών, ψηφιακές κάμερες.

Θα ήθελα να ευχαριστήσω ιδιαιτέρως τον κύριο Γεώργιο Πατσή για την ευκαιρία που μου έδωσε για να μελετήσω ένα τόσο ενδιαφέρον θέμα, καθώς και για την μεγάλη βοήθεια και χρόνο που μου παρείχε καθ' όλη την διάρκεια της εκπόνησης της πτυχιακής μου εργασίας.

Περίληψη

Σκοπός της παρούσας πτυχιακής εργασίας είναι η μελέτη διαφόρων κυκλωμάτων στατικής RAM με κύριο γνώρισμα το μικρό μέγεθος τους αλλά και την απλότητα ως προς την σχεδίαση τους. Αρχικά στην εργασία έγινε μελέτη γύρω από την λειτουργία της στατικής RAM και όλων των παρελκόμενων για την λειτουργία της και στην συνέχεια έγινε η πραγμάτωση κυκλωμάτων με 6,7,8,9,10 τρανζιστορ που το κάθε κύκλωμα αποθηκεύει 1bit. Επιπροσθέτως, έγινε σύγκριση των παραπάνω κυκλωμάτων για διάφορες συνθήκες. Στο τελευταίο σκέλος της εργασίας έγινε η πραγμάτωση κυκλώματος στατικής RAM για 1Byte(8bit) με όλα τα παρελκόμενα για την σωστή λειτουργία της. Όλες οι υλοποιήσεις έγιναν στο λογισμικό Tina DesignSoft.

Η εργασία αυτή δομείται σε τέσσερα κεφάλαια. Στο πρώτο γίνεται ανάφορα στο λογισμικό TINA στο οποίο έγιναν όλες οι συνθεσεις των μνημών.

Στο δεύτερο κεφάλαιο γίνεται αναλυτική περιγραφή των 5 κυκλωμάτων μνημης που υλοποιήθηκαν καθώς και στον διαφορικό ενισχυτή που χρησιμοποιήθηκε για έξοδο.

Στο τρίτο κεφάλαιο υλοποιείται σύγκριση μεταξύ των 5 κυκλωμάτων ως προς την ανοχή στον θόρυβο με φιλική συμμετοχή του γνώριμου περιβάλλοντος MATLAB.

Τέλος στο τέταρτο και τελευταίο κεφάλαιο γίνεται υλοποίηση κυκλώματος 1byte μαζί με συμπληρωματικά κυκλώματα που αποδίδονται σε ρεαλιστική χρήση της στατικής μνήμης.

ABSTRACT

The purpose of this dissertation is to study various static RAM circuits with their small size and simplicity in design. Initially there was focus in the operating of Static RAM and all of the components for its operations and then the implementation of circuits with 6,7,8,9,10 transistors that each circuit storing 1bit. In addition, comparison was made for the above circuits for different conditions. The last task of the project was the implementation of 1byte(8bit) static RAM circuit with all add-ons for its proper operation. All implementations were made in Tina DesignSoft software.

The dissertation is structured in four chapters. The first chapter is referring to TINA software where all the memory compositions were made.

The second chapter gives a detailed description of the five memory circuits implemented as well as the differential amplifier used for output.

In the third chapter, a comparison is made between the 5 circuits for noise tolerance with the friendly participation of the familiar MATLAB environment.

Finally, in the fourth and final chapter, a 1byte circuit is implemented along with complementary circuits for realistic use of static memory.

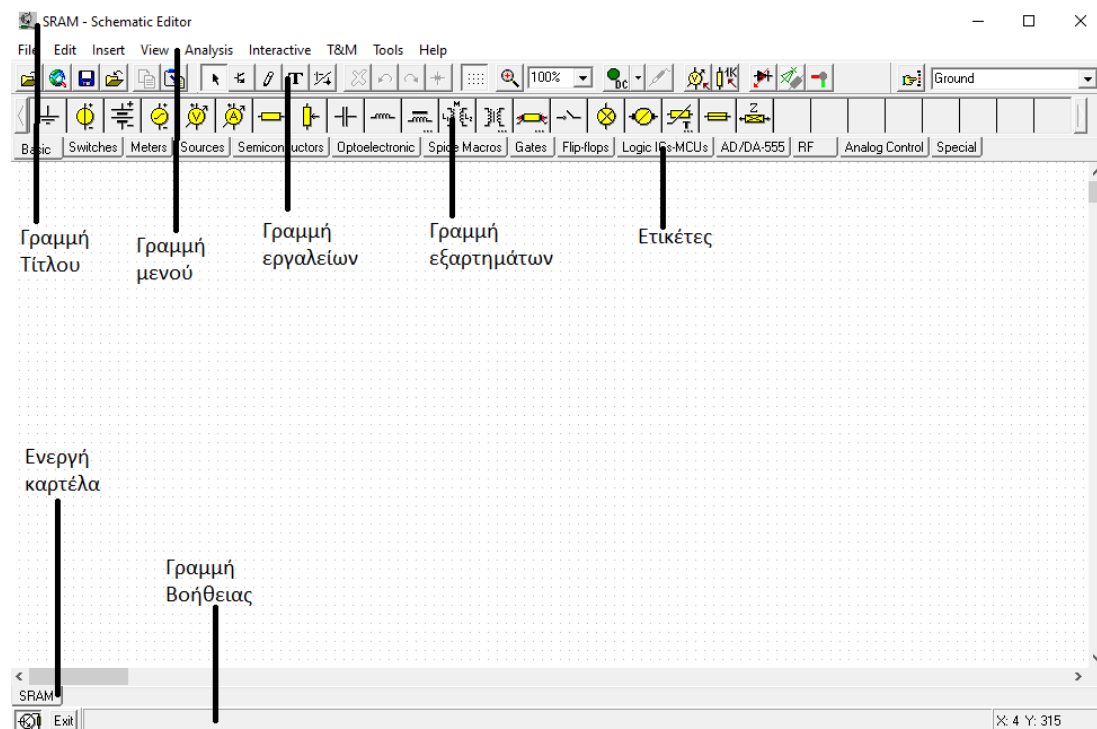
ΛΟΓΙΣΜΙΚΟ ΤΙΝΑ

Εισαγωγή

Το ΤΙΝΑ αποτελεί ένα πανίσχυρο λογισμικό απο την εταιρία **DESIGNSOFT** με σκοπό την ανάλυση, σχεδίαση και προσομοίωση κυκλωμάτων. Εμπεριέχει μεγάλο μέρος απο ολοκληρωμένα κυκλώματα καθώς και ηλεκτρονικών στοιχείων για την σχεδίαση αναλογικών και ψηφιακών κυκλωμάτων. Η βιβλιοθήκη του λογισμικού εμπεριέχει παθητικά και ενεργητικά εξαρτήματα καθώς υπάρχει η δυνατότητα κατασκευής τροποποιημένων ή προσωπικών κυκλωμάτων.

Κατά τον σχεδιασμό ενός κυκλώματος υπάρχει η δυνατότητα υποστήριξης αυτού απο πλαίσια κειμένων, διαγραμμάτων καθώς και μετρήσεων σε πραγματικό χρόνο. Επιπροσθέτως, υπάρχει η δυνατότητα ανίχνευσης σφαλμάτων, ενεργοποίησης βλαβών και όλα αυτά σε ένα περιβάλλον εργασίας αρκετα οικείο και εύκολο στην χρήση. Το λογισμικό υποστηρίζεται από αρκετά έτοιμα κυκλώματα που βοηθούν την διαδικασία εκμάθησης του.

Κύριο παράθυρο TINA



Στο TINA υπάρχει ίδια φιλοσοφία με ένα κλασικό πρόγραμμα των Windows.

- Γραμμή τίτλου: Όνομα κυκλώματος
- Γραμμή μενού: Εντολές όπως άνοιγμα αρχείου, εκτύπωση, αποθήκευση κτλ.
- Γραμμή εργαλείων: Περιέχει εντολές που έχουν συχνή εφαρμογή όπως αντιγραφή, επικόλληση κ.α.
- Γραμμή εξαρτημάτων και ετικέτες: περιέχουν βασικά εξαρτήματα κατηγοριοποιημένα από τις αντίστοιχες ετικέτες καθώς και διάφορα όργανα μέτρησης. Στα βασικά υπάρχουν εξαρτήματα συχνής χρήσης όπως γειώσεις, πυκνωτές, αντιστάσεις. Στις πηγές υπάρχουν πηγές τάσης, ρεύματος, παλμου κ.α.
- Ενεργή καρτέλα: Μας δείχνει ποιά καρτέλα βλέπουμε. Στο TINA μπορούμε να έχουμε αρκετές καρτέλες παράλληλα.
- Γραμμή βοήθειας: Στην γραμμή βοήθειας προβάλλονται σύντομες πληροφορίες για το εξάρτημα το οποίο είναι πάνω ο κέρσορας.

Γραμμή μενού

Στην γραμμή μενού πατώντας αριστερό κλικ σε ένα απο τα παράθυρα υπάρχει ένα “Drop down menu”. Αυτά τα μενού παραπέμπουν στην εκτέλεση μιας συγκεκριμένης εντολής ή σε κάποιο άλλο παράθυρο.

Αρχείο(File)

Σε αυτή την επιλογή μενού περιλαμβάνονται κλασικές εντολές που συναντάμε στα Windows. Η εντολή δημιουργία(new) ανοίγει ένα νέο παράθυρο με σκοπό το σχεδιασμό και δημιουργία κυκλώματος. Η εντολή άνοιγμα(Open) ανοίγει ένα ήδη υπάρχον κυκλωμα. Η εντολή αποθήκευση(save) αποθηκεύει το τρέχον κύκλωμα ενώ η εντολή αποθήκευση ως(save as) δημιουργείτε ένα αντίγραφο ή μια νέα εκδοση του κυκλώματος και επιλέγουμε και την θέση στον υπολογιστή που θέλουμε να αποθηκευτεί. Με την εντολή εξαγωγή εξάγουμε το τρέχον κύκλωμα ως αρχείο σε μορφή PSpice(*.CIR), windows metafile(*.WMF) καθώς και PCB(*.NET). Με την εντολή εισαγωγή εισάγεται αρχείο κυκλώματος τυπου 2xh(*.ICE), Palmtop(*.SCH), Pspice(*,CIR). Με τον κατάλογο υλικών(Bill of Materials) φτιάχνεται μία λίστα με όλα τα εξαρτήματα που χρησιμοποιήσαμε. Η εντολή εισαγωγή μακροεντολής(enter macro) ελέγχουν τη διαδικασία ανοίγματος και κλεισίματος μακροεντολών του TINA. Η διαμόρφωση σελίδας δίνει την δυνατότητα αλλαγής ρυθμίσεων της σελίδας για εκτύπωση, η προεπισκόπηση(Print preview) δείχνει την τρέχον διαμόρφωση της σελίδας σύμφωνα με της ρυθμίσεις και τέλος η εκτύπωση(print) εκκινεί διαδικασίες διαδικασίες εκτύπωσης.

New	Ctrl+N
Open...	Ctrl+O
Open Examples...	
Open from the Web...	
Save	Ctrl+S
Save As...	
Save All	
Close	Ctrl+F4
Close All	
PCB library	>
Export	>
Import	>
Bill of Materials...	
Enter Macro	
Page Setup...	
Print Preview	
Print...	Ctrl+P
Exit	

Περιεχόμενα του μενού αρχείο(File)

ΕΠΕΞΕΡΓΑΣΙΑ(EDIT)

Το μενού της επεξεργασίας περιλαμβάνει εντολές για την επεξεργασία κυκλωμάτων όπως:

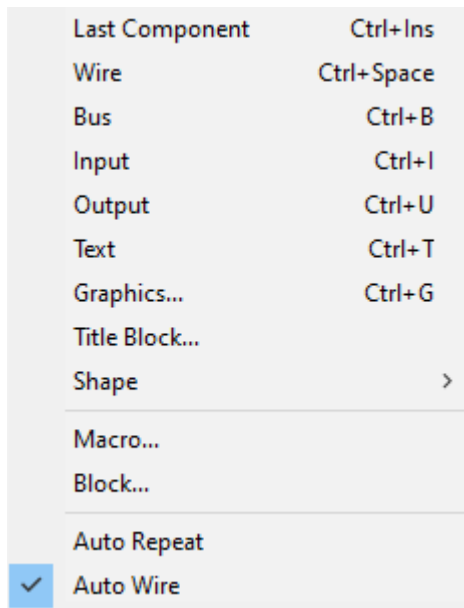
Αναίρεση(undo),Επανάληψη(redo),Αποκοπή(cut),αντιγραφή(copy),Επικόλληση(paste),διαγραφή(delete),Επιλογή όλων(select all).Στην συνέχεια υπάρχουν και οι εντολές περιστροφή Αριστερά ή δεξιά και ο κατοπτρισμός που βοηθούν στην διαχείριση χώρου στο κύκλωμα.Η εντολή ιδιότητες(properties) περιέχει ιδιότητες και χαρακτηριστικά ενός επιλεγμένου εξαρτήματος.Με την εντολή Σύμβολο(Symbol) εισάγεται ή δημιουργείται ένα σύμβολο.Με την διανομή(sharing) έχουμε την επιλογή δημιουργίας διαφορετικών εκδόσεων ή κλειδώματος/ξεκλειδώματος ενός κυκλώματος.Τέλος, η απόκρυψη/επανασύνδεση(hide/reconnect) σχετίζεται με την σύνδεση/αποσύνδεση δύο αγωγών που δημιουργούν έναν κόμβο.

Undo	Ctrl+Z
Redo	Ctrl+Y
Cut	Ctrl+X
Copy	Ctrl+C
Paste	Ctrl+V
Delete	Ctrl+Del
Select All	Ctrl+A
Rotate Left	Ctrl+L
Rotate Right	Ctrl+R
Mirror	
Properties...	
Symbol...	
Sharing	>
Arrange	>
Hide/Reconnect	

Περιεχόμενα του μενού επεξεργασία(edit)

ΕΙΣΑΓΩΓΗ(INsert)

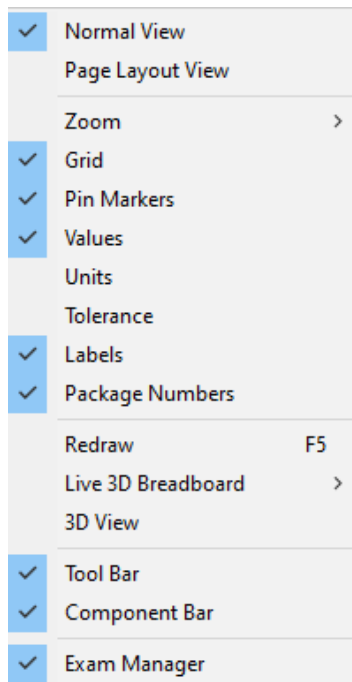
Το μενού αυτό περιέχει εντολές όπως καλώδιο(wire), δίαυλος(bus), είσοδος(input), έξοδος(output), κείμενο(text), γραφικά(graphics), μακροεντολή(macro), block που εισάγουν τα αντίστοιχα εξαρτήματα η εκτελούν τις αντίστοιχες εντολές. Υπάρχει και η εντολή τελευταίο εξάρτημα(last component) που εισάγει το εξάρτημα που χρησιμοποιήθηκε τελευταία. Η εντολή αυτόματη επανάληψη(auto repeat) πραγματοποιεί επανάληψη εισαγωγής εξαρτήματος στον σχηματικό χώρο. Τέλος η εντολή αυτόματη καλωδίωση(auto wire) επιτρέπει την μετακίνηση εξαρτημάτων που έχουν συνδεθεί με καλώδιο χωρίς να διαλυθεί η σύνδεση.



Περιεχόμενα του μενού εισαγωγή

ΠΡΟΒΟΛΗ(VIEW)

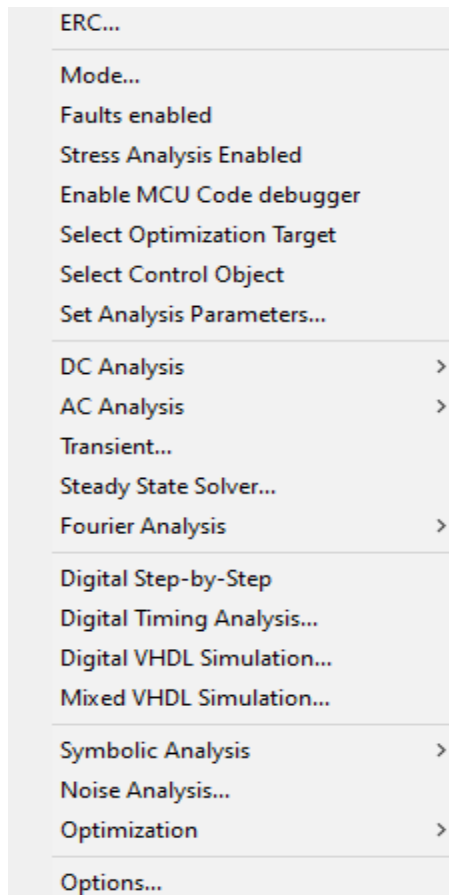
Στο μενού προβολή γίνεται η επιλογή παρουσίασης. Η επιλογή Κανονική προβολή(normal view) προβάλλει την κλασική μορφή του κεντρικού παραθύρου του TINA ενώ η προβολή διάταξης σελίδας(page layout view) περιλαμβάνει το σχηματικό του κεντρικού παραθύρου σε μορφή σελίδας. Η εντολή μεγέθυνση(zoom) εμφανίζει ένα υπομενού για την επιλογή τρόπων μεγέθυνσης του κυκλώματος. Οι μεταβλητές εντολές πλέγμα(grid) ,δείκτες Pin(pin markers) ,τιμές(values) ,μονάδες(units) ,ανοχή(tolerance) ,ετικέτες(labels) ,αριθμοί πακέτων(package numbers), γραμμή εργαλείων(tool bar), γραμμή εξαρτημάτων(component bar) έχουν την επιλογή προβολής ή αποκρυπτογράφησης των περιεχομένων των εξαρτημάτων. Η εντολή επανασχεδίαση(redraw) επανασχεδιάζει το κύκλωμα με σκοπό την καλύτερη προβολή του.



Περιεχόμενα του μενού προβολή

ΑΝΑΛΥΣΗ(analysis)

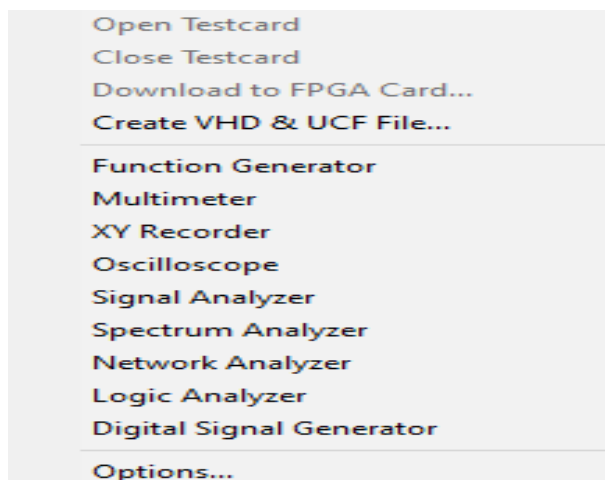
Σε αυτό το μενού γίνεται η διαμόρφωση και η επιλογή ανάλυσης. Αρχικά υπάρχει το ERC(electric rules check) που ελέγχει αν όλες οι καλωδιώσεις και συνδέσεις είναι σωστές στο εκάστοτε κύκλωμα. Από τον τρόπο(mode) γίνεται η επιλογή του τρόπου ανάλυσης π.χ. χειρότερη περίπτωση(worse case) ή σε βαθμίδες θερμοκρασίας(temperature stepping). Με την εντολή ενεργοποίηση βλαβών(faults enabled) ενεργοποιούνται οι ορισμένες από τον χρήστη βλάβες. Η εντολή παραμέτρων ανάλυσης(set analysis parameters) μας επιτρέπει την αλλαγή παραμέτρων που σχετίζονται με την ανάλυση π.χ. θερμοκρασία περιβάλλοντος. Στην συνέχεια έχουμε την δυνατότητα επιλογής από: την ανάλυση DC(DC analysis) ,την AC ανάλυση(AC analysis) ,την μεταβατική ανάλυση(transient analysis) ,την ανάλυση φουριέρ(fourier analysis) ,ψηφιακές αναλύσεις(βήμα προς βήμα και χρονική). Τέλος την συμβολική(symbolic) και την ανάλυση θορύβου(noise analysis).



Περιεχόμενα του μενού ανάλυση

Εργαλεία και μετρήσεις(T&M)

Το μενού αυτό περιέχει όλα τα εικονικά όργανα μετρήσεων μαζί με όλες τις χρήσιμες εντολές για την υλοποίηση πραγματικών μετρήσεων στο περιβάλλον των εικονικών οργάνων. Η επιλογή λειτουργία κάρτας(open testcard) ενεργοποιείται εφόσον έχει τοποθετηθεί στον Η/Υ η ειδική κάρτα ανάκτησης δεδομένων(TINA LAB) για τις πραγματικές μετρήσεις. Στην συνέχεια, υπάρχουν τα εικονικά όργανα μετρήσεων όπως παλμογράφος και πολύμετρο.



Περιεχόμενα του μενού εργαλείων και μετρήσεων

MOSFET

Το τρανζίστορ MOSFET (metal oxide semiconductor field-effect transistor) είναι διατάξεις ελεγχόμενες από τάση οι οποίες δεν απαιτούν μεγάλα ρεύματα όπως αντίστοιχες διπολικές διατάξεις (BJT). Σε αντίθεση με άλλα τρανζίστορ επίδρασης πεδίου (FET) είναι ότι το δυναμικό που ελέγχει τη λειτουργία τους (δυναμικό πύλης) εφαρμόζεται στην ενεργό περιοχή (κανάλι) διαμέσου ενός μονωτικού στρώματος από κατάλληλο οξείδιο. Τα MOSFET μπορούν να κατασκευαστούν τόσο μεμονωμένα (διακριτά τρανζίστορ) όσο και ως μέρη ενός ευρύτερου ολοκληρωμένου κυκλώματος. Η ενεργή περιοχή τους μπορεί να είναι ένα κανάλι p-τύπου και χαρακτηρίζεται ως PMOS ή ένα κανάλι n-τύπου και χαρακτηρίζεται NMOS. Τα τρία σημεία αλληλεπίδρασης των MOSFET είναι η πηγή (S) ο απαγωγός (D) και η πύλη (G) που μέσω της τάσης αυτής ορίζεται η αγωγιμότητα της συσκευής.

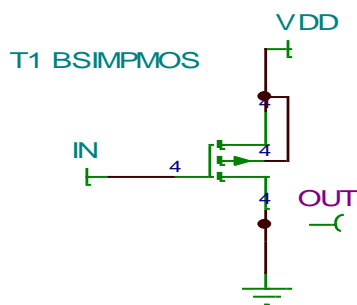
BSIM

BSIM (Berkeley Short-channel IGFET Model) είναι μια οικογένεια μοντέλων τρανζίστορ MOSFET για σχεδιασμό ολοκληρωμένου κυκλώματος. Αναφέρεται επίσης στον όμιλο BSIM που βρίσκεται στο Τμήμα Ηλεκτρολόγων Μηχανικών και Επιστημών Υπολογιστών (CEES) στο Πανεπιστήμιο της Καλιφόρνιας, Berkeley, που αναπτύσσει τα μοντέλα αυτά. Εμπορικοί και βιομηχανικοί αναλογικοί προσομοιωτές απαιτούνται ακριβή μοντέλα τρανζίστορ για προσομοίωση ηλεκτρονικού κυκλώματος, το οποίο με τη σειρά του είναι απαραίτητο για σχεδιασμό ολοκληρωμένου κυκλώματος.

Στις προσομοιώσεις χρησιμοποιήθηκε το πρωτόκολλο λειτουργίας BSIM3v3.3 και συγκεκριμένα το Level 49 της οικογένειας BSIM σύμφωνα με το οποίο ορίστηκαν οι προδιαγραφές των τρανζίστορ.

PMOS

Ένα MOSFET με κανάλι P τύπου ονομάζεται PMOS και είναι ένα από τα βασικά κομμάτια που χρειαζόμαστε για την κατασκευή στατικής RAM. Τα PMOS λειτουργούν δημιουργώντας ένα στρώμα αντιστροφής (inversion layer) σε ένα σώμα τρανζίστορ τύπου N. Αυτό το στρώμα αναστροφής, που ονομάζεται p-κανάλι, μπορεί να πραγματοποιήσει τρύπες μεταξύ των ακροδεκτών πηγής (S) και απαγωγού (D). Το P-κανάλι δημιουργείται με την εφαρμογή τάσης στον ακροδέκτη της πύλης (G). Το PMOS είναι αργό στο να αλλάξει κατάσταση από υψηλή σε χαμηλή. Όταν αλλάζει κατάσταση από χαμηλή σε υψηλή, το τρανζίστορ έχει μικρή αντίσταση και το χωρητικό φορτίο στην έξοδο συσσωρεύεται αρκετά γρήγορα (περίπου σαν φόρτιση πυκνωτή μέσω μικρής αντίστασης). Αντιθέτως, η αντίσταση μεταξύ της εξόδου και της αρνητικής τροφοδοσίας είναι πολύ μεγαλύτερη, επομένως η αλλαγή κατάστασης από υψηλή σε χαμηλή είναι αργή (περίπου σαν εκφόρτιση πυκνωτή μέσω υψηλής αντίστασης).



Το PMOS στο TINA

Μία παρα πολύ σημαντική παράμετρος για τα MOSFET είναι η αναλογία πλάτους/μήκους. Το PMOS που χρησιμοποιήθηκε στις προσομοιώσεις είναι στα 0.25 microns και η αναλογία πλάτους/μήκους (W/L) είναι 20U/0.25U σύμφωνα με το επίπεδο 49 του BSIM3v3.3.

Το PMOS λειτουργεί ως αντιστροφέας ως προς το τι εισάγεται στην είσοδο του καναλιού.

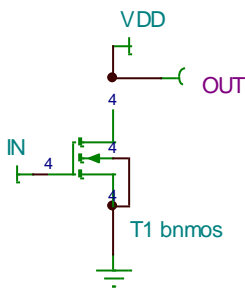
<u>IN</u>	<u>OUT</u>
0	1
1	0

Παρακάτω βλέπουμε τις προδιαγραφές του PMOS που χρησιμοποιήθηκαν μέσω του TINA για τις προσομοιώσεις:

```
.MODEL CMOSF PMOS (  
+LEVEL = 49          acm = 3          hdif = 0.35e-6  
+VERSION = 3.1      TNOM = 27        TOX = 5.7E-9  
+XJ = 1E-7          NCH = 4.1589E17   VTH0 = -0.6586391  
+K1 = 0.5199897     K2 = 0.0357513     K3 = 0  
+K3B = 15.5613889   W0 = 1E-6          NLX = 1E-9  
+DVT0W = 0          DVT1W = 0          DVT2W = 0  
+DVT0 = 2.6100181   DVT1 = 0.4363142     DVT2 = -0.042436  
+U0 = 196.024903    UA = 2.767112E-9    UB = 1.90709E-18  
+UC = 6.166867E-11 VSAT = 1.975064E5    A0 = 0.2398712  
+AGS = 0.0943234    B0 = 3.21184E-6     B1 = 5E-6  
+KETA = 0.0312217   A1 = 0              A2 = 1  
+RDSW = 997.072701  PRWG = -0.1916111    PRWB = -0.495  
+WR = 1             WINT = 2.527293E-9    LINT = 1.254514E-8  
+XL = 3E-8          XW = 0              DWG = -3.253948E-8  
+DWB = 4.92072E-8   VOFF = -0.15         NFACTOR = 1.5460516  
+CIT = 0            CDSC = 1.413317E-4     CDSCD = 0  
+CDSCB = 0          ETA0 = 0.7241245     ETAB = -0.240523  
+DSUB = 1.0813613   PCLM = 2.0772083     PDIBLC1 = 4.31459E-4  
+PDIBLC2 = 0.0252121 PDIBLCB = -9.960722E-4 DROUT = 0.0432774  
+PSCBE1 = 3.191047E10 PSCBE2 = 1.323218E-8 PVAG = 0.0420525  
+DELTA = 0.01       MOBMOD = 1          PRT = 0  
+UTE = -1.5         KT1 = -0.11          KT1L = 0  
+KT2 = 0.022        UA1 = 4.31E-9         UB1 = -7.61E-18  
+UC1 = -5.6E-11     AT = 3.3E4          WL = 0  
+WLN = 1            WW = 0              WWN = 1  
+WWL = 0            LL = 0              LLN = 1  
+LW = 0             LWN = 1             LWL = 0  
+CAPMOD = 2         XPART = 0.4         CGDO = 2.68E-10  
+CGSO = 2.68E-10    CGBO = 1E-11        CJ = 1.902493E-3  
+PB = 0.9810285     MJ = 0.4644362      CJSW = 3.142741E-10  
+PBSW = 0.9048624   MJSW = 0.3304452    PVTH0 = 4.952976E-3  
+PRDSW = 29.8169373 PK2 = 3.383373E-3 WKETA = -7.913501E-3  
+LKETA = -0.0208318 )
```

NMOS

Ένα MOSFET με κανάλι N τύπου ονομάζεται NMOS και είναι εξίσου βασικό για την κατασκευή στατικής RAM. Τα NMOS αντίστοιχα λειτουργούν δημιουργώντας στρώμα αναστροφής σε ένα σώμα τρανζίστορ τύπου P. Το NMOS αντιθέτως με τα PMOS είναι γρήγορο στην αλλαγή της κατάστασης από υψηλή σε χαμηλή καθώς το τρανζίστορ παρέχει μικρή αντίσταση κατά την εκφόρτιση. Επιπροσθέτως, κατά την αλλαγή της κατάστασης από χαμηλή σε υψηλή το NMOS είναι αργό καθώς η αντίσταση μεταξύ εισόδου και εξόδου είναι μεγάλη.



NMOS στο TINA

Για το NMOS η παράμετρος πλάτους/μήκους για τα 0.25 micron είναι πλάτος = 10U μήκος = 0.25U. Συγκρίνοντας με το PMOS διακρίνουμε πως το πλάτος του είναι διπλάσιο από αυτό του NMOS. Αυτό γίνεται καθώς το PMOS έχει οπές ως 'φορτιστές' ενώ το NMOS έχει ηλεκτρόνια ως 'φορτιστές'. Τα ηλεκτρόνια έχουν ~2,7 υψηλότερη κινητικότητα από τις οπές. Ρυθμίζουμε αναλόγως έτσι ώστε η αντίσταση του PMOS με το NMOS να είναι ίδια με σκοπό να είναι ίσος ο χρόνος ανόδου και ο χρόνος πτώσης της πύλης στο ζεύγος, το οποίο είναι βασική προϋπόθεση για την σωστή λειτουργία του CMOS.

Το NMOS λειτουργεί σαν αντιστροφέας στο σημείο που παίρνουμε την έξοδο.

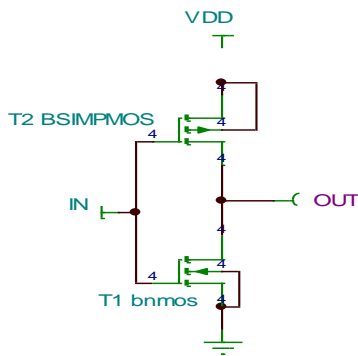
<u>IN</u>	<u>OUT</u>
0	1
1	0

Στην συνέχεια βλέπουμε τις προδιαγραφές του NMOS που χρησιμοποιήθηκαν στο TINA :

```
.MODEL CMOSN NMOS (  
+LEVEL = 49          acm = 3          hdif = 0.35e-6  
+VERSION = 3.1      TNOM = 27        TOX = 5.7E-9  
+XJ = 1E-7         NCH = 2.3549E17   VTH0 = 0.4365497  
+K1 = 0.3915623    K2 = 0.0175145    K3 = 1E-3  
+K3B = 2.6588343   W0 = 1E-7        NLX = 1.111465E-7  
+DVTOW = 0         DVT1W = 0        DVT2W = 0  
+DVT0 = -0.0408321 DVT1 = 0.0746768   DVT2 = 0.307109  
+U0 = 407.1177485  UA = 9.442714E-11  UB = 1.092986E-18  
+UC = 1.63196E-11  VSAT = 1.365087E5   A0 = 1.3189329  
+AGS = 0.2711719  B0 = 3.291713E-8   B1 = -1E-7  
+KETA = 4.645753E-3 A1 = 0          A2 = 1  
+RDSW = 439.9558234 PRWG = 0.0345487  PRWB = -0.0441065  
+WR = 1           WINT = 1.645705E-9  LINT = 1.116516E-9  
+XL = 3E-8       XW = 0           DWG = -1.494138E-9  
+DWB = 1.459097E-8 VOFF = -0.1026054  NFACTOR = 0.1344887  
+CIT = 0         CDSC = 1.527511E-3  CDSCD = 0  
+CDSCB = 0       ETA0 = 1.930311E-3  ETAB = 2.946158E-4  
+DSUB = -0.0214865 PCLM = 1.3387947  PDIBLC1 = 0.480652  
+PDIBLC2 = 9.034986E-3 PDIBLCB = -1E-3  DROUT = 0.5593223  
+PSCBE1 = 9.843289E9 PSCBE2 = 2.10878E-9  PVAG = 1.0033136  
+DELTA = 0.01    MOBMOD = 1        PRT = 0  
+UTE = -1.5      KT1 = -0.11      KT1L = 0  
+KT2 = 0.022    UA1 = 4.31E-9   UB1 = -7.61E-18  
+UC1 = -5.6E-11 AT = 3.3E4     WL = 0  
+WLN = 1        WW = -1.22182E-16 WWN = 1.2127  
+WWL = 0       LL = 0         LLN = 1  
+LW = 0        LWN = 1        LWL = 0  
+CAPMOD = 2     XPART = 0.4      CGDO = 3.11E-10  
+CGSO = 3.11E-10 CGBO = 1E-11    CJ = 1.758521E-3  
+PB = 0.99     MJ = 0.457547   CJSW = 4.085057E-10  
+PBSW = 0.8507757 MJSW = 0.3374073  PVTH0 = 7.147521E-5  
+PRDSW = -67.2161633 PK2 = -1.344599E-3  WKETA = 3.035972E-3  
+LKETA = -9.0406E-3 LAGS = -0.3012 )
```

CMOS

Τέλος το CMOS(complementary metal-oxide-semiconductor) είναι ένα είδος MOSFET το οποίο χρησιμοποιεί συμπληρωματικά και συμμετρικά ένα ζεύγος PMOS και NMOS για να εκτελέσει λογικές πράξεις. Η τεχνολογία CMOS είναι πολύ διαδεδομένη και χρησιμοποιείται για την κατασκευή ολοκληρωμένων κυκλωμάτων(Integrated Circuits) τα οποία συμπεριλαμβάνουν μικροεπεξεργαστές, μικροελεγκτές και τσίπ μνήμης. Είναι μία αξιόπιστη τεχνολογία που θα χρησιμοποιηθεί στην παρών εργασία για την προσομοίωση κυκλωμάτων στατικής RAM μαζί με τα επιμέρους κομμάτια της(PMOS, NMOS).



CMOS στο TINA

Μερικά σημαντικά χαρακτηριστικά των CMOS είναι η υψηλή ανοσία στον θόρυβο και η χαμηλή στατική κατανάλωση ενέργειας. Κατά την λειτουργία επειδή ένα τρανζίστορ από το ζεύγος θα είναι πάντα κλειστό, καταναλώνεται πολύ ενέργεια μόνο όταν υπάρχει αλλαγή της εισόδου. Άλλο ένα αξιοσημείωτο χαρακτηριστικό είναι πως το CMOS δεν παράγει τόση 'περιττή' θερμότητα όσο άλλες μορφές λογικών κυκλωμάτων όπως τα TTL ή τα NMOS τα οποία πρέπει να έχουνε κάποιο ρεύμα ακόμα και όταν δεν αλλάζουν κατάσταση. Όλα αυτά τα θετικά, είναι οι κυρίαρχοι λόγοι που το CMOS έγινε η πιο διαδεδομένη τεχνολογία για ολοκληρωμένα κυκλώματα πολυ μεγάλης κλίμακας(VLSI).

INPUT	PMOS	NMOS	OUTPUT
0	ON	OFF	1
1	OFF	ON	0

Πίνακας αληθείας CMOS

ΣΤΑΤΙΚΗ ΜΝΗΜΗ ΤΥΧΑΙΑΣ ΠΡΟΣΠΕΛΑΣΗΣ(SRAM)

Στατική μνήμη τυχαίας προσπέλασης(SRAM) είναι ένας τύπος μνήμης που χρησιμοποιεί δισταθές κύκλωμα μανδάλωσης(flip-flop) για την αποθήκευση κάθε μπίτ. Η SRAM έχει διατήρηση δεδομένων αλλά εξακολουθεί να είναι πτητική καθώς τα δεδομένα χάνονται όταν η μνήμη δεν τροφοδοτείται.

Η SRAM μπορεί να είναι :

ΣΥΓΧΡΟΝΙΣΜΕΝΗ: Όλοι οι χρόνοι ξεκινάνε απ κάποιο ρολόι. Δεδομένα κ' διευθύνσεις ορίζονται από τα σήματα αυτών των ρολογιών.

ΑΣΥΓΧΡΟΝΗ: Ανεξάρτητη από ρολόγια, οι εισόδοι και εξόδοι ορίζονται από την μετάβαση των δεδομένων. Αυτή θα είναι και η δομή που θα χρησιμοποιηθεί στις προσομοιώσεις.

ΚΑΤΑΝΑΛΩΣΗ ΙΣΧΥΟΣ: Η κατανάλωση σχετίζεται πάρα πολύ με το πόσο συχνά χρησιμοποιείται . Σε ορισμένες περιπτώσεις, μπορεί να καταναλώνει τόση ενέργεια όσο η δυναμική RAM(DRAM) όταν χρησιμοποιείται σε υψηλές συχνότητες. Σε άλλη περίπτωση όπως μικροεπεξεργαστές με μέτριας τάξης ρολόι, χρειάζεται σχεδόν ανεπαίσθητη ισχύ καθώς δεν χρησιμοποιείται συχνά.

Χαρακτηριστικά της SRAM:

Θετικά:

- Πρακτικότητα
- Απόδοση
- Σταθερότητα
- Χαμηλή κατανάλωση ισχύος όταν δεν είναι σε χρήση

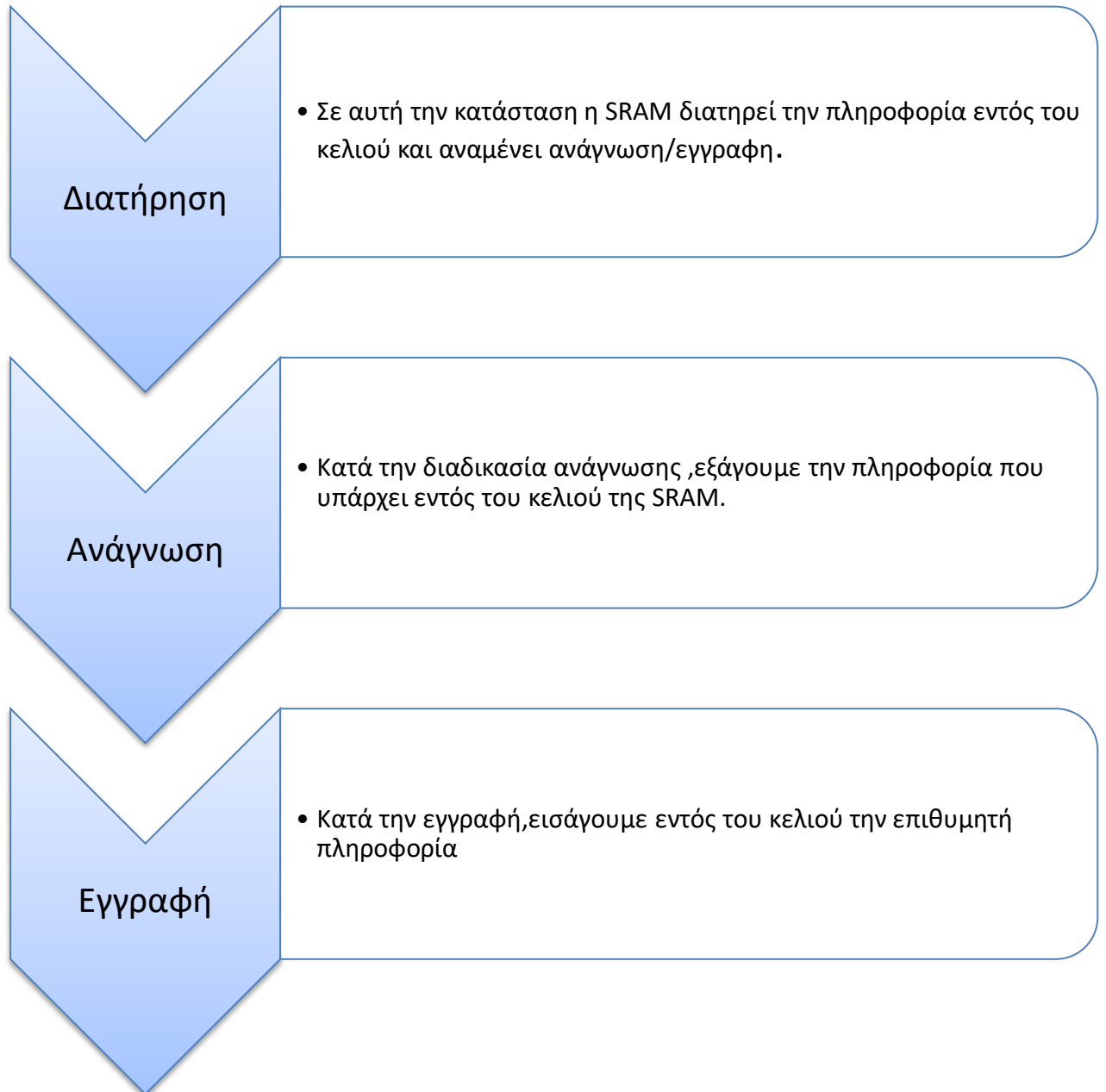
Αρνητικά:

- Κόστος κατασκευής
- Πυκνότητα
- Υψηλή κατανάλωση ισχύος κατά την χρήση

ΕΦΑΡΜΟΓΕΣ ΚΑΙ ΧΡΗΣΕΙΣ SRAM

- Συναντάμε SRAM σε οποιαδήποτε σύγχρονισμένη ή ασύγχρονη διεπαφή χρειάζεται εκρηκτική ταχύτητα μεταφοράς
- Ενσωματωμένη σε τσίπ συνήθως για cache μνήμη σε μικροελεγκτές
Σε ASICS(Application-specific integrated circuits) δηλαδή για ολοκληρωμένα κυκλώματα ειδικής χρήσης
 - Ενσωματωμένη χρήση σε βιομηχανικά και επιστημονικά υποσυστήματα Ηλεκτρονικά αυτοκινήτων
 - Σε προσωπικούς υπολογιστές για,εσωτερική μνήμη επεξεργαστή
 - LCD οθόνες για διατήρηση της εικόνας
 - Εκτυπωτές

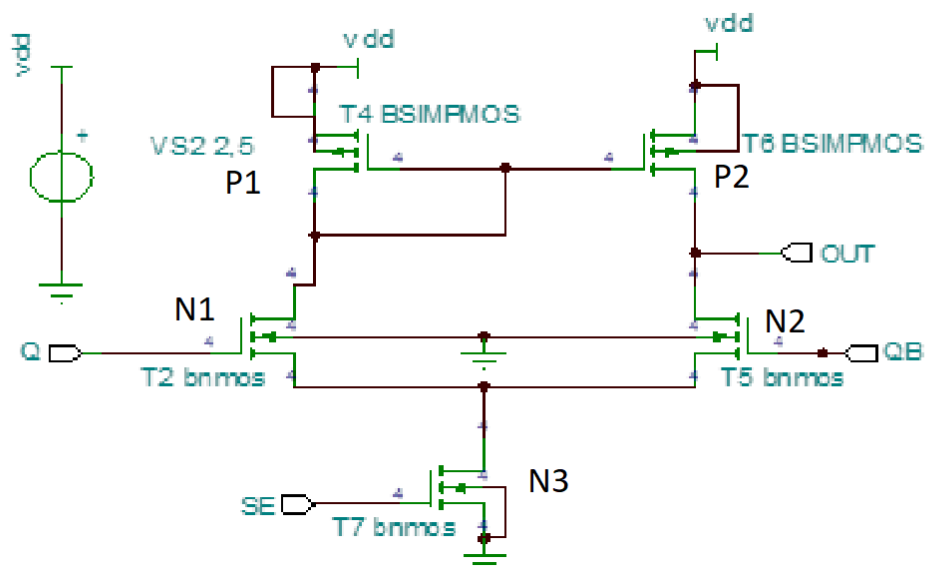
ΚΑΤΑΣΤΑΣΕΙΣ SRAM



ΔΙΑΦΟΡΙΚΟΣ ΕΝΙΣΧΥΤΗΣ ΕΥΑΙΣΘΗΣΙΑΣ(sense amplifier)

Ο ενισχυτής διαφορικής <ευαισθησίας> είναι ένας ενισχυτής δυναμικής τάσης. Η Allegro Microsystems επίσης αυτή τη στιγμή χρησιμοποιεί το παρακάτω σχέδιο στις μάρκες SRAM. Ο ενισχυτής αποτελείται από ένα διαφορικό ζεύγος (Transistors N1 και N2) με ενεργό φορτίο καθρέφτη ρεύματος (P1 και P2) και πηγή ρεύματος πόλωσης (N3).

Οι εξόδοι συνδέονται με τις πύλες των τρανζίστορ διμερούς ζεύγους και η έξοδος λαμβάνεται από την ίδια πλευρά με την QB.



Διαφορικός ενισχυτής(Sense amplifier)

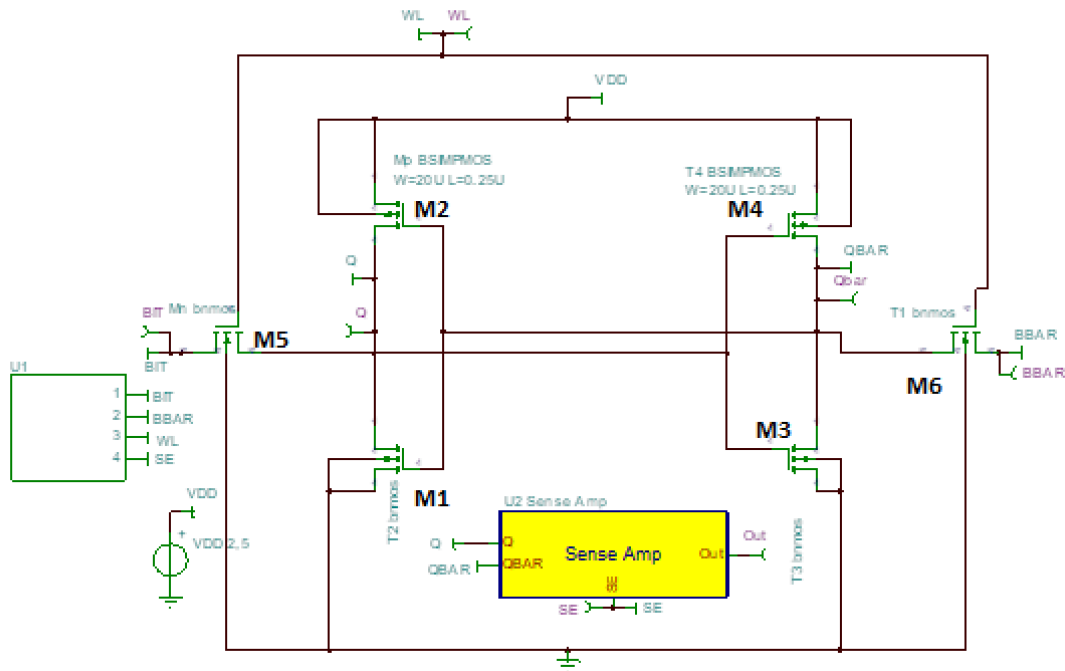
Ο διαφορικός ενισχυτής ευαισθησίας χρησιμοποιείται συνήθως επειδή είναι απλός και αξιόπιστος. Ο αισθητήρας μπορεί να ενεργοποιηθεί ταυτόχρονα με τ WL κατά τη διάρκεια ενός κύκλου ανάγνωσης, κάνοντας τις απαιτήσεις χρονισμού για αυτόν τον ενισχυτή να είναι πολύ απλές. Ο διαφορικός ενισχυτής είναι ανθεκτικός στους διαφόρους θορύβους τροφοδοσίας λόγω της ικανότητάς του να απορρίπτει τάσεις κοινής λειτουργίας · μόνο διαφορές μεταξύ των εισόδων ενισχύονται. Οποιοσδήποτε θόρυβος που εμφανίζεται και στις δύο εισόδους του ενισχυτή δεν θα έχει αντίκτυπο στην έξοδο. Εκτός από αυτό, ο ενισχυτής διαφορικής λογικής σχεδόν ποτέ δεν θα διαβάσει εσφαλμένα το κελί γιατί η έξοδος ρυθμίζεται συνεχώς ανάλογα με την τάση εισόδου. Ένας κύκλος ανάγνωσης ξεκινά όταν το σήμα SE είναι υψηλό. Αυτό προκαλεί ένα σταθερό ρεύμα παραμόρφωσης, ISS, για να περάσει μέσω της πόλωμένης πηγής ρεύματος (N3).

ΑΡΧΗ ΛΕΙΤΟΥΡΓΙΑΣ SENSE AMPLIFIER

Όταν ο ενισχυτής είναι ενεργοποιημένος για πρώτη φορά, οι τάσεις εισόδου είναι περίπου ίσες επειδή τα Bitlines είναι προφορτισμένα. Αφού ενεργοποιηθούν τα κελιά SRAM, μία γραμμή bit θα αρχίσει να εκφορτίζεται. Καθώς εκφορτίζεται, η τάση που τροφοδοτείται στην πύλη του τρανζίστορ από την πλευρά αυτή του ενισχυτή θα μειωθεί, προκαλώντας μείωση του ρεύματος στο Drain καθώς το τρανζίστορ αρχίζει να <κλείνει>. Επειδή η πηγή ρεύματος παρέχει συνολικό ρεύμα στον ενισχυτή ίσο με το ISS, η μείωση του ρεύματος στο Drain από τη μία πλευρά θα προκαλέσει το ρεύμα στην αντίθετη πλευρά του ενισχυτή να αυξηθεί. Καθώς το τρανζίστορ συνεχίζει να κλείνει, η τάση εξόδου θα ανέλθει σε ίσο με την τάση τροφοδοσίας (VDD). Μια σχετικά μικρή διαφοροποίηση μεταξύ των BL θα παράγει μεγάλη διαφορά στις τάσεις εξόδου. Προκειμένου ο ενισχυτής να λειτουργήσει σωστά, το N3 πρέπει να παραμείνει ενεργό καθ' όλη τη διάρκεια του κύκλου ανάγνωσης. Αν το ρεύμα παραμόρφωσης σταματήσει να τρέχει, δεν θα υπάρχει πλέον μια έγκυρη τιμή στην έξοδο και ο ενισχυτής δεν θα λειτουργήσει. Αυτή η συνεχής ροή ρεύματος προκαλεί το συσκευή να καταναλώνει σημαντική ποσότητα ισχύος σε όλο τον κύκλο ανάγνωσης.

ΚΕΛΙ SRAM 6T

Αρχικά θα δούμε ένα βασικό κύκλωμα στατικής μνήμης που χρησιμοποιεί 6 τρανζίστορ(6T)



Fig(1):6T Κελι στατικής RAM

Το κύκλωμα αποτελείται από 2 μπιτοσειρές(bit/bbar) οι οποίες μεταφέρουν την πληροφορία που θέλουμε να αποθηκεύσουμε στο κελί(CELL).Οι δύο μπιτοσειρές πρέπει να μεταφέρουν πάντα αντίθετο φορτίο με σκοπό να λειτουργούν σωστά οι 2 αντιστροφείς.Το WL(wordline) είναι η τάση που συνδέεται με τα M5 και M6 τα οποία είναι τα τα τρανζίστορ εισόδου.Επομένως όταν το WL άγει η πληροφορία περνάει εντός του κελιού.Οι έξοδοι του κυκλώματος είναι τα σημεία Q και QBAR τα οποία συνδέονται με τον Sense Amplifier.

Εγγραφή Bit:

Για την εγγραφή Bit, έστω ότι θέλουμε να αποθηκεύσουμε '1' εντός του κυκλώματος, στέλνουμε θετική τάση στο M5 και μηδενική τάση στο M6 (μέσω των μπιτοσειρών) καθώς πρέπει να έχουν αντίθετο φορτίο. Για να αποθηκευτεί η πληροφορία εντός του κελιού θα πρέπει να δώσουμε τάση στην βάση των αντιστοιχών τρανζίστορ εισόδου μέσω του WL για να περάσει η πληροφορία.

Διατήρηση Bit:

Για να μείνει η πληροφορία εντός του κελιού πρέπει να είναι απενεργοποιημένο το WL για να μην άγουν τα τρανζίστορ M5 και M6 και έτσι να διασφαλιστεί η διατήρηση. Η πληροφορία θα μείνει εντός του κελιού όσο υπάρχει η τροφοδοσία VDD.

Ανάγνωση Bit:

Για την ανάγνωση του Bit συνδέουμε ως εξόδους τα σημεία Q για έξοδο του BIT και QBAR για έξοδο του BBAR. Θα χρησιμοποιήσουμε διαφορικό ενισχυτή ο οποίος θα συγκρίνει την τάση μεταξύ Q και QBAR και εάν $Q > QBAR$ η έξοδος θα είναι ίση με '1', αντίστοιχα εάν $Q < QBAR$ η έξοδος θα είναι ίση με '0'.

DATA GENERATOR

Χρησιμοποιήθηκε ο data generator του TINA με σκοπό να δωθούν οι κατάλληλες τάσεις στα BIT,WL,BITBAR,SE σε συγκεκριμένη αλληλουχία με σκοπό να δούμε το πώς λειτουργεί το κελί.

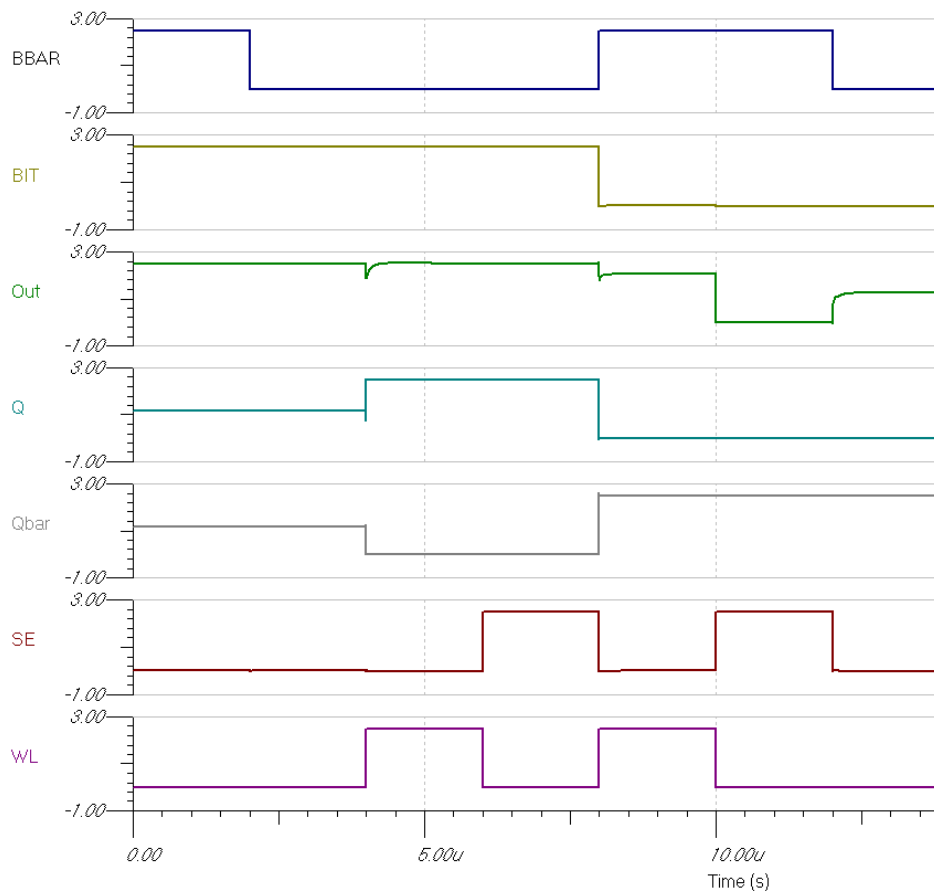
Η αλληλουχία που χρησιμοποιήθηκε εντός του data generator είναι η εξής:

Data Generator

Address	Data
0000	1100
0001	1000
0002	1010
0003	1001
0004	0110
0005	0101

- 0000:Έχουμε ενεργοποιημένες και τις 2 μπιτσειρές πριν ξεκινήσουμε την εγγραφή.
- 0001:Απενεργοποιούμε την BBAR και αφήνουμε ενεργή μόνο την BIT με σκοπό να γράψουμε Q='1' QB='0' στο κελί.
- 0002:Ενεργοποιούμε το WL για να περάσει η πληροφορία εντός του κελιού.
- 0003:Με απενεργοποιημένο WL ενεργοποιούμε το SE για να γίνει η σύγκριση στον διαφορικο ενισχυτή ευαισθησίας.
- 0004:Ενεργοποιούμε το BBAR και το WL για να γράψουμε στο κελι QBar='1' Q='0'.
- 0005:Με απενεργοποιημένο WL ενεργοποιούμε ξανα το SE για να γίνει η σύγκριση.

ΕΞΟΔΟΣ 6T

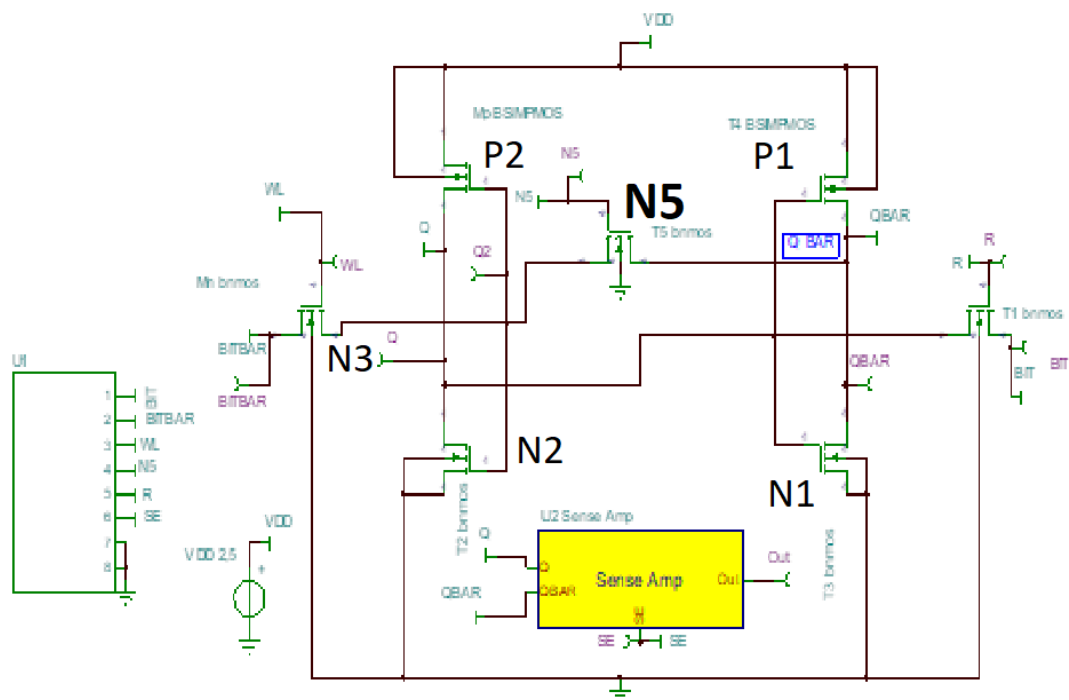


Γραφικές παραστάσεις 6T

Μέσω της εξόδου βλέπουμε ότι το κύκλωμα αλλάζει σύμφωνα με τις εντολές που ορίσαμε μέσω του Data generator και η έξοδο αντικατοπτρίζει την σωστή λειτουργία.

ΚΕΛΙ SRAM 7T

Στην συνέχεια θα εξετάσουμε ένα άλλο κύκλωμα στατικής RAM που περιέχει 7 τρανζίστορ.



Fig(8):Κελί στατικής RAM(7T).

Το κύκλωμα των 7 τρανζίστορ αποτελείται από δυο CMOS inverter το τρανζίστορ πρόσβασης MN3 είναι συνδεδεμένο με την γραμμή λέξεων(WL) για να εκτελέσει την εγγραφή πρόσβασης και το MN4 είναι συνδεδεμένο στην γραμμή ανάγνωσης(R) για την εκτέλεση των λειτουργιών ανάγνωσης.Οι γραμμές bit λειτουργούν ως κόμβοι I/O που μεταφέρουν τα δεδομένα από την SRAM στον αισθητήρα(sense amplifier) κατά την διάρκεια ανάγνωσης ή από την εγγραφή στα κελιά μνήμης κατά την διάρκεια των εγγραφών.Το κύκλωμα εξαρτάται από την διακοπή της σύνδεσης ανάδρασης μεταξύ των 2 inverter πριν από ένα κύκλο εγγραφής.Η σύνδεση αναστροφής και η αποσύνδεση πραγματοποιείται από ένα επιπλέον Nmos τρανζίστορ(MN5).Τέλος,το κελί εξαρτάται μόνο από το BLB για να εκτελέσει μια εγγραφή.

ΕΓΓΡΑΦΗ BIT:

Η λειτουργία εγγραφής του κυττάρου SRAM 7T ξεκινά με το σβήσιμο του N5 με σκοπό τη διακοπή της σύνδεσης ανάδρασης. Η γραμμή BITBAR φέρει συμπληρωματικά δεδομένα εισόδου, το N3 είναι ενεργοποιημένο, ενώ το N4 είναι εκτός λειτουργίας .Το τρανζίστορ N3 μεταφέρει τα δεδομένα από το BITBAR το οποίο οδηγεί το P2 και N2 να αναπτύξουν το Q(το δεδομένο του κελιού).Παρόμοια,το Q οδηγεί το P1 και N1,να αναπτύξουν το Q_BAR το οποίο είναι ισόδυναμο με το Q2 εάν το κελί έχει κρατήσει την τιμή '0' και ελαφρώς μεγαλύτερο από το Q εάν η τιμή είναι '1'.Τέλος το Wordline(WL) γίνεται '0' και άγει το N5 με σκοπό να επανασυνδεθεί η ανατροφοδότηση μεταξύ των δύο μετατροπέων για να αποθηκεύσουν σταθερά τα νέα δεδομένα.

ΑΝΑΓΝΩΣΗ BIT:

Κατά την λειτουργία ανάγνωσης,το Wordline(WL) και το σήμα ανάγνωσης(R) ενεργοποιούνται,ενω το τρανζίστορ N5 διατηρείται.Όταν το Q='0',η διαδρομή ανάγνωσης αποτελείται από το τρανζίστορ N2 και N4 και συμπεριφέρεται όπως το 6T.Όταν το Q='1' η διαδρομή ανάγνωσης αποτελείται από τα τρανζίστορ N1,N5,N3.

DATA GENERATOR

Για το 7T χρησιμοποιήθηκε το 8-bit data generator του TINA καθώς χρειάζονταν 6 εισόδου για έλεγχο(οι 2 τελευταίες γειώθηκαν).

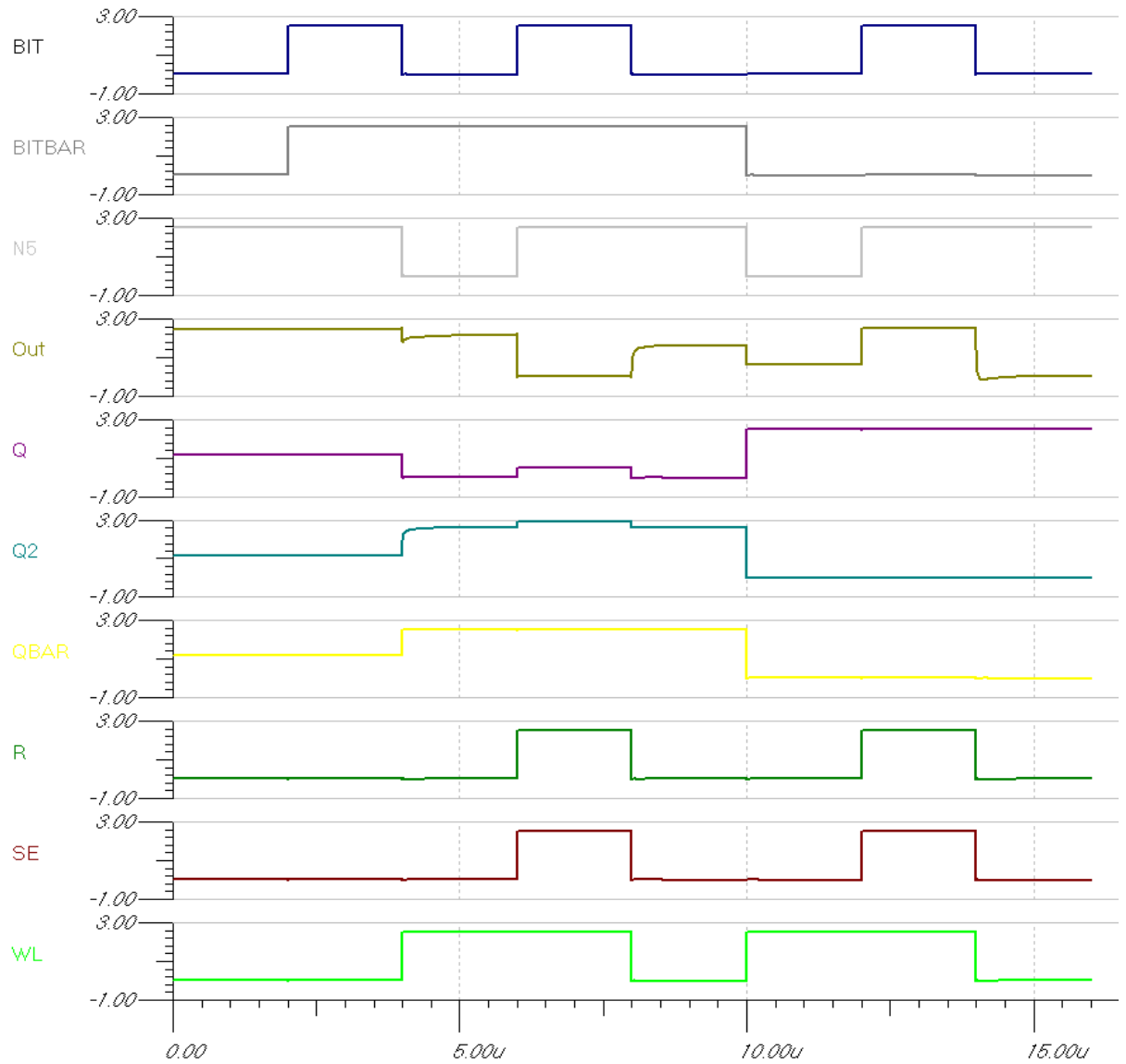
Data Generator

Address	Data
0000	00010000
0001	11010000
0002	01100000
0003	11111100
0004	01010000
0005	00100000
0006	10111100
0007	00010000

Fig(13):Οι διευθύνσεις του Data generator

- 0000:Ενεργοποιούμε την Ανάδραση
- 0001:Ενεργοποιούμε τις Μπιτοσειρές
- 0002:Ενεργοποιούμε το BITBAR και το WL για να στείλουμε την πληροφορία '0' εντός του κελιού ενώ έχουμε απενεργοποιήσει την ανάδραση(N5).
- 0003:Ενεργοποιούμε BIT,R,N5,SE για να γίνει η διαδικασία ανάγνωσης και συγκρισης στον διαφορικο ενισχυτή ευαισθησίας και να βγεί στην έξοδο το 0.
- 0004:Έχουμε απενεργοποιήσει BIT,WL,R,SE και αφήνουμε ανοιχτή την ανάδραση στο κύκλωμα
- 0005:Απενεργοποιούμε το BITBAR με σκοπό να στείλουμε '1' στο κελι και ενεργοποιούμε το WL.

- 0006: Ενεργοποιούμε BIT,N5,R,SE για να γίνει η ανάγνωση του '1'.
- 0007: Τέλος τα απενεργοποιούμε και αφήνουμε μόνο το N5 για να σταθεροποιηθεί το κύκλωμα.



Fig(13): Γραφικές παραστάσεις 7T

Το 7T λειτουργεί σωστά, οι εξόδοι είναι αυτές που ορίσαμε το Q2 είναι σχεδόν ισοδύναμο με το QBAR όπως πρέπει η αλλαγή πληροφορίας εντός του κελιού γίνεται ομαλά.

ΚΕΛΙ SRAM 8T

Σε αυτό το σημείο θα δούμε ένα άλλο κύκλωμα στατικής RAM το οποίο αποτελείται από 8 τρανζίστορ(8T).

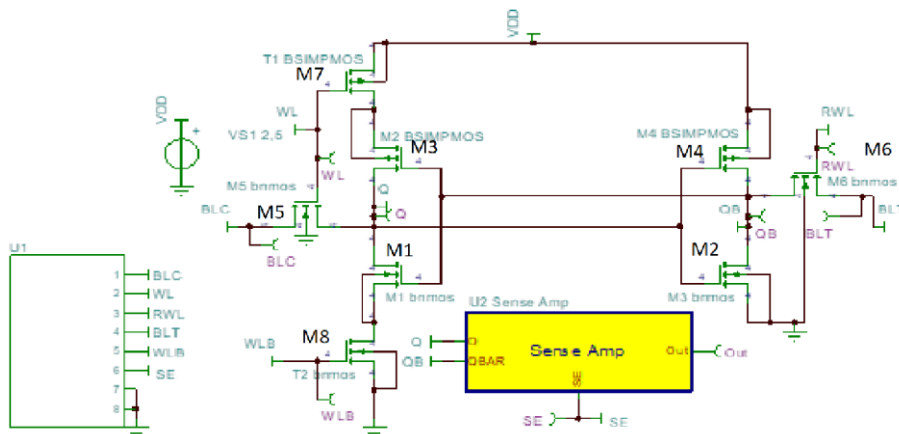


Fig : 8T

Το 8T είναι ένα κύκλωμα το οποίο είναι έτσι διαμορφωμένο ώστε να δημιουργεί μια ισχυρή θετική ανατροφοδότηση και έτσι να διατηρεί την πληροφορία εντός του κελιού αλλά και την εγγραφή με μεγάλη αξιοπιστία.

ΕΓΓΡΑΦΗ BIT:

Το M5 λειτουργεί ως το τρανζίστορ πρόσβασης εγγραφής. Κατά την διαδικασία εγγραφής τα δεδομένα τοποθετούνται στο BLC, το WL ενεργοποιείται και το M8 και M7 είναι απενεργοποιημένα έτσι ώστε ο αριστερός αντιστροφέας να είναι αδύναμος και η διαδικασία εγγραφής να είναι πιο πετυχημένη.

ΔΙΑΤΗΡΗΣΗ BIT:

Κατά την διατήρηση της πληροφορίας εντός του κελιού, το RWL και WL είναι ανενεργά και το M7 με M8 είναι ενεργοποιημένα με σκοπό να δημιουργήσουν μία ισχυρή ανατροφοδότηση για την διατήρηση της πληροφορίας.

ΑΝΑΓΝΩΣΗ BIT:

Στην ανάγνωση της πληροφορίας απο το κελί,το read bit-line(BLT) έχει τροφοδοσία ίση με VDD και το read-word-line(RWL) ενεργοποιείται.Το WLB παραμένει ανενεργό.

DATA GENERATOR:

Εγινε χρήση του 8-bit data generator απο την βιβλιοθήκη του TINA καθώς χρειαζόμασταν 6 εισόδους.

Data Generator

Address	Data
Address	Value
0000	11000000
0001	10001000
0002	00110100
0003	01000000
0004	00001000
0005	00110100

Fig:8T διευθύνσεις/data.

- 0000: Στην πρώτη διεύθυνση ενεργοποιούμε το BLC και το WL για να γίνει η εγγραφή του '1' εντός του κελιού.
- 0001:Ύστερα ενεργοποιούμε το WLB για να γίνει η διατήρηση της πληροφορίας εντός του κελιού.
- 0002:Σε αυτή την διεύθυνση ενεργοποιούμε το RWL,BLT και SE για να γίνει η διαδικασία ανάγνωσης και να ενεργοποιηθεί ο διαφορικός ενισχυτής ευαισθησίας για να έχουμε σύγκριση και εν τέλει την έξοδο.
- 0003:Ενεργοποιούμε το WL με το BLC να είναι ανενεργό με σκοπό να στείλουμε '0' στο κελί.
- 0004:Με απενεργοποιημένο το WL ενεργοποιούμε το WLB για διατήρηση της πληροφορίας.
- 0005:Για την ανάγνωση του '0' από το κελί ενεργοποιούμε RWL,BLT και SE για να γίνει η σύγκριση και να έχουμε την έξοδο.

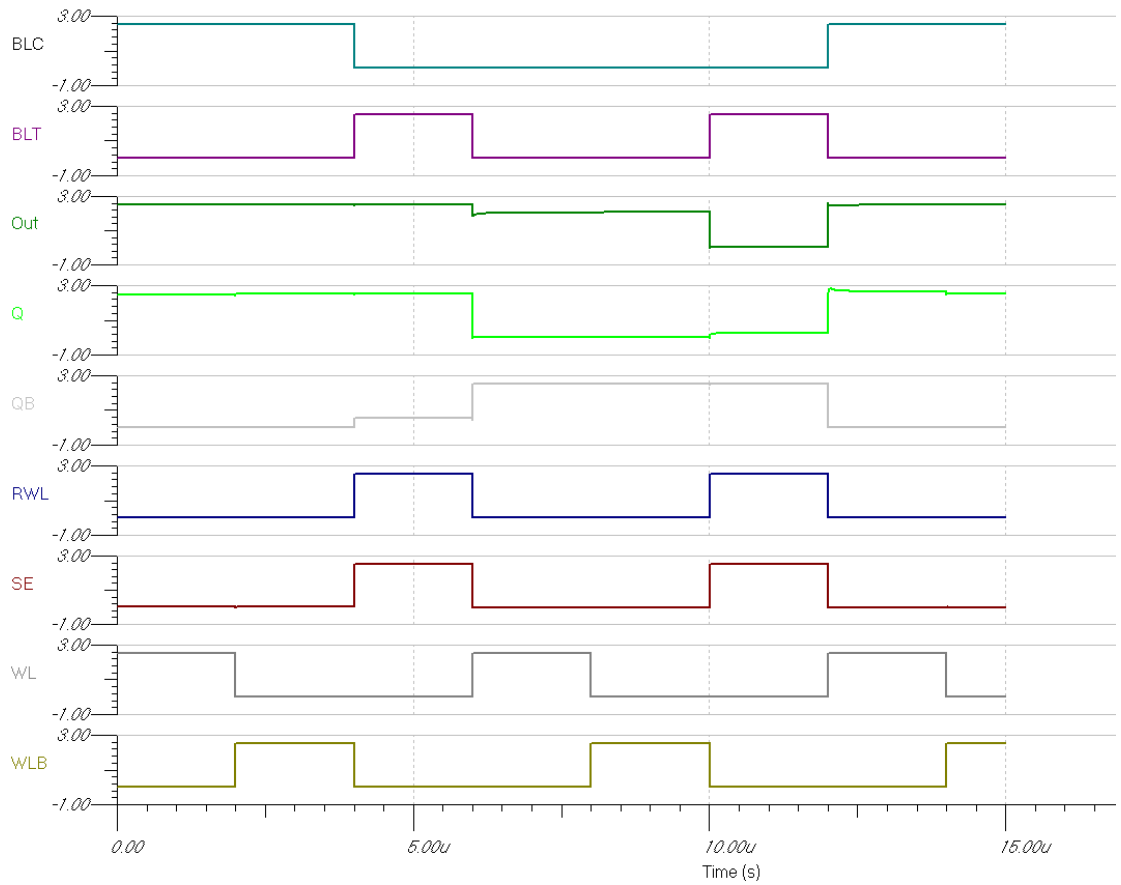
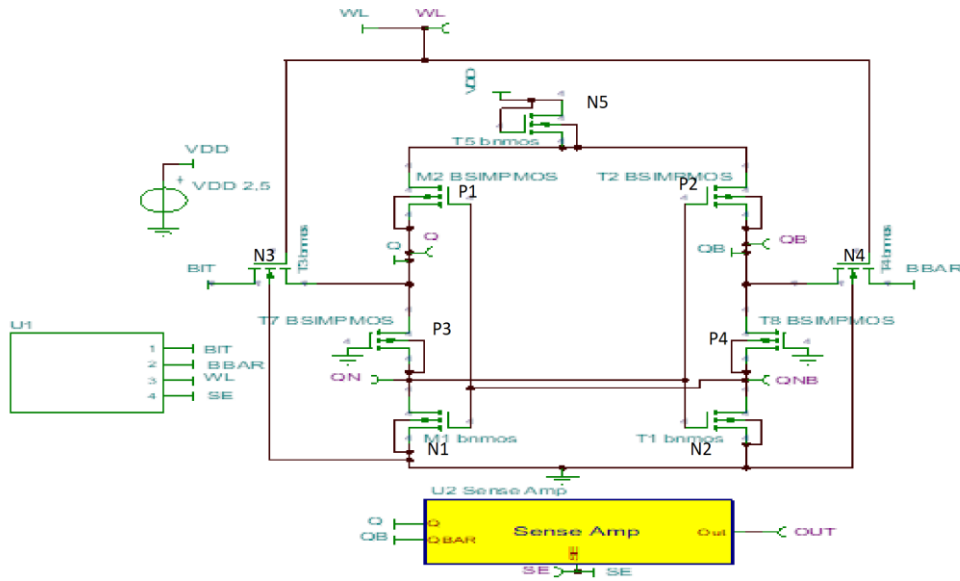


Fig:Γραφικές παραστάσεις 8T.

Σύμφωνα με τις ανωτέρω γραφικές παραστάσεις το κύκλωμα ανταποκρίθηκε σωστά και έγινε η εγγραφή του '1' και '0' όταν ορίστηκε καθώς και η διατήρηση της πληροφορίας.

ΚΕΛΙ SRAM 9T

Στην συνέχεια θα εξετάσουμε αλλο ένα κύκλωμα στατικής RAM το οποίο περιέχει 9 τρανζίστορ.



Fig(12):TO 9T

Στο κελι SRAM 9T το N5 έχει σύνδεθεί ως δίοδος. Αυτό το NMOS κλιμακώνει το VDD το οποίο μειώνει τη δυναμική ισχύ σε μεγάλο βαθμό.

Η σταθερότητα του κελιού μειώνεται λόγω της κλιμάκωσης του VDD διότι υπάρχει η πιθανότητα ανατροπής των δεδομένων στους κόμβους αποθήκευσης λόγω των προφορτισμένων Bitline κατά την διάρκεια της διαδικασίας ανάγνωσης.

Η μείωση της σταθερότητας αποζημιώνεται από τα εξτρά PMOS τρανζίστορ P3 και P4 τα οποία είναι πάντα ενεργά και τοποθετούνται μεταξύ των τρανζίστορ 'οδηγών' και 'πρόσβασης'. Αυτή η δομή αυξάνει την σταθερότητα κατα την ανάγνωση.

Για παράδειγμα ενώ διαβάζεται '1' το QN είναι '1' και το QNB είναι '0'. Όταν ενεργοποιείται το WL και η τάση διαιρείται σε σειρά μεταξύ N3 και N4 το P4 και το N2 περιορίζουν την αύξηση της τάσης στο QNB κατά $VDD - V_{tn4} - |V_{tp4}|$ όπου V_{tn4} και V_{tp4} είναι οι τάσεις κατωφλίου του N4 και P4 αντίστοιχα. Επομένως αυτή η περιορισμένη τάση δεν μπορεί να αναστρέψει τα δεδομένα του κελιού.

Ενώ γίνεται η εγγραφή εάν ο κόμβος QN είναι '1' και το QNB είναι '0' για να εγγραφεί '0' στο QN, το BL γειώνεται και το BLB ορίζεται σε τάση ίση με VDD και το WL ενεργοποιείται. Ο κόμβος Q αλλάζει από VDD σε '0' και το QNB αποφορτίζεται από κατάσταση '1' σε '0'. Το QN δεν μπορεί να πέσει κάτω από την τάση του V_{tr3} καθώς το PMOS δεν είναι τέλειο στην διαχείριση του '0' αλλά η πτώση του QN κάνει το P2-N2 αντιστροφή να ενεργοποιηθεί και οι συζευγμένοι μετατροπείς φέρουν την 'αλλαγή' των δεδομένων του κελιού.

Στο κελί τα δεδομένα που βρίσκονται στο Q και στο QB δεν φτάνουν ποτέ την τάση του VDD λόγω του τρανζίστορ N5 που έχει συνδεθεί ως δίοδος, όμως αυτό δεν επηρεάζει την ανάγνωση των δεδομένων καθώς χρησιμοποιείται διαφορικός ενισχυτής αίσθησης κατά την ανάγνωση.

ΕΓΓΡΑΦΗ BIT:

Για την εγγραφή της πληροφορίας στο Κελί, αρχικά έχουμε και τις 2 μπιτσειρές ενεργές. Συμπεριφερόμαστε στο κύκλωμα όπως στο κύκλωμα των 6T. Απενεργοποιούμε το Bit/Bitbar και αφήνουμε ενεργό αυτό που θέλουμε να σταλθεί στο κελί. Ύστερα ενεργοποιούμε το Wordline για να περάσει η αλλαγή τάσης στους αντιστροφείς.

ΑΝΑΓΝΩΣΗ BIT:

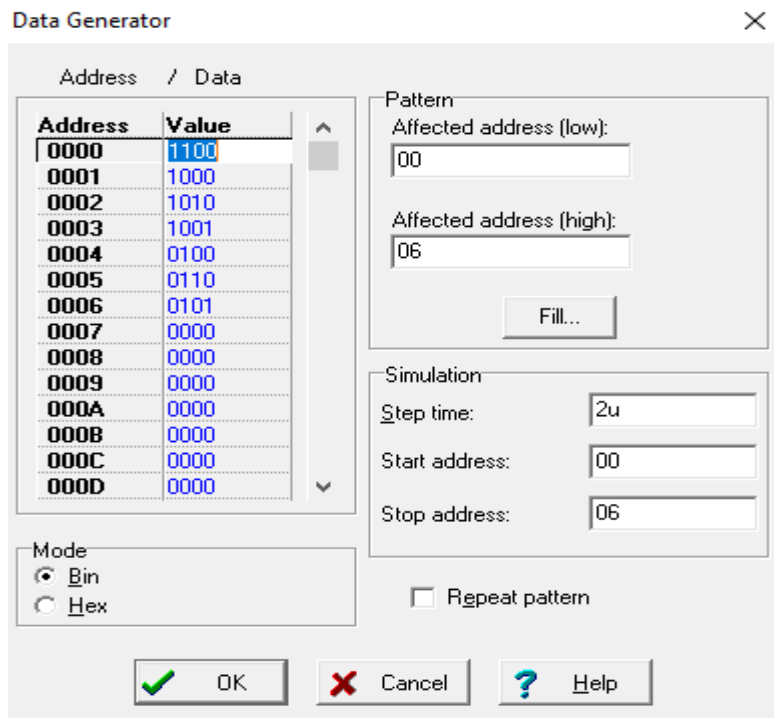
Κατά την ανάγνωση της πληροφορίας από το κελί, έχουμε απενεργοποιημένο το Wordline για να μην υπάρξουν διακυμάνσεις τάσης εντός του κελιού. Λόγω της διόδου στο VDD η τάση στο Q ή Qbar όταν είναι ενεργά δεν θα είναι ποτέ ίση με VDD αλλά γύρω στα $\sim 1.75V$. Ο διαφορικός ενισχυτής ευαισθησίας παίρνει την πληροφορία από τα Q/QBAR και συγκρίνει και στέλνει την τελική έξοδο όταν ενεργοποιήσουμε το SE και υπάρξει γείωση στον ενισχυτή.

ΔΙΑΤΗΡΗΣΗ BIT:

Για την διατήρηση της πληροφορίας εντός του κελιού έχουμε απενεργοποιημένο το WL και το SE. Όπως σε όλα τα κυκλώματα στατικής RAM πρέπει να παραμείνει ενεργοποιημένο το VDD.

BIT GENERATOR

Η αλληλουχία μέσω του BIT GENERATOR είναι η εξής:

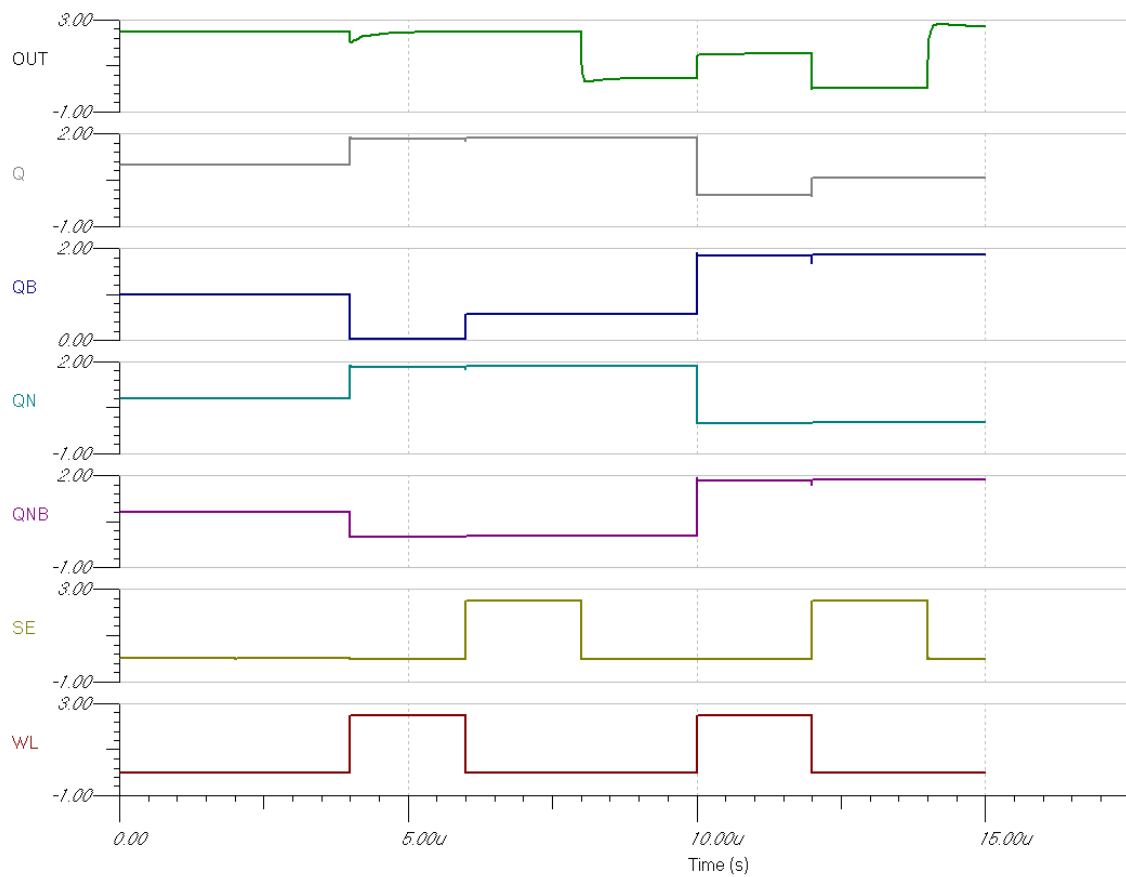


Fig(14):Data generator για 9T

Αφού έχουμε θέσει το steptime σε 2u ανα Address
Και έχουμε 7 addresses επομένως $2u \cdot 7 = 14u$

Πηγαίνουμε στο TINA ANALYSIS->Transient Θέτουμε το Start display σε 0,Και το End display σε 15u για να δούμε όλο τον κύκλο εγγραφής 0-1.

- 0000:Ενεργοποιούμε τις 2 μπιτσειρές πριν ξεκινήσει η εγγραφή.
- 0001:Απενεργοποιούμε το BBAR καθώς θέλουμε αρχικά να στείλουμε Q='1' στο κελί.
- 0002:Με ενεργοποιημένο το 'BIT' ενεργοποιούμε και το WL με σκοπό να περάσει η πληροφορία εντός του κελιού και έτσι να γίνει Q='1' QB='0'.
- 0003:Έχοντας απενεργοποιήσει το WL ενεργοποιούμε το SE με σκοπό να λειτουργήσει ο διαφορικός ενισχυτής ευαισθησίας και να έχουμε την τελική έξοδο(1).
- 0004:Ενεργοποιούμε μόνο το BLBAR για να γράψουμε '0' στο κελί.
- 0005:Ενεργοποιούμε και το WL με σκοπό να γίνει το QB='1' και το Q='0'.
- 0006:Αφού έχουμε απενεργοποιήσει το WL ενεργοποιούμε ξανά το SE για να γίνει η σύγκριση και να έχουμε το τελικό '0' στην έξοδο.

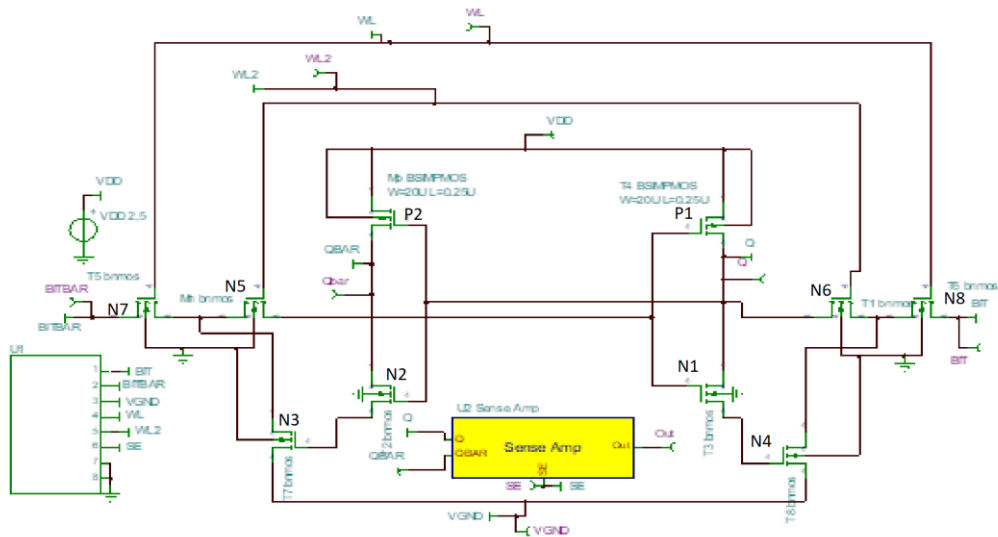


Fig(16):Γραφικές παραστάσεις 9T

Παρατηρούμε πώς το 9T λειτουργεί σωστά, η έξοδος αποτυπώνεται σωστά και η πληροφορία στα Q/QN, Qbar/QNB ορίζεται σωστά σύμφωνα με τα προαναφερθέντα βήματα.

ΚΕΛΙ SRAM 10T

Το επόμενο κύκλωμα στατικής RAM αποτελείται από 10 τρανζίστορ(10T).



ΕΓΓΡΑΦΗ BIT:

Σε αυτή την λειτουργία τόσο το WL2 όσο και το WL έχουν την δυνατότητα να μεταφέρουν δεδομένα από τις μπιτοσειρές προς το κελί. Η γραμμή σήματος VGND θα έχει τάση ίση με VDD για να αντισταθμίσει τυχόν πρόβλημα πτώσης κατωφλίου λόγω των 2 σειρών τρανζίστορ πρόσβασης. Σε περίπτωση που θέλαμε να αυξήσουμε την ικανότητα εγγραφής, τα 2 Wordlines θα μπορούσαν να ενισχυθούν, αλλά αυτό θα επηρεάζει την σταθερότητα ανάγνωσης καθώς αυτές οι 2 καταστάσεις είναι αντιστρόφως ανάλογες.

ΔΙΑΤΗΡΗΣΗ BIT:

Σε αυτή την λειτουργία τα 2 Wordline(WL, WL2) είναι απενεργοποιημένα και το VGND έχει τάση ίση με VDD.

ΑΝΑΓΝΩΣΗ BIT:

Κατα την διαδικασία ανάγνωσης ο WL2 είναι απενεργοποιημένος και ο WL ενεργοποιημένος λόγω του ότι οι κόμβοι 'αποθήκευσης' αποσυνδέονται από τις γραμμές Bit και έτσι αυξάνεται το περιθώριο θορύβου ανάγνωσης. Το VGND συνδέεται με γείωση για να σχηματίσει μια δοαδρομή εκφόρτισης.

DATA GENERATOR:

Data Generator

Address	Data
0000	11100000
0001	10111000
0002	00100000
0003	00010100
0004	01111000
0005	00100000
0006	00010100

Με χρήση 8-BIT Data generator του TINA.

- 0000: Αρχικά φορτίζονται τα BITLINES και έχουμε ενεργοποιημένο το VGND εντος κυκλωματος.
- 0001: Ενεργοποιούμε το BIT καθώς και WL, WL2 με σκοπό να γίνει εγγραφή του '1' εντος του κελιού.
- 0002: Απενεργοποιούμε τα παραπάνω και αφήνουμε μόνο το VGND με σκοπό να υπάρξει η διατήρηση της πληροφορίας.
- 0003: Ενεργοποιούμε το WL και το SE του διαφορικού ενισχυτή ευαισθησίας με σκοπό να γίνει η σύγκριση και να έχουμε τελική έξοδο '1' (Q='1', QB='0').
- 0004: Ενεργοποιούμε το BITBAR, WL, WL2, VGND για να γράψουμε '0' εντος του κελιού
- 0005: Αφήνουμε αναμένο μόνο το VGND
- 0006: Απενεργοποιούμε το VGND και ενεργοποιούμε το WL και SE για να έχουμε την τελική έξοδο μέσω του διαφορικού ενισχυτή ευαισθησίας '0' (Q='0', QB='1').

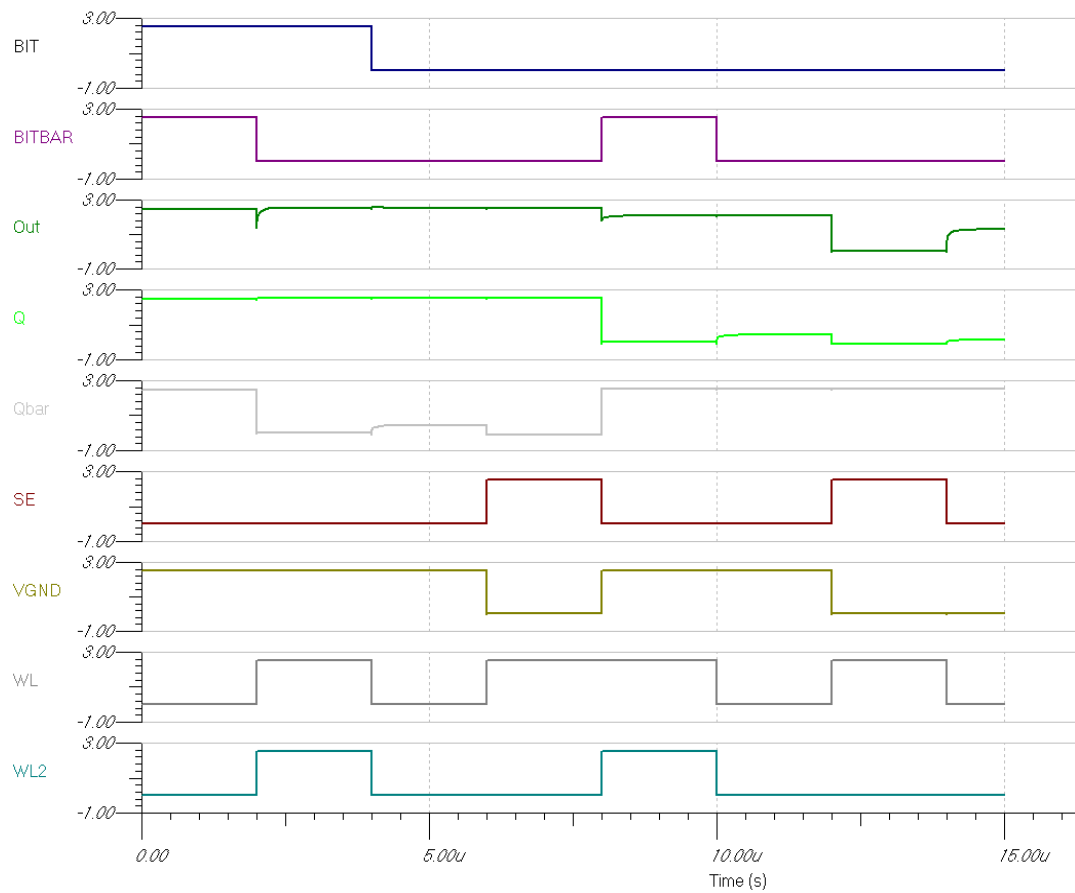


Fig:Γραφικές 10Τ.

Το κύκλωμα λειτουργεί σωστά η εγγραφή, η ανάγνωση καθώς και η διατήρηση της πληροφορίας εντός του κελιού ακολουθούν τις εντολές που ορίστηκαν παραπάνω.

ΑΝΟΧΗ ΣΤΑΤΙΚΟΥ ΘΟΡΥΒΟΥ(SNM)

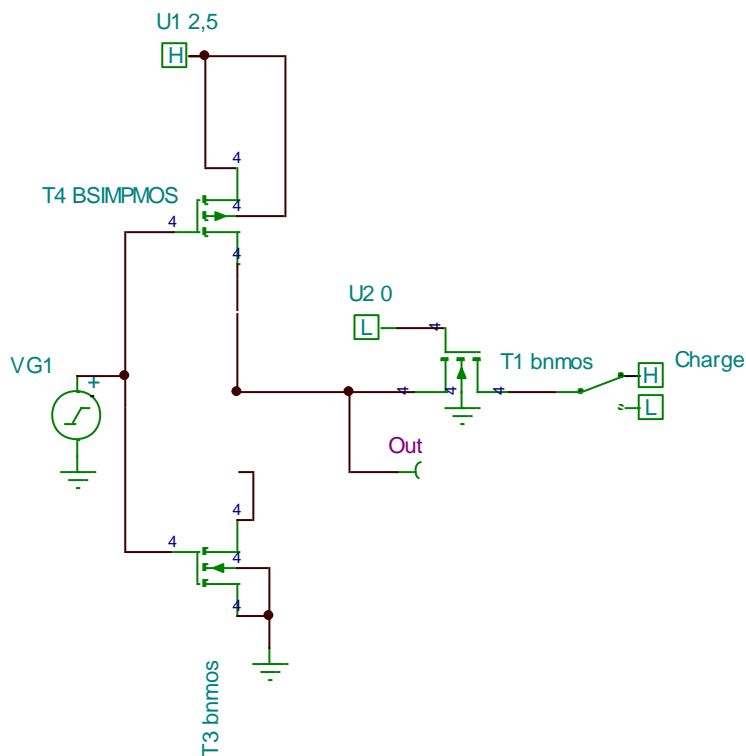
Τα παραπάνω κυκλώματα SRAM θα συγκριθουν μεταξύ τους ως προς την ανοχή τους στον θόρυβο. Η SRAM αποτελείται από κυκλώματα τα οποία τα διαπερνούν ρεύματα συνεχώς καθώς γίνεται η εγγραφή ή η ανάγνωση της πληροφορίας από το κελί. Ένας πάρα πολύ σημαντικός παράγωντας για την αξιοπιστία του κάθε κυκλώματος είναι η ανοχή του στον θόρυβο (Static noise margin). Ανοχή στον θόρυβο ορίζεται ως ποσα mV περιθώριο υπάρχει κατά την διαδικασία εγγραφής, διατήρησης και ανάγνωσης του φορτίου χωρίς να υπάρχει πιθανότητα σφάλματος. Με λίγα λόγια, τα διαγράμματα WSNM (Write static noise margin) για την εγγραφή και RHSNM (Read-Hold Static Noise Margin) για την ανάγνωση και διατήρηση μας δείχνουν το ασφαλές όριο τάσης για να μην υπάρξει σφάλμα όπως να χαθεί η πληροφορία από το κελί ή να μην γίνει σωστά η εγγραφή.

ΑΝΟΧΗ ΣΤΗΝ ΔΙΑΤΗΡΗΣΗ ΚΑΙ ΑΝΑΓΝΩΣΗ(RHSNM)

Αρχικά θα εξετάσουμε την Ανοχή των κυκλωμάτων ως προς την διατήρηση και ανάγνωση. Για να το δούμε αυτό αρχικά πρέπει να τροποποιηθούν τα κυκλώματα κατάλληλα. Σημειώνεται πως η μπιτοσειρά που είναι συνδεδεμένη στο εκάστοτε κύκλωμα παρέχει λογικό '1' στα 2,5V.

6-7T RHSNM

Ξεκινάμε την διαδικασία με το πρώτο κύκλωμα των 6 και 7 τρανζίστορ το οποίο αν εξαιρεθεί ή ανατροφοδοτήσει στο 7T είναι το ίδιο ως προς τον αντιστροφέα με το 6T. Αρχικά κόβουμε το κύκλωμα στην μέση.

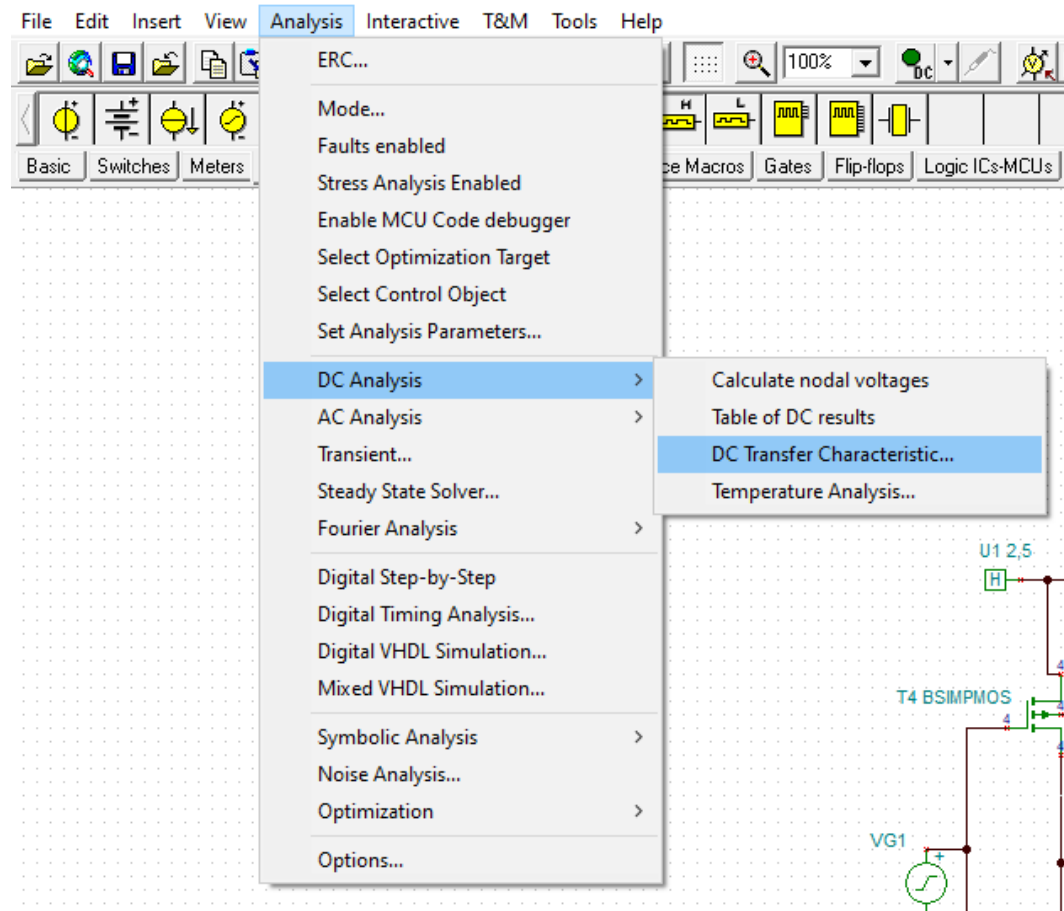


6-7T SNM

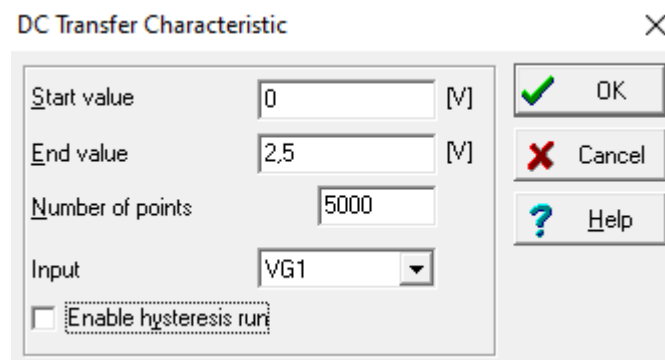
Παρατηρούμε πως στην είσοδο του αντιστροφέα έχει προστεθεί μια πηγή τάσης. Αυτό γίνεται καθώς θα πάρουμε μία DC χαρακτηριστική γραφική του αντιστροφέα. Χρησιμοποιούμε το μισό κύκλωμα 6T/7T καθώς το υπόλοιπο κύκλωμα είναι πρακτικά καθρέπτης αυτού. Το WL σε όλα τα RHSNM είναι απενεργοποιημένο.

DC χαρακτηριστική ορίζουμε ως μία σάρωση τάσεων από τα 0 Volt έως τα 2.5 V και παρατηρώντας παράλληλα πως αποκρίνεται η έξοδος του αντιστροφέα.

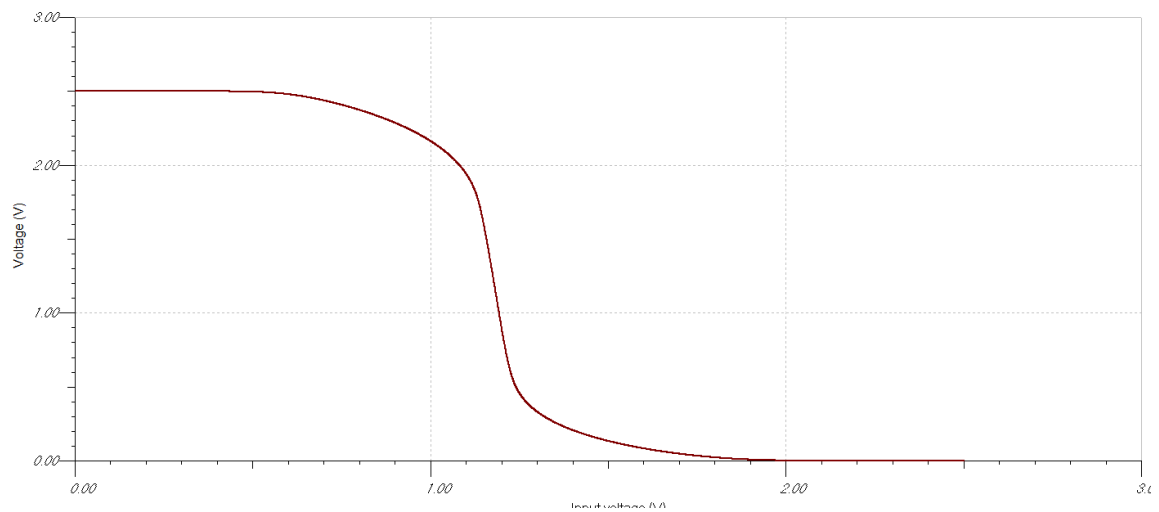
Για να το επιτύχουμε αυτό επιλέγουμε στο TINA απο την γραμμή εντολών Analysis->DC analysis και επιλέγουμε το DC transfer characteristic.



Τέλος ανοίγει ένα παράθυρο σχετικό με την χαρακτηριστική DC στο οποίο επιλέγουμε Start value:0 end value 2,5 στο Number of points επιλέγουμε 5000 σημεία για να έχει μεγάλη ακρίβεια η γραφική παράσταση.

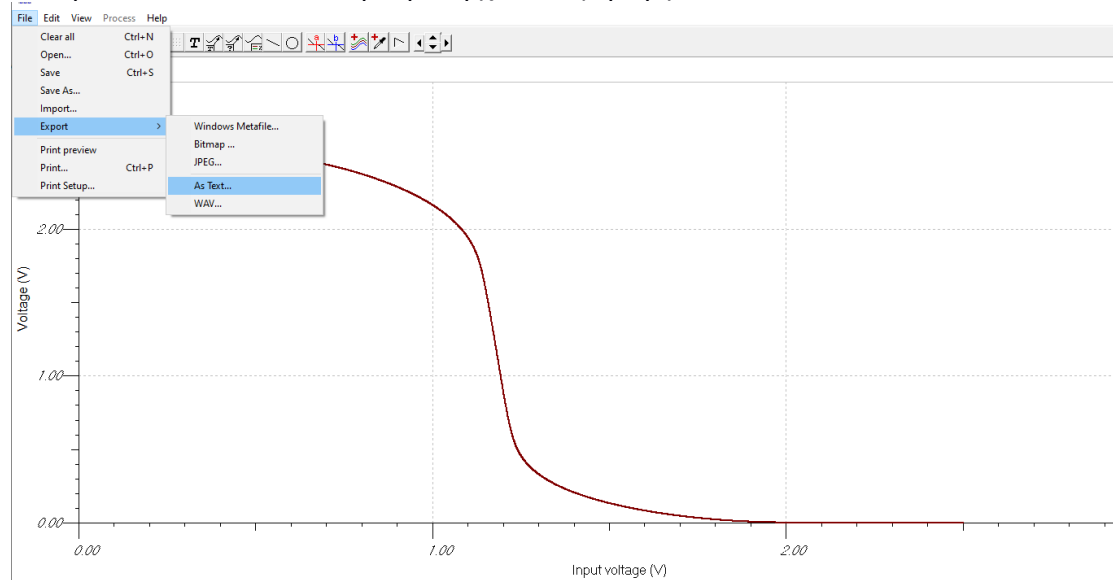


Η γραφική παράσταση έχει την εξής μορφή:

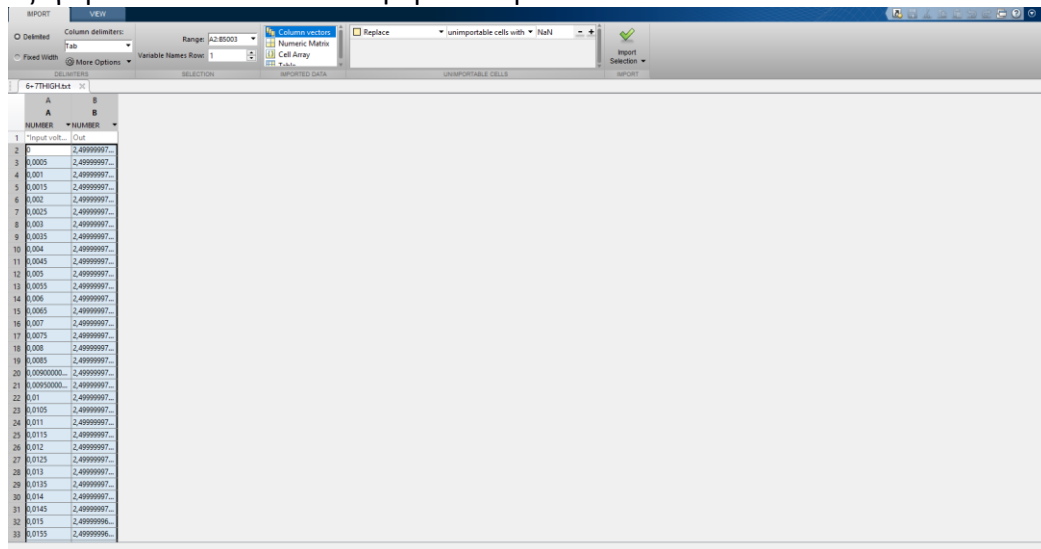


Για να βγάλουμε την τελική γραφική που θα δείχνει το SNM ανάγνωσης και διατήρησης έγινε χρήση του γνωστού περιβάλλοντος αριθμητικής υπολογιστικής MATLAB. Το βήμα αυτό ήταν απαραίτητο καθώς η τελική γραφική παράσταση για την ανοχή είναι η DC χαρακτηριστική μαζί με την αναστροφή της στην ίδια γραφική.

Αρχικά εξάγουμε τα δεδομένα από το TINA σε μορφή text για να τα εισάγουμε ύστερα στο MATLAB. Επιλέγουμε αρχείο->εξαγωγή->txt.



Στην συνέχεια ανοίγουμε το περιβάλλον MATLAB. Φορτώνουμε το αρχείο txt που εξάγαμε απο το TINA και το φορτώνουμε στο MATLAB.

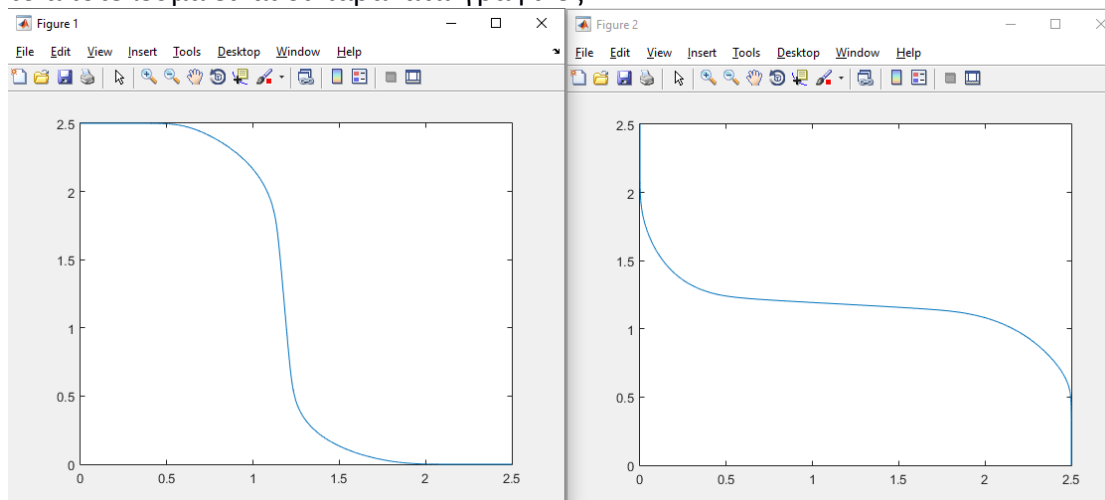


Τέλος πατάμε Import selection και έχουν πλέον φορτωθεί 2 πίνακες στο MATLAB. Έχουμε τον πίνακα A που είναι η τιμές της εισόδου και τον πίνακα B που είναι οι τιμές της εξόδου.

Στην συνέχεια γράφουμε τις παρακάτω γραμμές κώδικα με σκοπό να έχουμε τις 2 γραφικές.

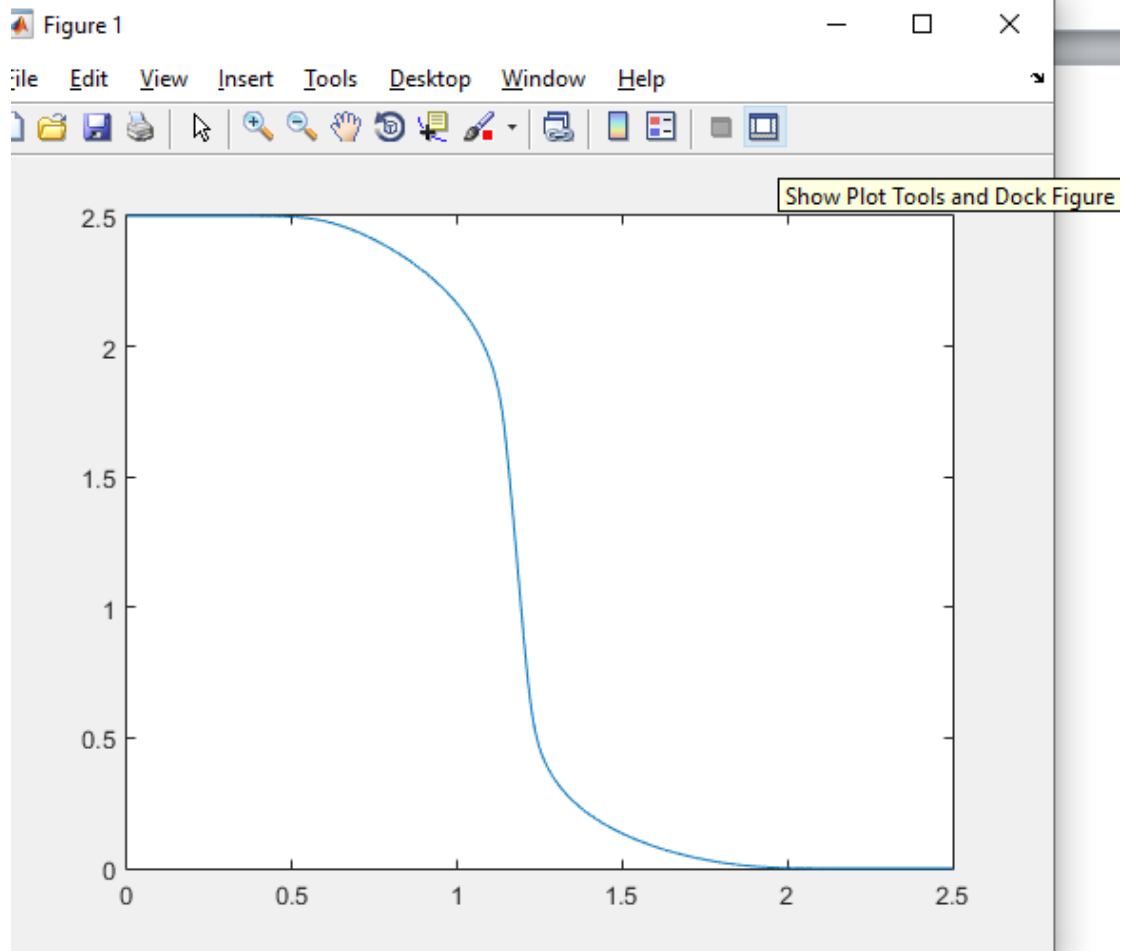
```
figure,plot(A,B)
figure,plot(B,A)
```

το αποτέλεσμα είναι οι παρακάτω γραφικές:

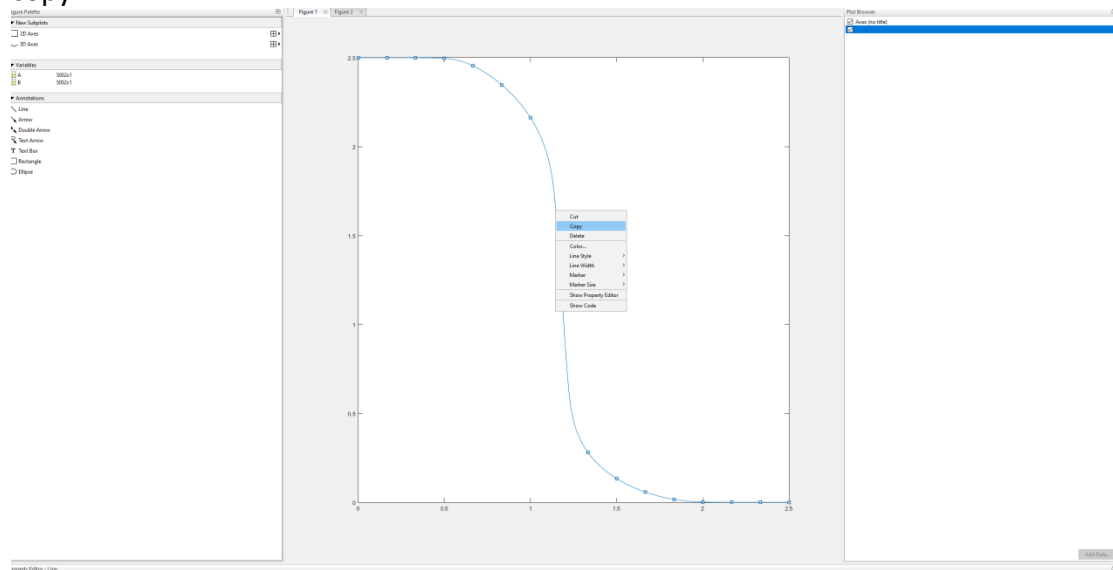


Έχουμε την DC χαρακτηριστική και την αντίθετη της.

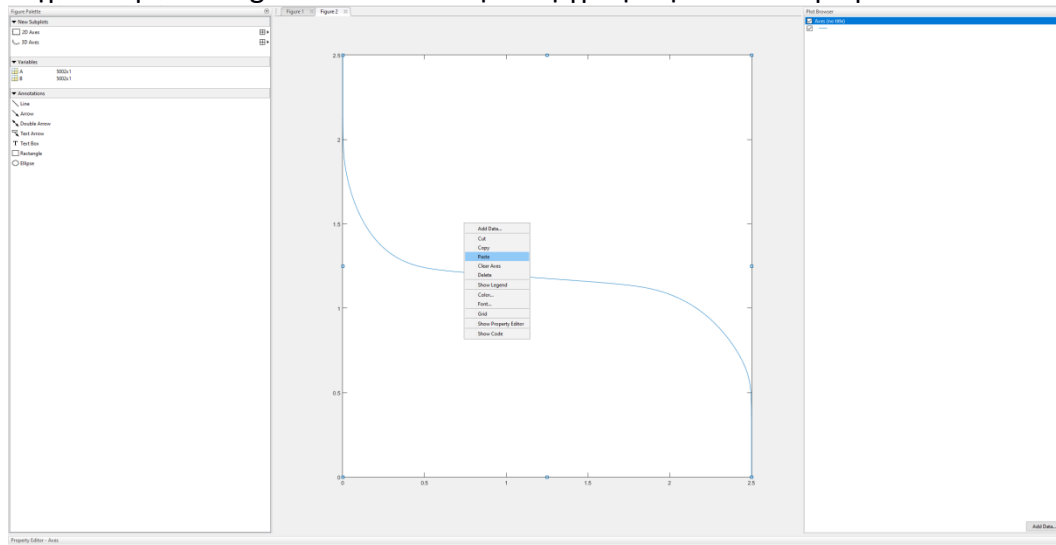
Τέλος επιλέγουμε και στα δύο παράθυρα με τις γραφικές το πλαίσιο Show Plot Tools and Dock Figure.



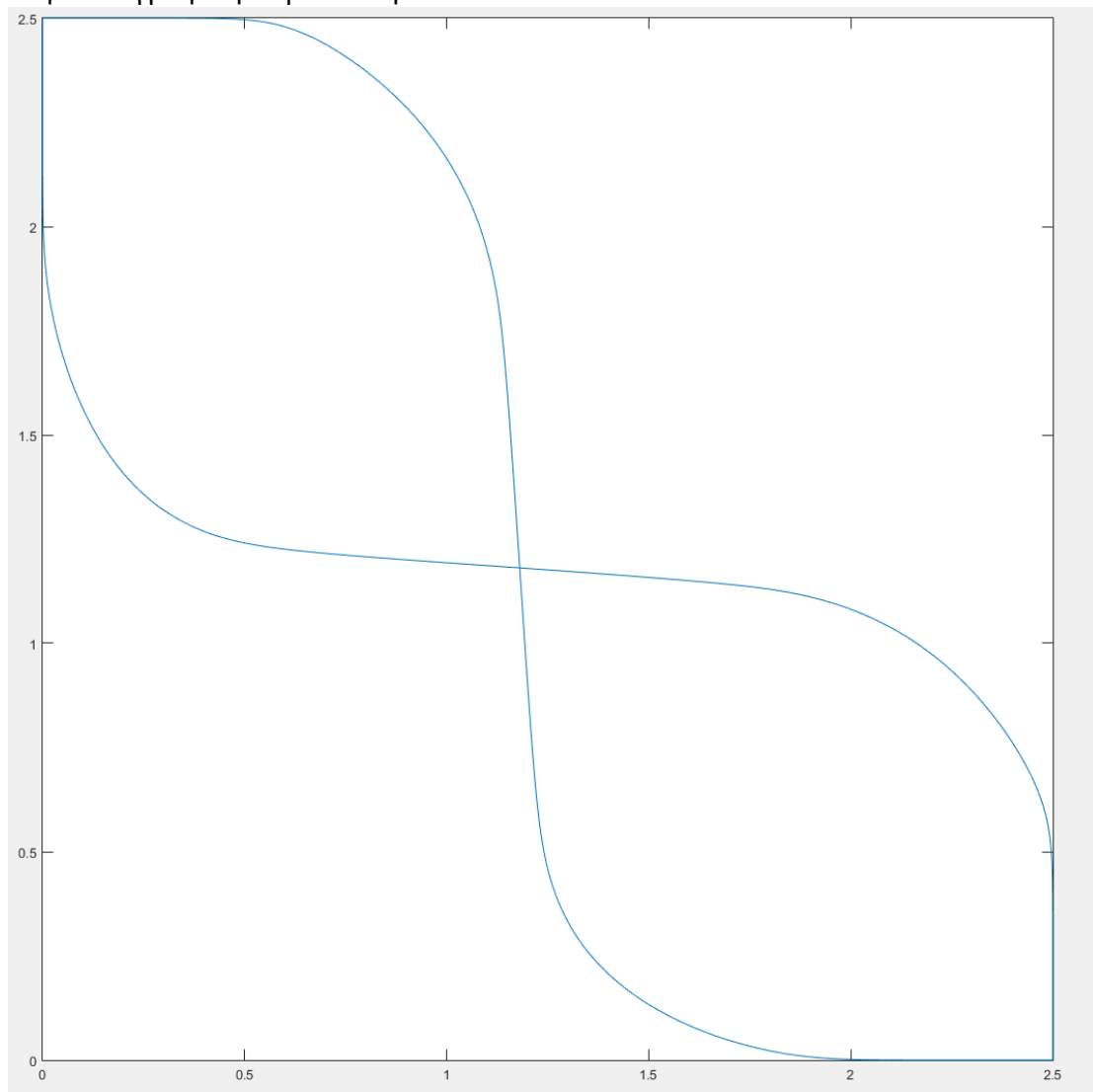
Στην συνέχεια επιλέγουμε με τον κέρσσορα την μία γραφική παράσταση δεξί κλικ και copy



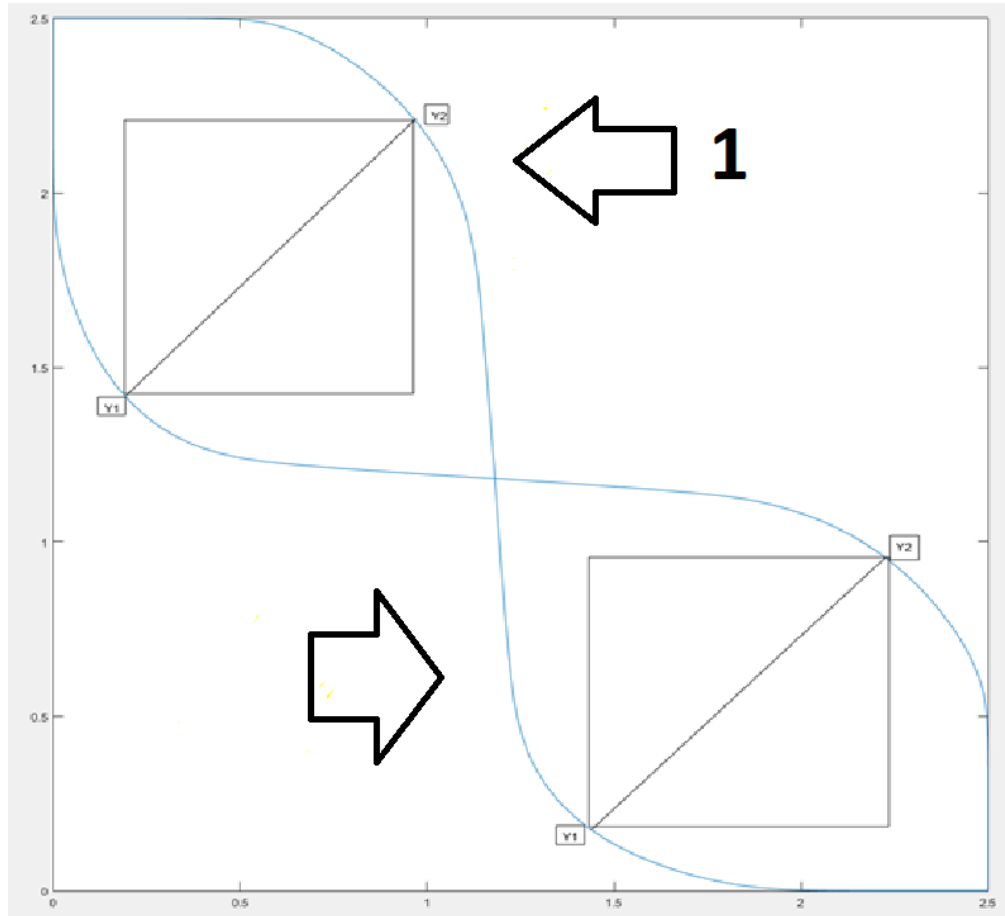
Πηγαίνουμε στο Figure 2 που είναι η άλλη γραφική και κάνουμε paste



Αυτα τα βήματα έγιναν για να έχουμε την DC χαρακτηριστική και την αντίθετη της στην ίδια γραφική παράσταση



Αυτη είναι η γραφική παράσταση RHSNM για τα κυκλώματα 6-7T η οποία έχει και την χαρακτηριστική ονομασία 'καμπύλη πεταλούδα'. Για να βρούμε την ανοχή στον θόρυβο πρέπει να φτιάξουμε το μεγαλύτερο δυνατό τετράγωνο που χωράει ανάμεσα στις χαρακτηριστικές και να πάρουμε την μέγιστη απόσταση.



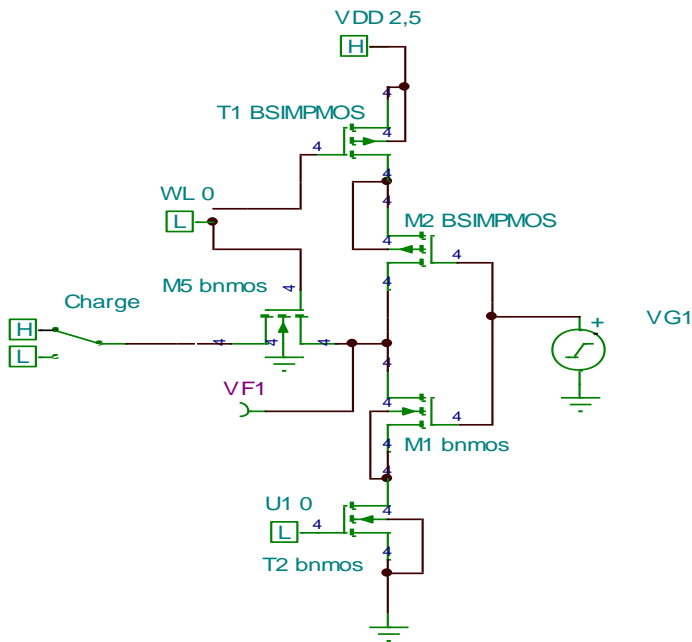
Το πάνω τετράγωνο συμβολίζει το HRSNM για την τιμή '1' και το κάτω για την τιμή '0'. Ο τύπος που μας δίνει την στατική ανοχή στον θόρυβο είναι η εξής:

$SNM=Y2-Y1$ για κάθε τετράγωνο ξεχωριστά

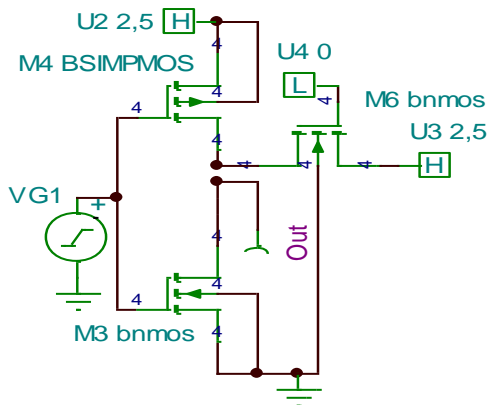
Η γραφική παράσταση αυτη είναι δυνατόν να γίνει με αυτόν τον τρόπο καθώς αν το κύκλωμα χωριστεί στην μέσω η δεξιά πλευρά είναι ίδια με την αριστερή.

8T RHSNM

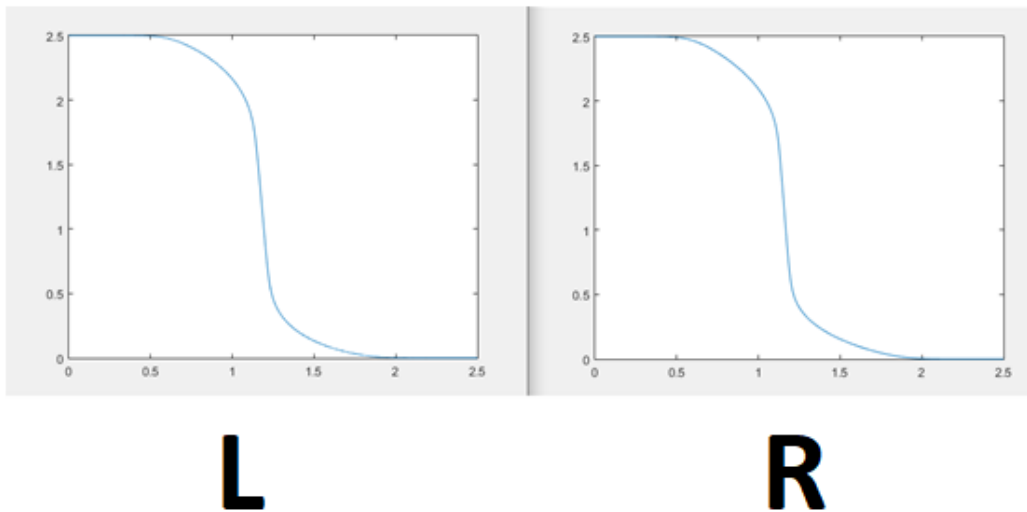
Για το κύκλωμα των 8T θα πρέπει να βγάλουμε 2 DC χαρακτηριστικές καθώς το κύκλωμα δεν είναι το ίδιο και στις 2 πλευρές. Βγάζουμε αρχικά μία DC χαρακτηριστική για την αριστερή πλευρά



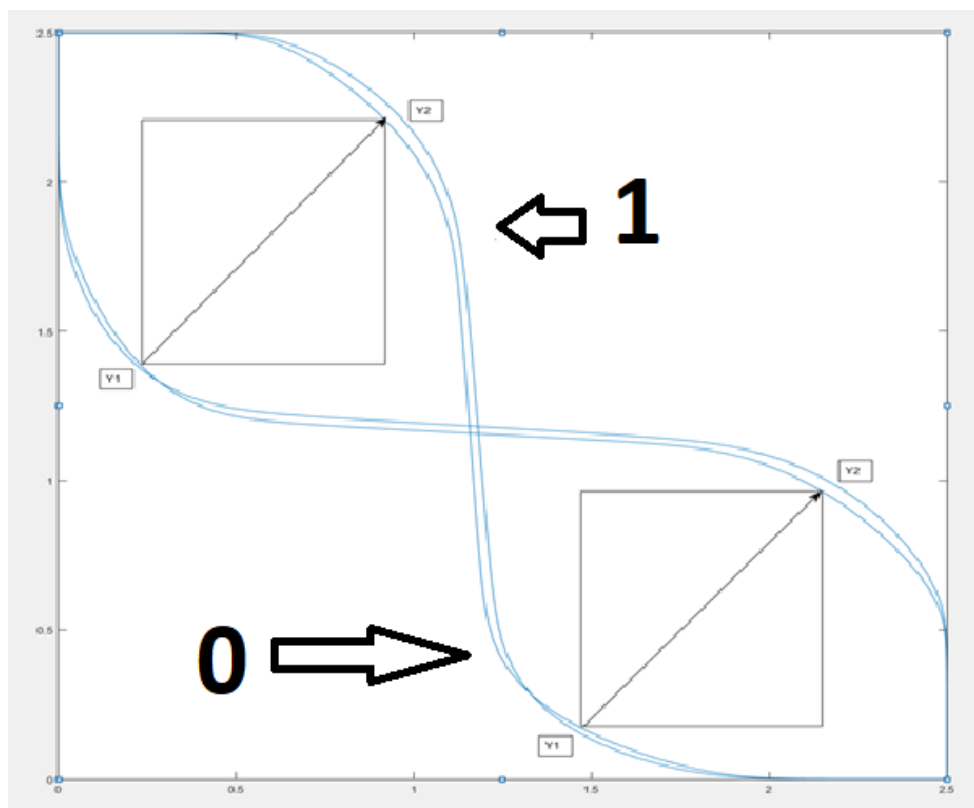
Και μία DC χαρακτηριστική για την δεξιά πλευρά



Οι 2 DC χαρακτηριστικές είναι οι εξής:



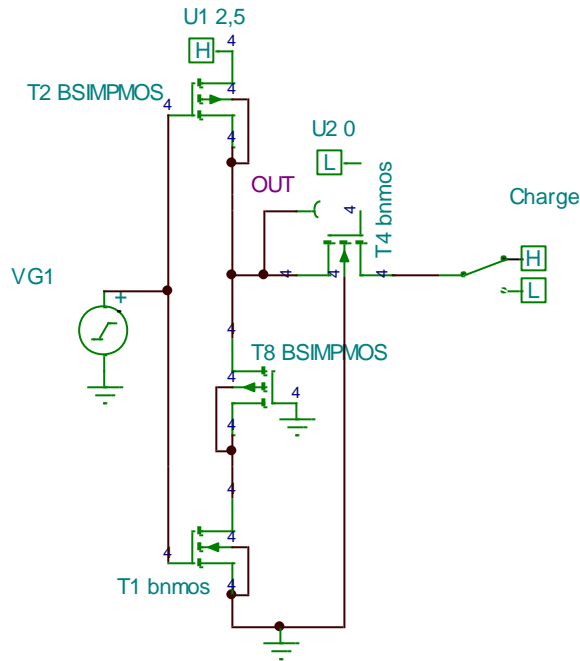
Στα αριστερά για την αριστερή μεριά του κυκλώματος και στα δεξιά για την δεξιά μεριά του κυκλώματος. Στην συνέχεια η καμπύλη πεταλούδας θα αποτελείται από τις 2 DC χαρακτηριστικές καθώς και από τις αντίστροφες τους



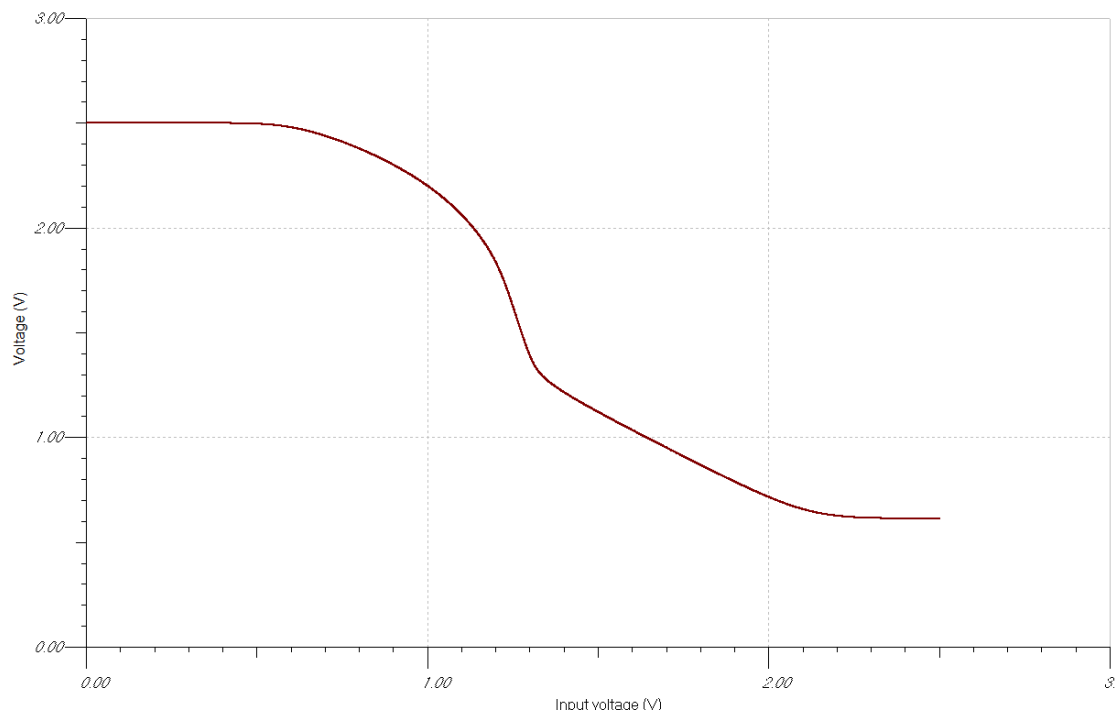
Το περιθώριο τάσης και σε αυτήν την περίπτωση ορίζεται ως $Y2-Y1$ για κάθε τετράγωνο που χωράει μεταξύ των γραμμών.

9T RHSM

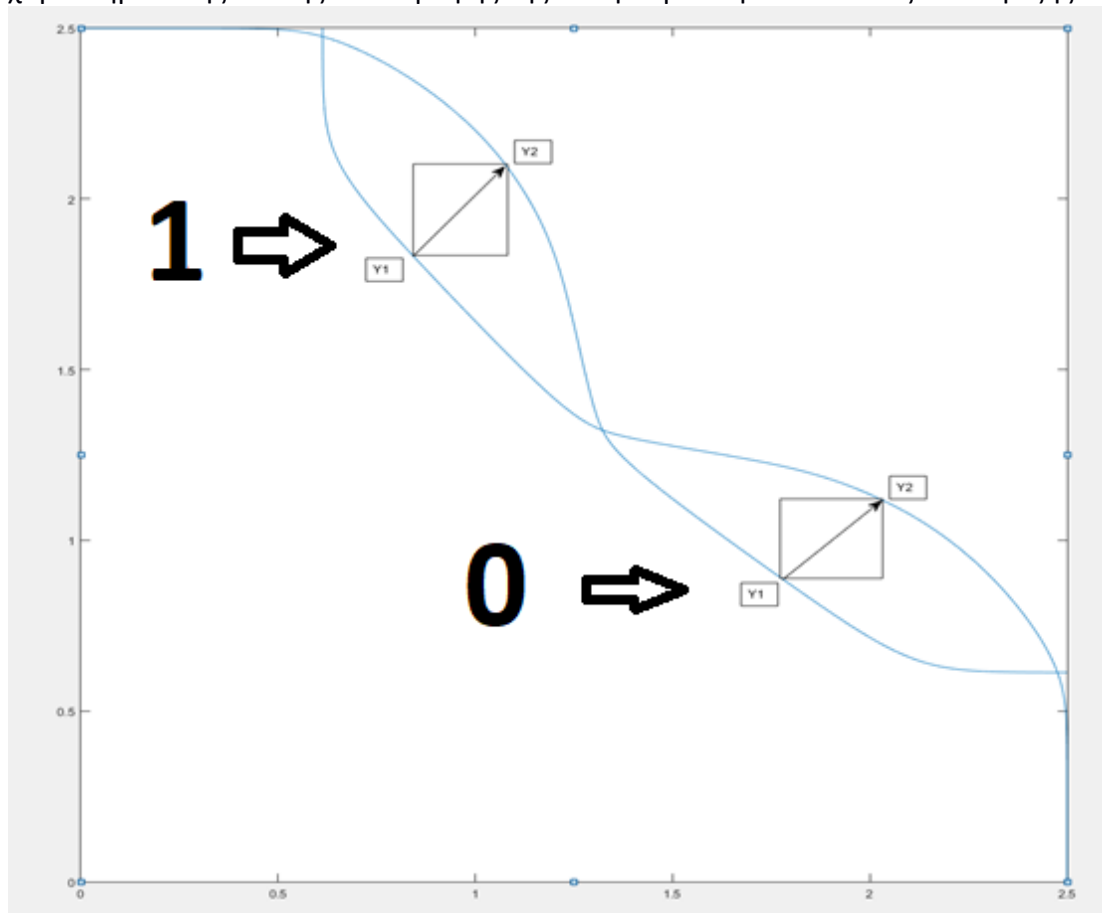
Για το κύκλωμα των 9T χρειαζόμαστε μία DC χαρακτηριστική απο την μία πλευρά του κυκλώματος καθώς η άλλη πλευρά είναι ίδια



Η DC χαρακτηριστική είναι η εξής

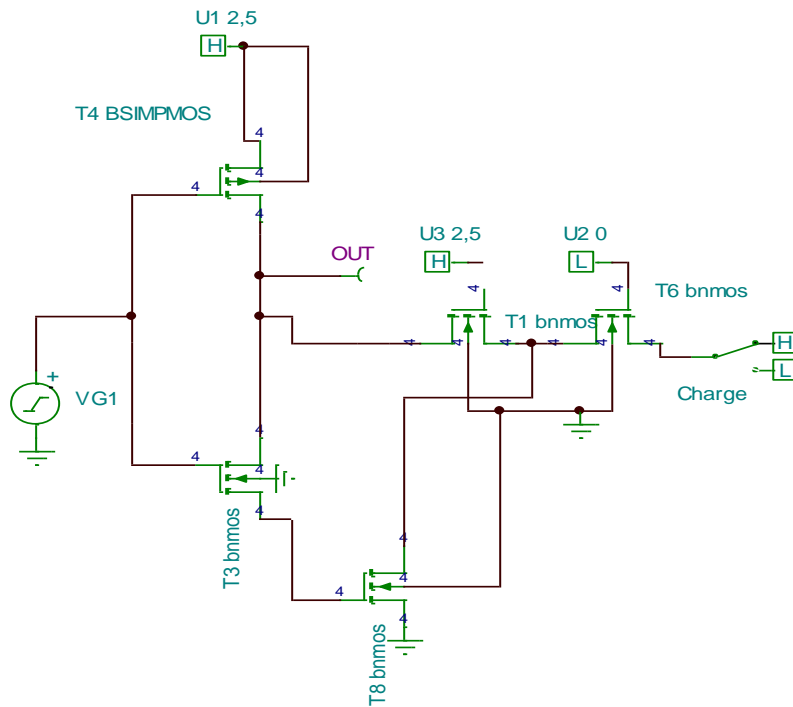


Με αντίστοιχο τρόπο μεταφέρονται τα δεδομένα στο MATLAB της DC χαρακτηριστικής και της αντίστροφής της και η καμπύλη πεταλούδας είναι η εξής:

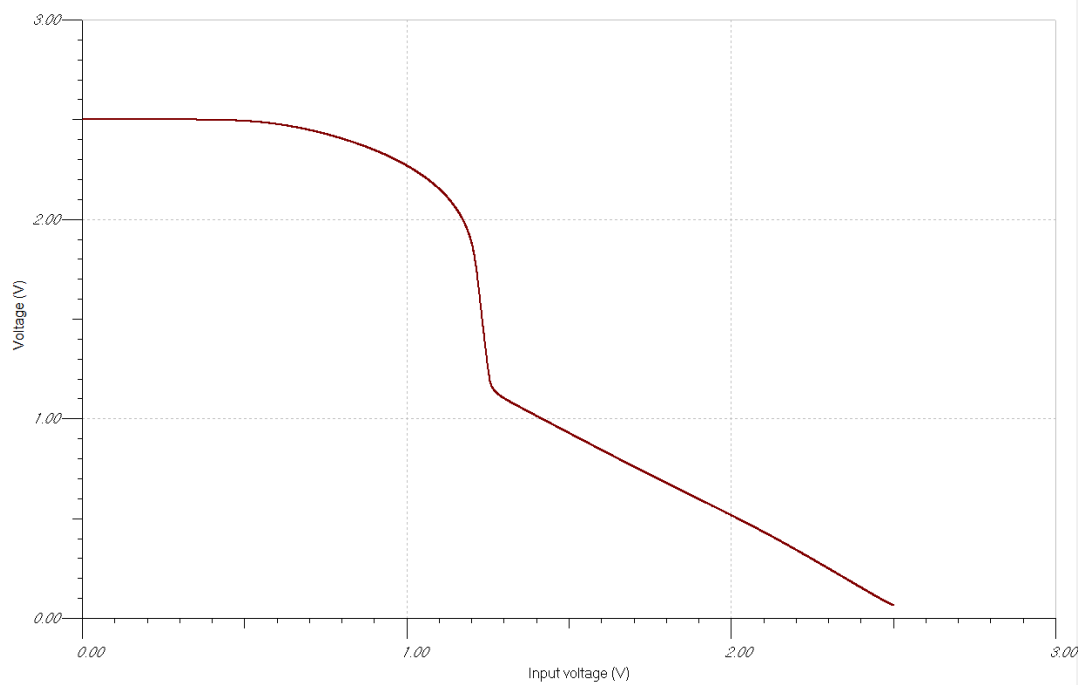


10T RHSNM

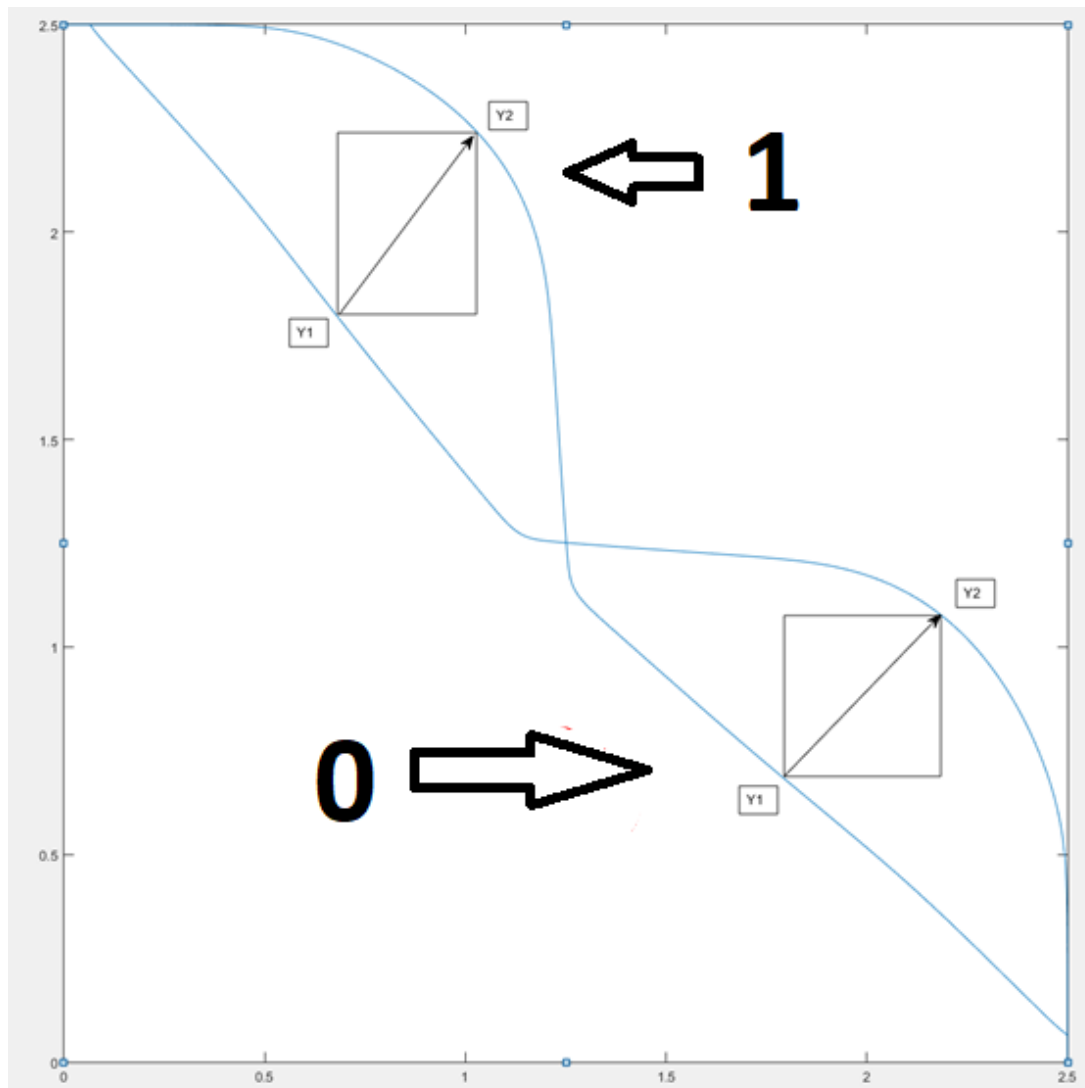
Για το τελευταίο κύκλωμα των 10T παίρνουμε πάλι το μισό κύκλωμα



Η DC χαρακτηριστική για το 10T είναι η εξής



Μεταφέρουμε ξανα τα στοιχεία στο MATLAB και μαζί με την αντίστροφη της έχουμε την καμπύλη πεταλούδας



ΑΠΟΤΕΛΕΣΜΑΤΑ RHSNM

ΚΥΚΛΩΜΑ	'1'(V)	'0'(V)
6-7T	0.796	0.787
8T	0.833	0.790
9T	0.442	0.400
10T	0.451	0.348

Εφόσον όσο το δυνατόν μεγαλύτερο περιθώριο τόσο το καλύτερο, είναι εμφανές ότι το καλύτερο κύκλωμα ως προς την ανάγνωση/διατήρηση φορτίου είναι το 8T και για '1' αλλά και για '0'. Το χειρότερο κύκλωμα είναι το 9T για το '1' και το 10T για το '0'.

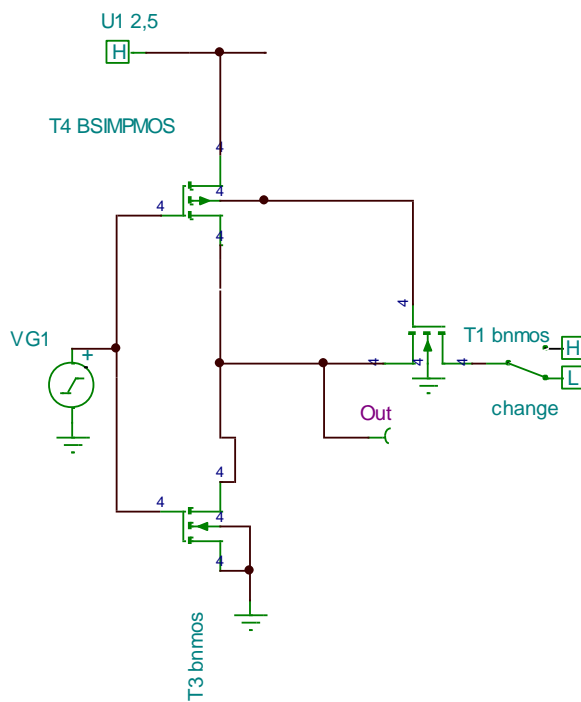
Το RHSNM είναι πάρα πολύ σημαντικό καθώς η SRAM η οποία αποτελεί συνήθως μέρος ολοκληρωμένων κυκλωμάτων(IC) υπάρχουν πολλά σενάρια που μπορεί να υπάρξει εξωτερική παρεμβολή τάσης στο κελί που να καταλήξει σε απώλεια φορτίου.

WSNM

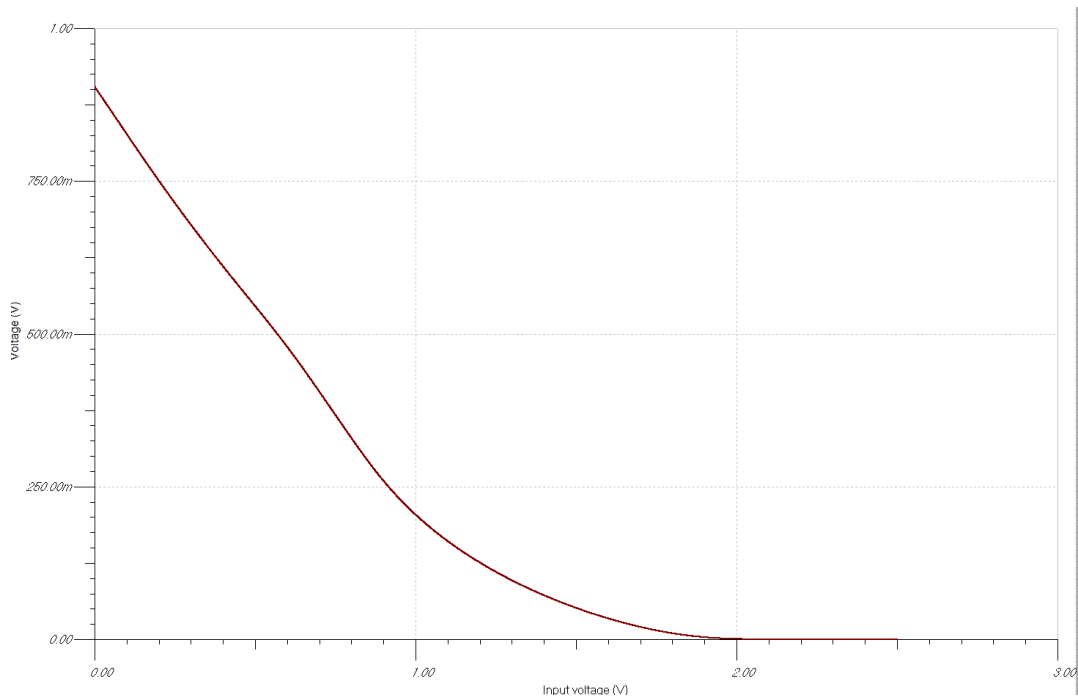
Στην συνέχεια θα δούμε το περιθώριο των κυκλωμάτων SRAM κατά την εγγραφή. Την γραφική για να δούμε το περιθώριο θορύβου κατά την εγγραφή το λαμβάνουμε βγάζοντας 2 DC χαρακτηριστικές. Η μία είναι με την συνδεδεμένη μπιτοσειρά στα 2,5V (λογικό '1') και η άλλη DC χαρακτηριστική για μπιτοσειρά στα 0V (λογικό '0').

6-7T

Για το κελί των 6T χρησιμοποιούμε το ίδιο 'μισό' κύκλωμα που χρησιμοποιήσαμε και στο RHSNM με την διαφοροποίηση ότι η μπιτοσειρά δίνει λογικό '0' και το WL είναι ενεργοποιημένο.

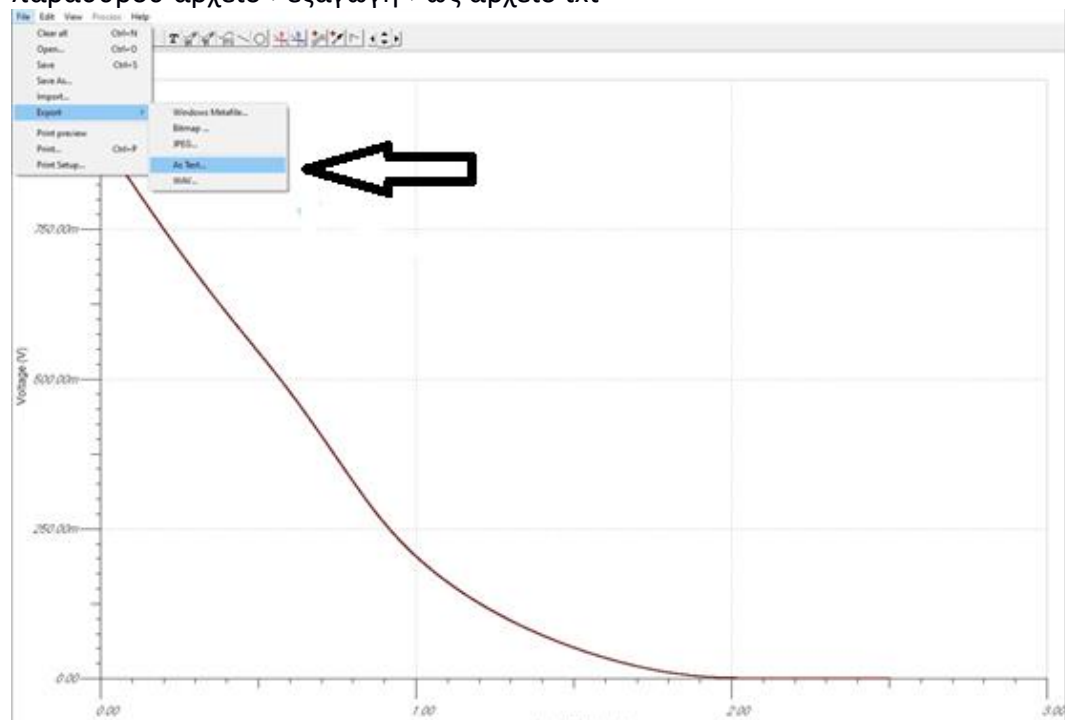


Για να δούμε την DC χαρακτηριστική χρησιμοποιούμε την ίδια διαδικασία που χρησιμοποιήσαμε και για το RHSNM

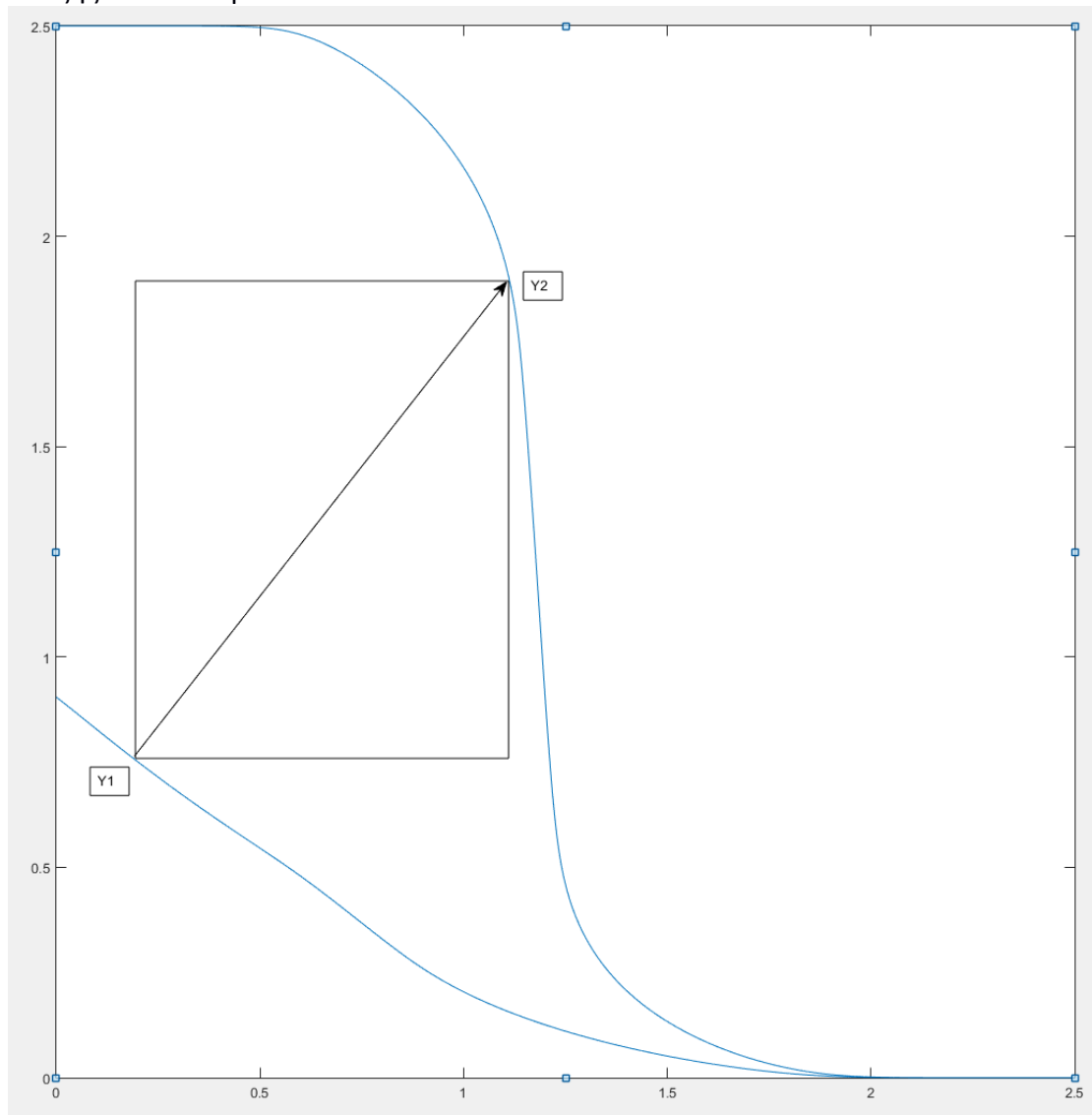


Επειδή η μπιτσειρά δίνει μηδενική τάση και η γεννήτρια τάσης κάνει 'σάρωση' από 0 έως 2,5V βλέπουμε μια καθοδική πορεία της τάσης μέχρι να φτάσει στα 2,5V.

Στην συνέχεια παίρνουμε τα στοιχεία της γραφικής από το TINA μέσω του παραθύρου αρχείο->εξαγωγή->ως αρχείο txt



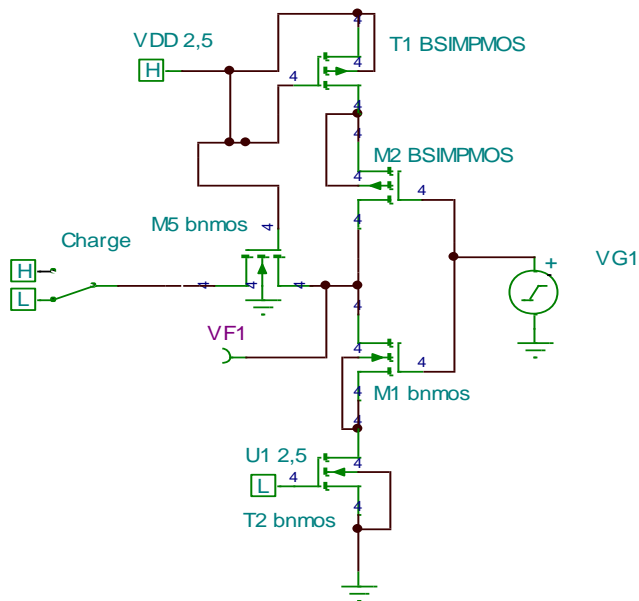
Συνδιάζοντας την DC χαρακτηριστική απο το RHSNM με αυτήν στο MATLAB έχουμε το εξής αποτέλεσμα.



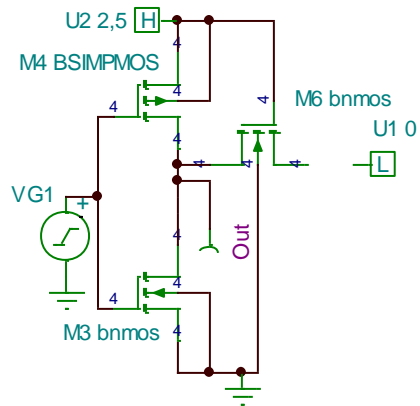
Με αντίστοιχο τρόπο στην γραφική αυτή περιθώριο ανοχής για εγγραφή ορίζεται η διαφορά μεταξύ των σημείων Y2-Y1 τα οποία βρίσκονται στις αντίθετες γωνίες στο μεγαλύτερο δυνατό τετράγωνο που χωράει ανάμεσα στις DC χαρακτηριστικές.

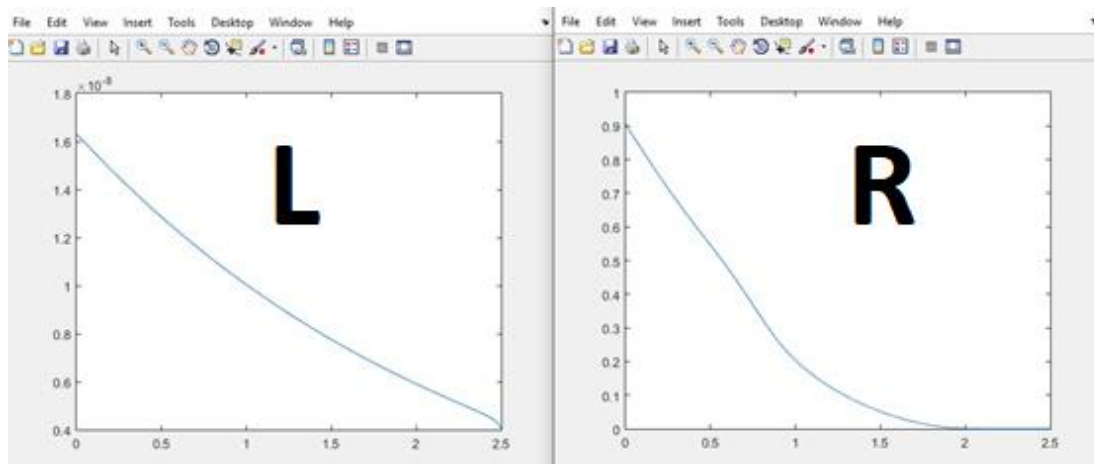
8T WSNM

Για το κύκλωμα των 8T θα χρησιμοποιήσουμε 4 DC χαρακτηριστικές 2 για την αριστερή πλευρά. Μία με την μπιτοσειρά να δίνει 2,5V και απενεργοποιημένο WL και WLB που χρησιμοποιήσαμε και για το RHSNM καθώς και μία με την μπιτοσειρά να δίνει 0V και ενεργοποιημένο WL και WLB.

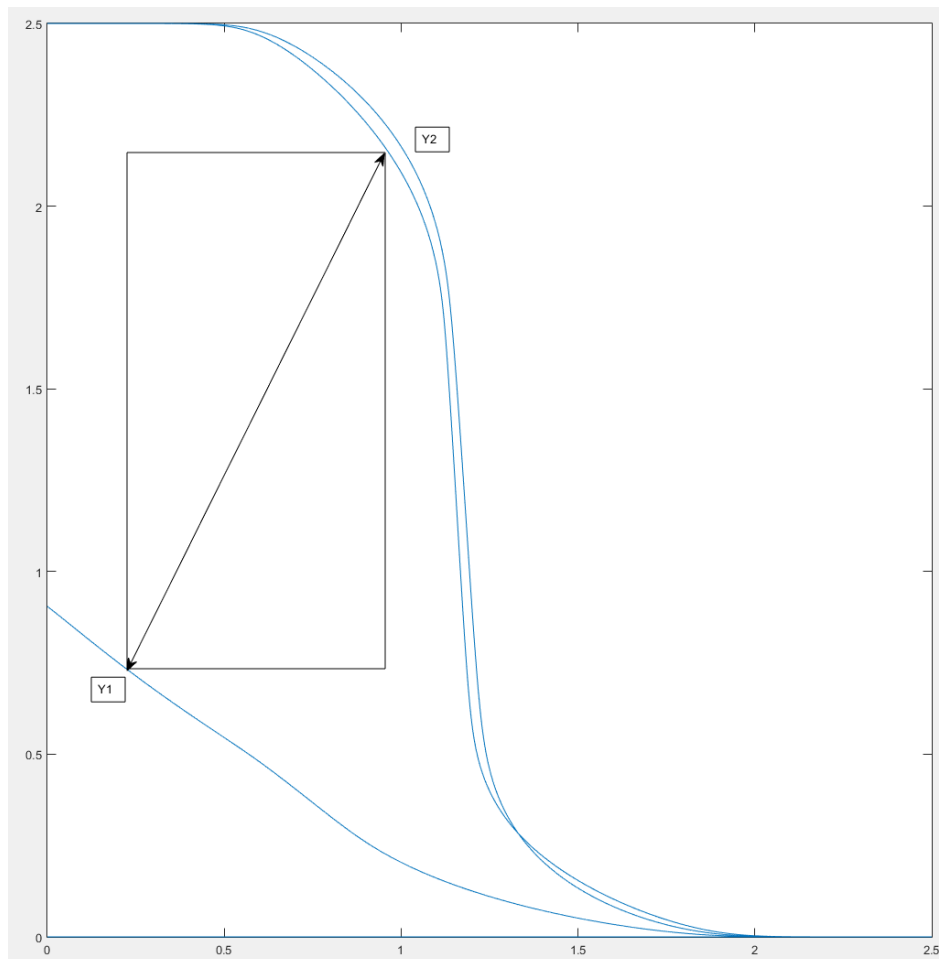


Και Αντίστοιχα την ίδια από το RHSNM για την δεξιά πλευρά, καθώς και με ενεργοποιημένο WL και μπιτοσειρά στα 0V





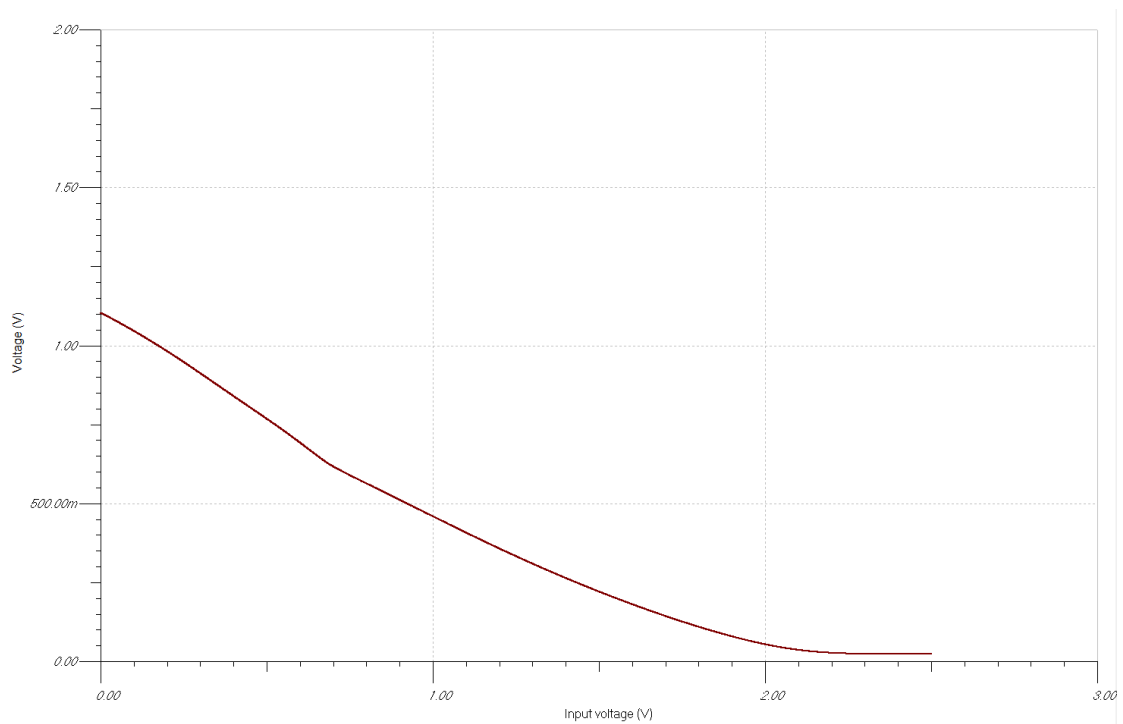
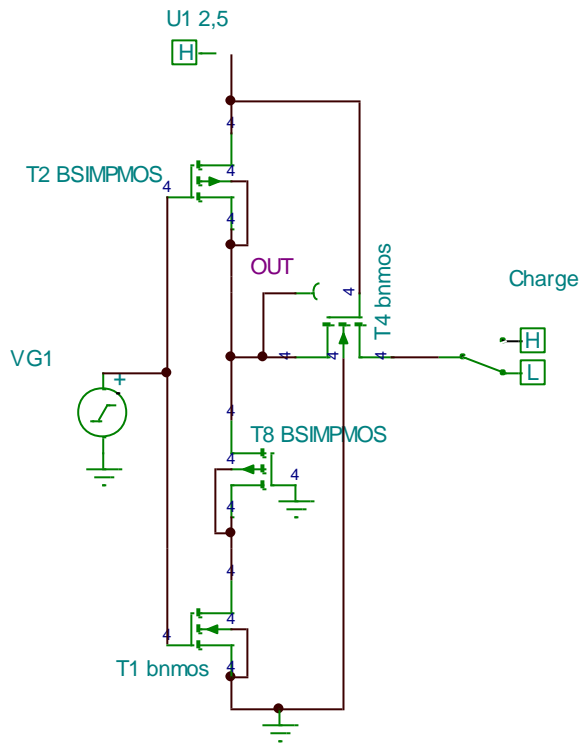
Στα αριστερά βλέπουμε τη DC χαρακτηριστική της αριστερής πλευράς και στα δεξιά της δεξιάς πλευράς του κυκλώματος αντίστοιχα. Άξιο αναφοράς είναι ότι η χαρακτηριστική της αριστερής πλευράς έχει πολύ γρήγορη πτώση ξεκινώντας από το $\sim 1,6 \cdot 10^{-8} \text{V}$ σε αντίθεση με της δεξιάς που ξεκινάει από το 0,9V.



Τέλος έχουμε το διάγραμμα με τις 4 DC χαρακτηριστικές.

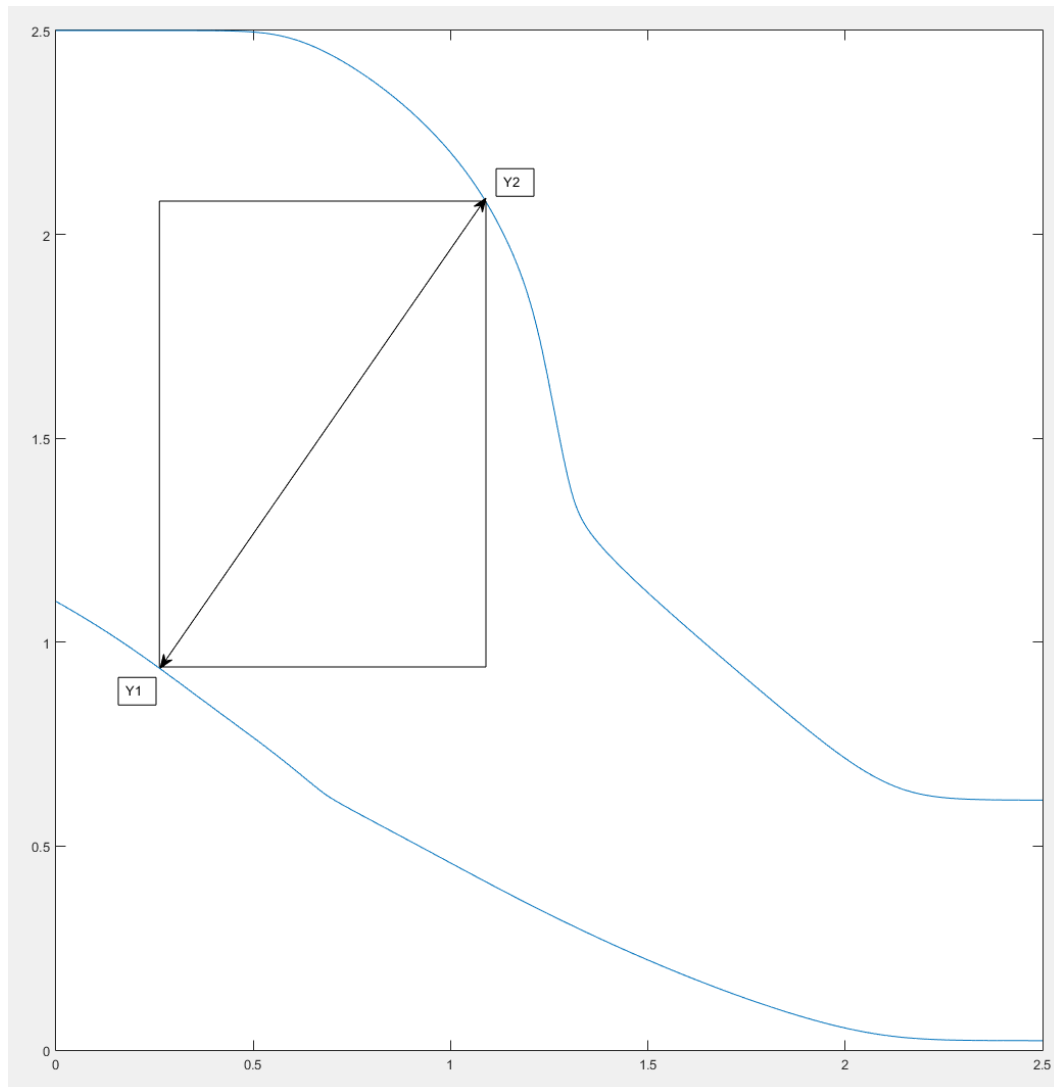
9T WSNM

Για το κελί των 9T ενεργοποιούμε το WL και στέλνουμε απο την μπιτσειρά 0V



Η DC χαρακτηριστική της

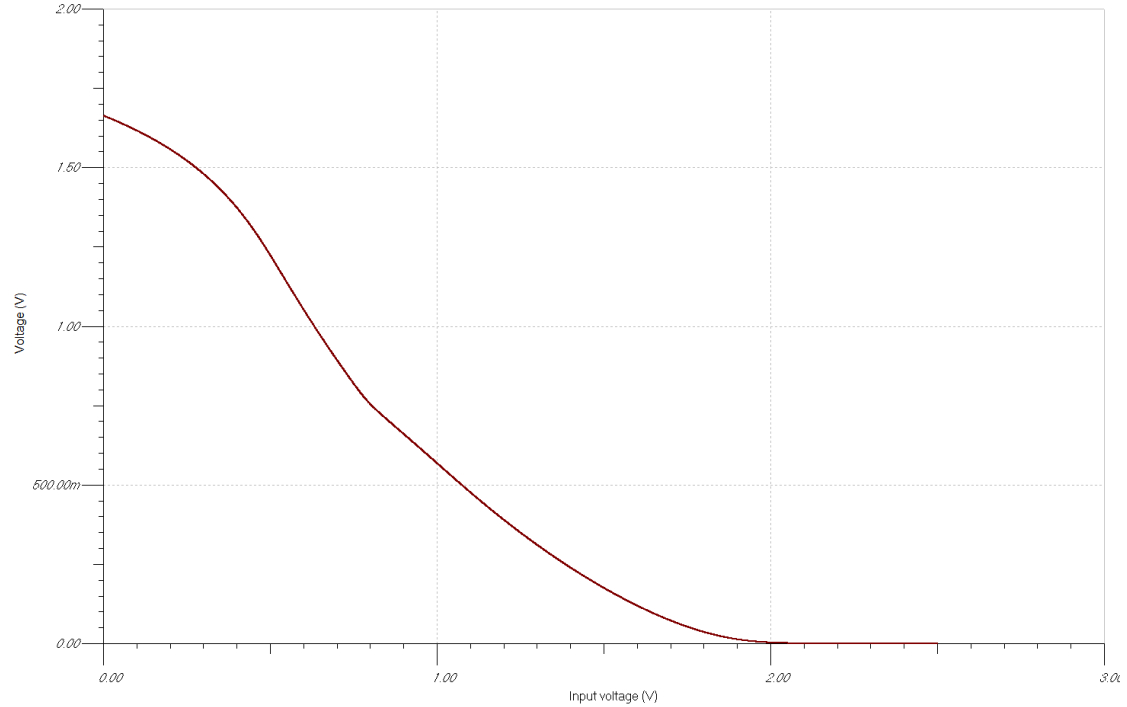
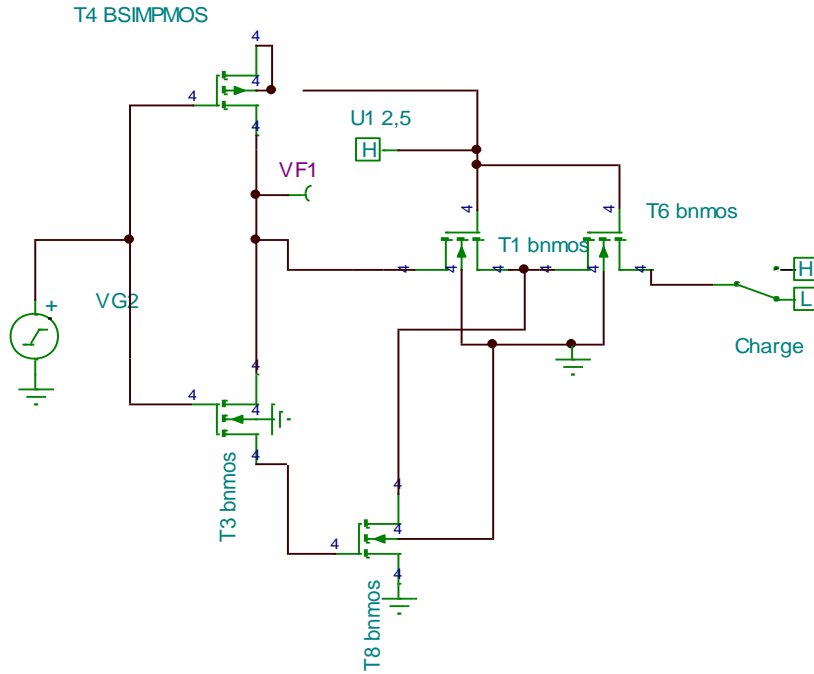
Στην συνέχεια μεταφέρουμε τα δεδομένα στο MATLAB μαζί με την γραφική απο το 9T RHSNM.



Ασχέτως αν το σχήμα είναι λίγο δύσμορφο φτιάχνουμε το τετράγωνο εκεί που ιδανικά μπορεί να είναι μεγαλύτερο ανάμεσα στις χαρακτηριστικές.

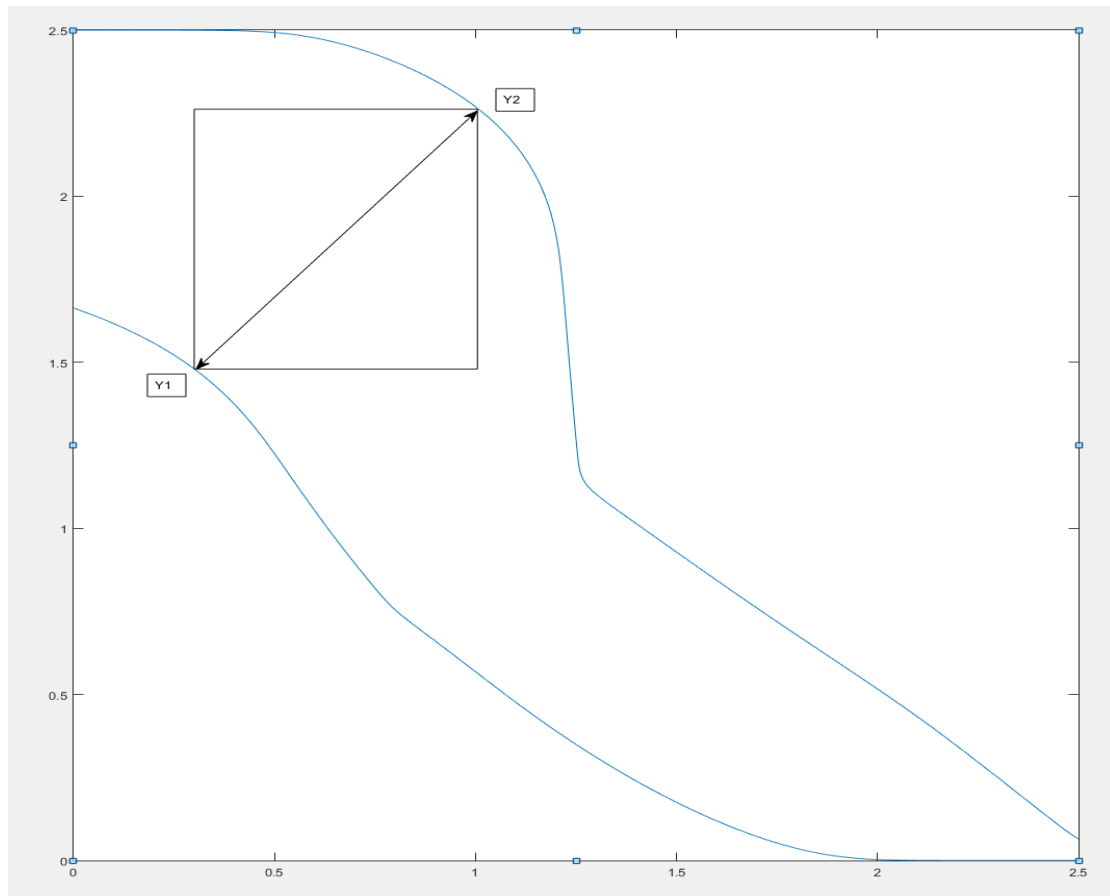
10T WSNM

Για το κελί των 10T στέλνουμε 0V από την μπιτοσειρά και έχουμε ενεργοποιημένα WL1 και WL2



Και η DC χαρακτηριστική της

Μεταφέροντας τις 2 χαρακτηριστικές στο MATLAB έχουμε:



10T WSNM

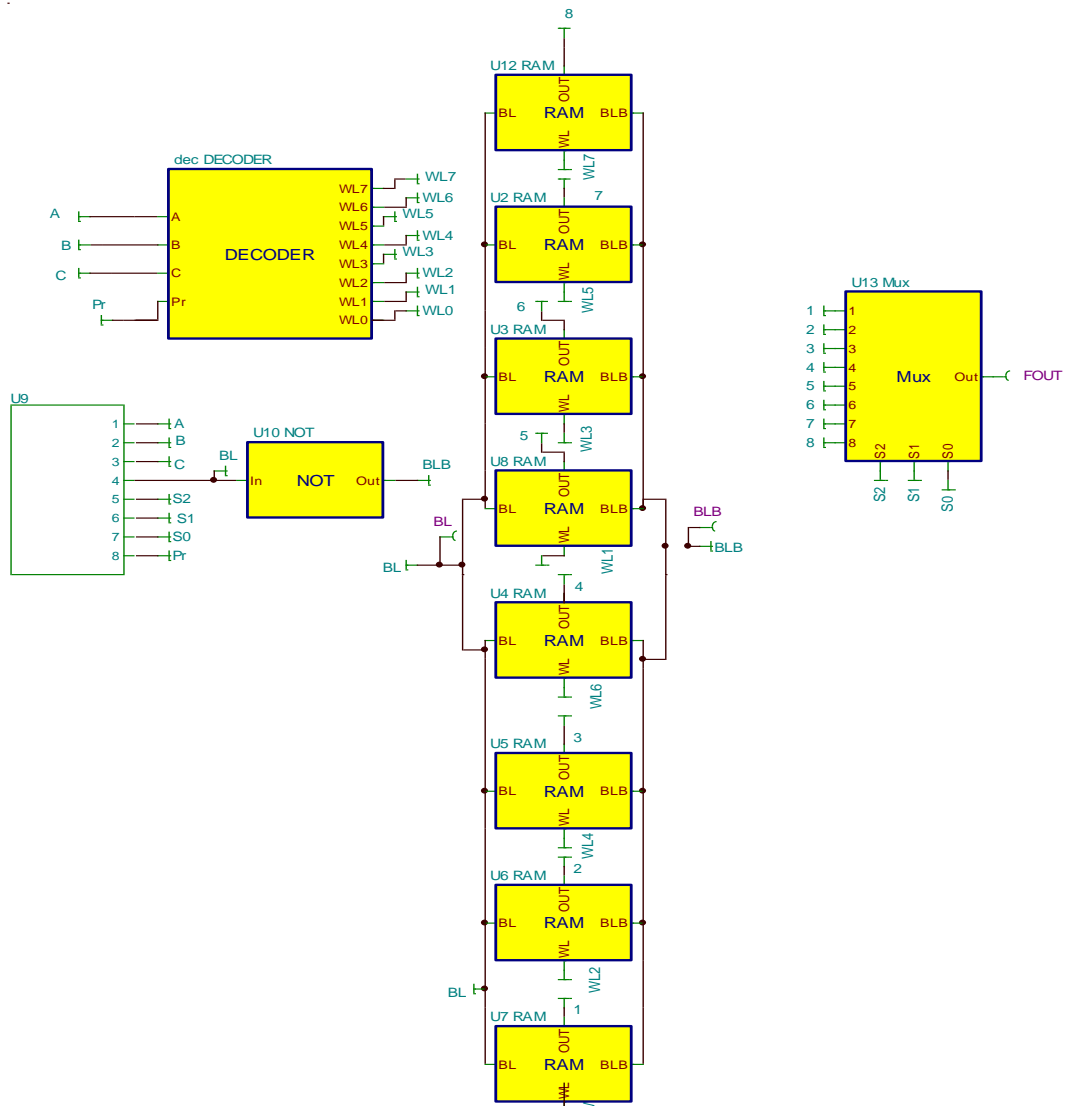
ΑΠΟΤΕΛΕΣΜΑΤΑ WSNM

ΚΥΚΛΩΜΑ	WSNM(V)
6-7T	1.192
8T	1.254
9T	1.085
10T	0.778

Σύμφωνα με τα αποτελέσματα που έδωσαν οι γραφικές το 8T δίνει το μεγαλύτερο περιθώριο προστασίας απο θόρυβο και παρεμβολές στην εγγραφή όπως ακριβώς και κατα την διαδικασία ανάγνωσης/διατήρησης. Με ελάχιστη διαφορά και στα δύο βρίσκονται τα κυκλώματα των 6-7T.

1BYTE SRAM

Στην συνέχεια της εργασίας θα δούμε την δομή ενός byte SRAM που αποτελείται από 8 επιμέρους κομμάτια που αποθηκεύουν 1bit ξεχωριστά, έναν αποκωδικοποιητή για επιλογή bit και έναν πολυπλέκτη για επιλογή bit ξεχωριστά ως έξοδο. Όλα τα BIT είναι 6T.



Αποκωδικοποιητής(DECODER)

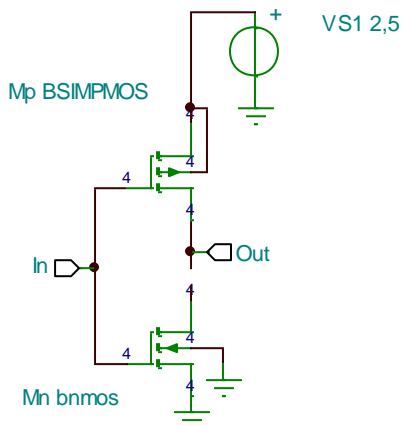
Ο αποκωδικοποιητής είναι ένα εξάρτημα που θα μας βοηθήσει να ενεργοποιούμε 1 απο τα 7 WL που θα χρειαζόμαστε ανά φορά ενώ κάνουμε χρήση μόνο τριών εισόδων (A,B,C).Επομένως με 3 εισόδους μπορούμε να επιλέξουμε μια απο τις 8 εξόδους.



Ο αποκωδικοποιητής εσωτερικά.

ΠΥΛΗ NOT:

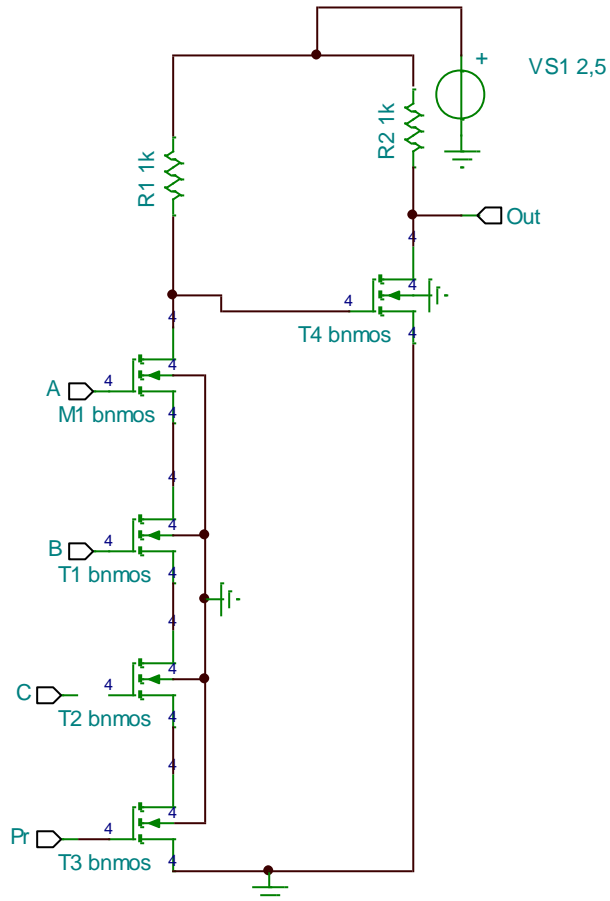
Η πύλη NOT εσωτερικά δεν είναι τίποτα άλλο από ένα CMOS inverter με σκοπό να γίνει χρήση της ως αντιστροφέας



Χρειάζεται στον αποκωδικοποιητή καθώς θα πρέπει να μπορεί να στέλνει στις πύλες πχ A(λογικο '1') και A'(λογικο '0').

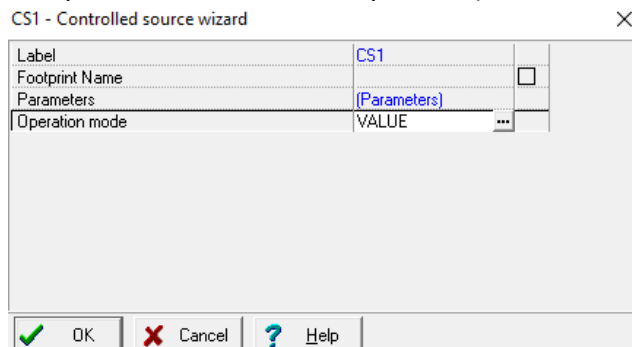
ΠΥΛΗ AND

Η πύλη AND που υπάρχει στον αποκωδικοποιητή έχει 4 εισόδους και 1 έξοδο. Γίνεται χρήση αυτής της πύλης και για τις 8 πιθανές εξόδους. Η πύλη στέλνει πάντα '0' και στέλνει '1' μόνο όταν και οι 4 εισόδους της είναι 1.

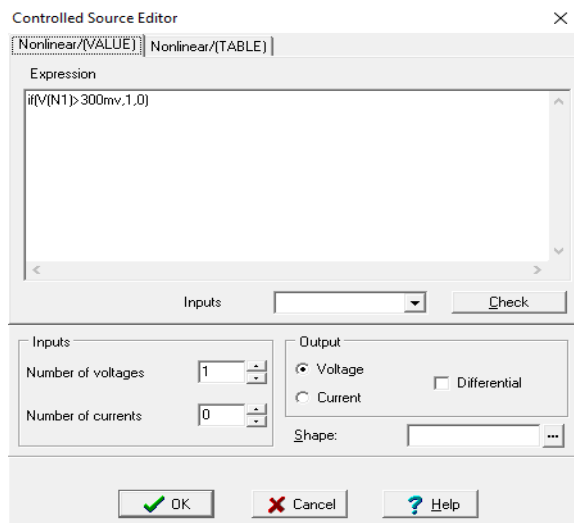


Η πύλη AND εσωτερικά

Για να γίνει ιδανική η έξοδος μετά την πύλη AND τοποθετήθηκε το εξάρτημα 'controlled source wizard' από την εργαλειοθήκη του TINA με σκοπό να έχουμε συγκεκριμένη έξοδο. Το εξάρτημα αυτό έχει τοποθετηθεί ξεχωριστά σε όλες τις πύλες AND. Όταν βγει ένα σήμα από την πύλη πριν σταλθεί στο αντίστοιχο Wordline 'ανορθώνεται' στο 1V σε περίπτωση που είναι πάνω από 300mV.



Αυτό επιτεύχθηκε πατώντας εντός του controlled wizard στο Operation mode
Ύστερα το TINA ανοίγει ένα παράθυρο που σου επιτρέπει να γράψεις μία έκφραση
για το τι θές να γίνει με το σήμα που θα περάσει απο το εξάρτημα.



Εκεί έγινε εγγραφή του εάν το V(N1) που είναι η είσοδος στο εξάρτημα έχει τάση περισσότερο απο 300mV ανόρθωσε την σε 1V εναλλακτικά αν δεν είναι μεγαλύτερη απο 300mV μετέτρεψε την σε 0.

Όλη αυτή η διαδικασία στον Decoder γίνεται με σκοπό να ενεργοποιούμε το WL που επιθυμούμε ανα φορά για να γίνεται η εγγραφή στο bit που θέλουμε.

Με σκοπό την λειτουργία του Decoder στέλνουμε στα σήματα A,B,C '1' ή '0' και η κάθε αλληλουχία ενεργοποιεί διαφορετικό WL

ΑΛΛΗΛΟΥΧΙΑ DECODER

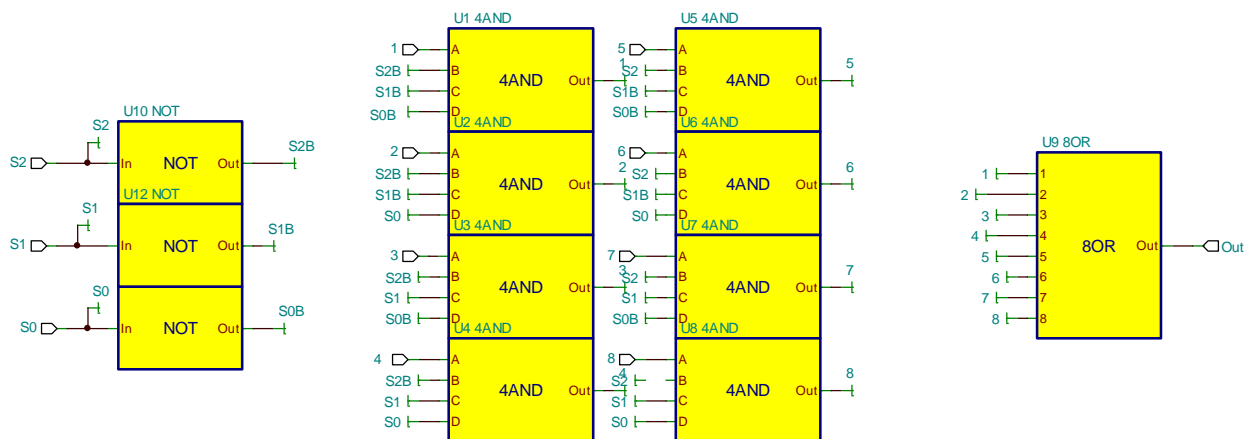
- WL7: A , B , C
- WL6: A' , B , C
- WL5: A , B' , C
- WL4: A' , B' , C
- WL3: A , B , C'
- WL2: A' , B , C'
- WL1: A , B' , C'
- WL0: A' , B' , C'

Με ' συμβολίζεται ότι στην εκάστοτε είσοδο σφάλθηκε '0' εναλλακτικά '1'. Παρατηρούμε πως η παραπάνω αλληλουχία καλύπτει όλα τα πιθανά σενάρια αποστολής σήματος μέσω των εισόδων. Αυτό θα είχε ως αποτέλεσμα 1 WL να είναι πάντα ενεργό. Για να αποφευχθεί αυτό το πρόβλημα πρέπει να είναι ενεργή και η 4ή συνθήκη στις πύλες AND που είναι το Pr το οποίο είναι μία ξεχωριστή είσοδος κοινή για όλες τις AND και έχει ως σκοπό την απενεργοποίηση της διαδικασίας του DECODER.

Με την κατάλληλη αλληλουχία A,B,C ενεργοποιούμε ένα σήμα WL και ανάλογα με το τι BL/BLB έχουμε ορίσει γίνεται η εγγραφή στο BIT που επιθυμούμε.

MULTIPLEXER

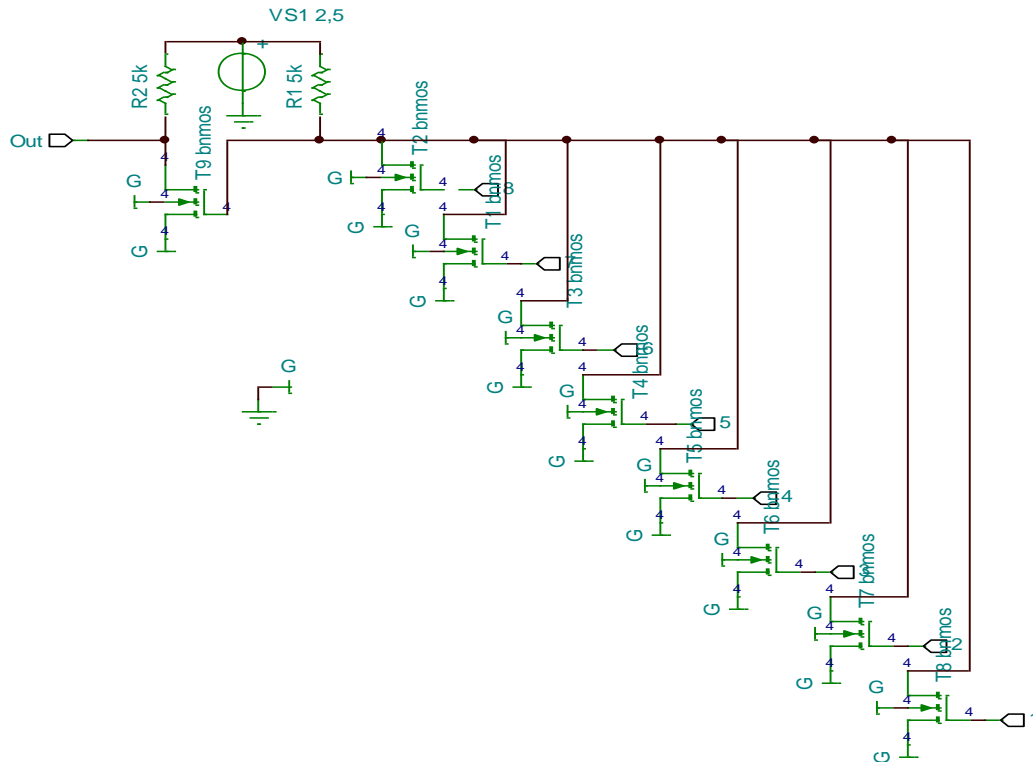
Στην συνέχεια έχουμε την δυνατότητα να επιλέγουμε έξοδο μεταξύ των 8 μέσω του MUX. Το MUX είναι ένα εξάρτημα που δέχεται ως είσοδο τις 8 εξόδους από τα BIT και ανάλογα την αλληλουχία που επιλέγουμε στις 3 εισόδους του (S2,S1,S0) επιλέγουμε και ποιά έξοδο από τα BIT θα δούμε.



Το MUX εσωτερικά

Οι πύλες AND εσωτερικά καθώς και οι NOT λειτουργούν ακριβώς όπως πριν. Στην περίπτωση του MUX οι εξόδους από όλες τις AND οδηγούνται σε μία πύλη OR με 8 εισόδους.

Η πύλη OR έχει πολύ απλή αρχή λειτουργίας. Αν έστω και μία είσοδος της είναι '1' τότε θα έχει ως έξοδο '1', εναλλακτικά '0'.



Η πύλη OR εσωτερικά

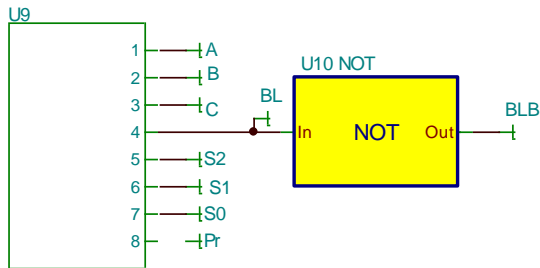
ΑΛΛΗΛΟΥΧΙΑ MUX

- 1: S2B , S1B , S0B
- 2: S2B , S1B , S0
- 3: S2B , S1 , S0B
- 4: S2B , S1 , S0
- 5: S2 , S1B , S0B
- 6: S2 , S1B , S0
- 7: S2 , S1 , S0B
- 8: S2 , S1 , S0

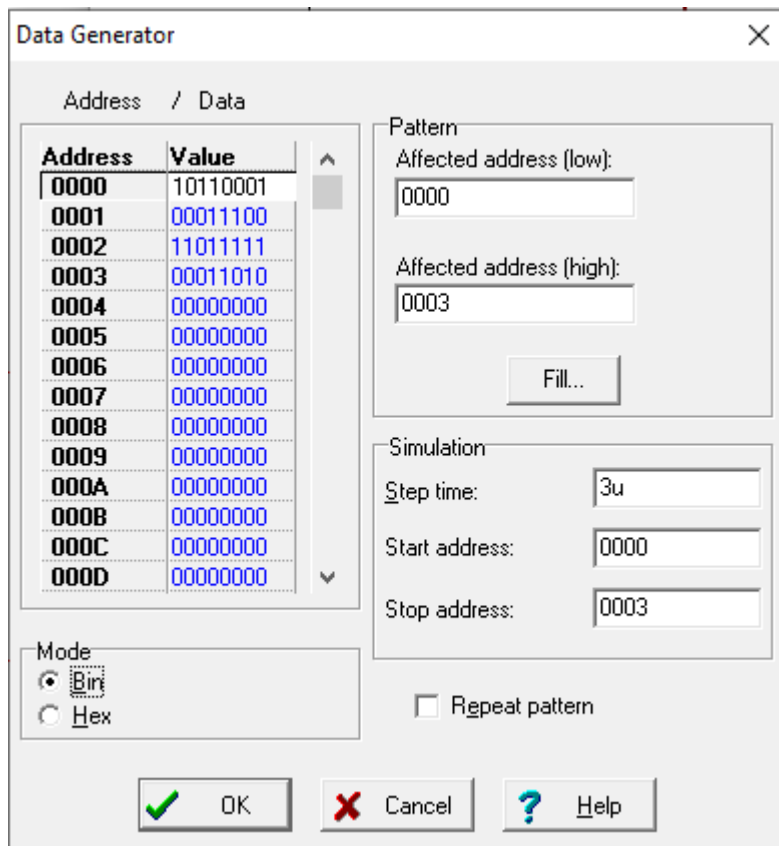
Οποία είσοδος του MUX έχει στο τέλος B πχ S1B δηλώνεται έτσι το '0' σε αυτήν την είσοδο.

DATA GENERATOR

Σε αυτήν την προσομείωση έγινε χρήση του 8-BIT generator του TINA καθώς έχουμε 9 εισόδους.



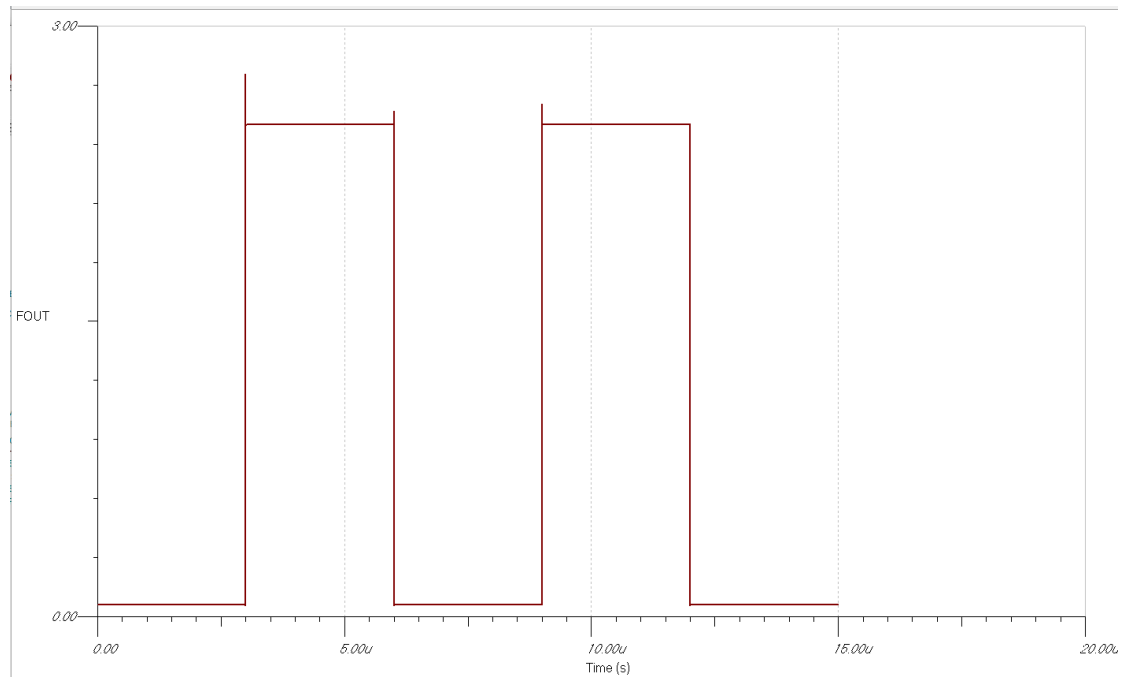
Εφόσον το BLB είναι αντίθετο από το BL τοποθετούμε ενδιάμεσα από τα 2 μία πύλη NOT. Επομένως έχουμε τις 3 εισόδους (A,B,C) που ορίζουν το ποίο WL θα ενεργοποιηθεί, το BL/BLB που είναι η πληροφορία για το κελί, τις 3 εισόδους (S2,S1,S0) για να επιλέξουμε την επιθυμητή έξοδο και τέλος το Pr για απενεργοποίηση της εγγραφής.



Ρυθμίζουμε τον Data generator με αλλαγή διεύθυνσης ανα 3u και με την συγκεκριμένη αλληλουχία.

- 0000: Αρχικά στέλνουμε A,B',C που ενεργοποιεί μέσω του Decoder το WL5(κελί 7) και γράφει '1' στο κελί.Υστερά στέλνουμε S2B,S1B,S0B που ενεργοποιεί το κελί '1' που δεν υπάρχει πληροφορία με σκοπό να δούμε ότι δεν θα δείξει κάτι η έξοδος.Το Pr είναι ενεργοποιημένο για να ενεργοποιηθεί το WL5.
- 0001: Στην συνέχεια εφόσον απενεργοποιούμε το Pr δεν έχει σημασία τι στέλνουμε στο A,B,C καθώς η συνθήκη δεν θα είναι για κανέναν συνδιασμό αληθής εντος του decoder.Στέλνουμε επίσης S2,S1,S0B που ενεργοποιεί το κελί 7 που προηγουμένως είχαμε γράψει '1'.
- 0002:Σε αυτή την περίπτωση στέλνουμε A,B,C' που ενεργοποιεί το WL3(κελί 6) εφόσον και το Pr είναι ενεργό και γράφουμε 1.Τέλος στο mux στέλνουμε S2,S1,S0 που ενεργοποιεί την έξοδο 8.
- 0003:Εδώ δεν μας ενδιαφέρει το A,B,C καθώς το Pr είναι ανενεργο.Στέλνουμε S2,S1',S1 για να ενεργοποιηθεί το κελί 6 και να δούμε την έξοδο που στείλαμε προηγουμένως.

Έξοδος 1Byte



Στην κυματομορφή εξόδου που παρουσιάζεται στην παραπάνω εικόνα διαπιστώνουμε την σωστή εκτέλεση της μνήμης καθώς έχουμε αύξηση της τάσης στα 3υ και 6υ βλέποντας την πληροφορία στα κελία 7 και 6 αντίστοιχα.

BIBΛΙΟΓΡΑΦΙΑ

- [1] Design of Low Power Stable SRAM CELL by Kundan Vanama, Govind Prasad
- [2] www.tina.com
- [3] "TINA Users Manual", DesignSoftware.
- [4] Andrei Pavlov & Manoj Sachdev, "CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies". Intel Corporation, University of Waterloo, 2008 Springer Science and Business Media B.V.
- [5] Mohammad Sharifkhani, Member, IEEE, and Manoj Sachdev, Senior Member, IEEE "SRAM Cell Stability: A Dynamic Perspective" IEEE journal of solid-state circuits, vol. 44, no. 2, february 2009.
- [6] J. Rabaey, A. Chandrakasan, B. Nikolic, Digital Integrated Circuits: A Design Perspective.
- [7] "SRAM Static Characterization" by Vishal Saxena, Boise State University.
- [8] BSIM3v3.3 Mosfet Model Users Manual by Department of Electrical Engineering And Computer Sciences University of California, Berkeley.
- [9] Design of a Low Latch Based SRAM Sense Amplifier by Sarah Brooks, Worcester Polytechnic Institute.
- [10] "A New Low-Power SRAM Block Suitable For Application Distribution" by Ghasem Pasandi, University of Southern California.