



Τ.Ε.Ι. Πειραιά

T.E.I. Piraeus

Τμήμα Μηχανικών Ηλεκτρονικών Υπολογιστικών
Συστημάτων

Department of Electronic Computer System Eng.

Πτυχιακή Εργασία

**"Αρχιτεκτονικές για το ψηφιακό
αριθμητικό υλικό"**

Δουλγκέρης Κομνηνός A.M.:29054

Υπεύθυνος Καθηγητής: Π. Γιαννακόπουλος

ΒΙΒΛΙΟΘΗΚΗ
ΤΕΙ ΠΕΙΡΑΙΑ

Ιούνιος, 2014

HAIR

87

THE UNIVERSITY OF CHICAGO

Ευχαριστίες

Θα ήθελα να εκφράσω τις ευχαριστίες μου σε όλους όσους με οποιονδήποτε τρόπο συνέβαλαν, ώστε να υλοποιηθεί αυτή η διπλωματική εργασία.

Ιδιαίτερες ευχαριστίες στον επιβλέποντα καθηγητή κ. Π. Γιαννακόπουλο για την πολύτιμη καθοδήγηση, συνεργασία και βοήθεια που μου προσέφερε σε όλη τη διάρκεια της εκπόνησης της εργασίας αυτής, καθώς και για την ευκαιρία που μου έδωσε να ασχοληθώ με το συγκεκριμένο θέμα. Οι γνώσεις και οι εμπειρίες που αποκόμισα από τη διαδρομή αυτής της εργασίας είναι πολύ σημαντικές και σίγουρα θα μου φανούν χρήσιμες και στο μέλλον.

Τέλος θα ήθελα να ευχαριστήσω την οικογένειά μου για την πλήρη συμπαράσταση, υποστήριξη και υπομονή τους καθ' όλη τη διάρκεια των σπουδών μου.

Περίληψη

Στην παρούσα πτυχιακή εργασία παρουσιάζεται η ανάπτυξη λογικών αριθμητικών μονάδων που βρίσκονται σε κάθε υπολογιστή. Αρχικά θα ασχοληθούμε με τη θεωρία της αριθμητικής που εφαρμόζεται στην επιστήμη των υπολογιστών, αλλά και σε μερικές περιπτώσεις στη μετατροπή των αλγόριθμων αυτών σε κυκλώματα. Στη συνέχεια βλέπουμε τη σχεδίαση και ανάπτυξη κυκλωμάτων CMOS. Θα αναφερθούμε στα χαρακτηριστικά των εν λόγω κυκλωμάτων καθώς και στην τεχνολογία κατασκευής και επεξεργασίας τους.

Περιεχόμενα

Ευχαριστίες.....	3
ΚΕΦΑΛΑΙΟ 1: ΑΡΙΘΜΟΙ, ΑΡΙΘΜΗΤΙΚΗ ΚΑΙ ΑΡΙΘΜΗΤΙΚΑ ΣΥΣΤΗΜΑΤΑ	13
1.1 Τι είναι η Αριθμητική Υπολογιστών (Computer Arithmetic)	13
1.2 Παράδειγμα	14
1.3 Αριθμοί και Κωδικοποίηση	14
1.4 Σύστημα αριθμών σταθερής βάσης και υποδιαστολής.....	15
1.5 Μετατροπή της βάσης αριθμών	15
1.6 Τάξεις αναπαράστασης αριθμών	15
1.7 Αναπαράσταση Προσημασμένων Ποσοτήτων	16
1.8 Μεροληπτική Αναπαράσταση	17
1.9 Συμπληρωματική Αναπαράσταση	17
1.10 Αριθμοί με συμπλήρωμα κατά 1 και κατά 2.....	18
1.11 Άμεση και έμμεση αριθμητική προσημασμένων αριθμών	19
1.12 Χρήση προσημασμένων θέσεων ή προσημασμένων ψηφίων	20
1.13 Αντιμετωπίζοντας το πρόβλημα με τα κρατούμενα	21
1.14 Πλεονασμός στην Αριθμητική Υπολογιστών.....	21
1.15 Σύνολα ψηφίων και Μετατροπή συνόλων ψηφίων	22
1.16 Γενικευμένοι Αριθμοί Προσημασμένων Ψηφίων.....	22
1.17 Αλγόριθμοι πρόσθεσης χωρίς κρατούμενο.....	23
1.18 Συναρτήσεις μετατροπής και υποστήριξης.....	24
1.19 Αναπαράσταση RNS και Αριθμητική.....	24
1.20 Διαλέγοντας τα κατάλληλα μέτρα (moduli)	25
1.21 Κωδικοποίηση και Αποκωδικοποίηση αριθμών.....	25
1.22 Δύσκολες RNS Αριθμητικές Πράξεις.....	25
1.23 Πλεονάζουσες RNS Αναπαραστάσεις	25
1.24 Τα όρια γρήγορων υπολογισμών στα RNS.....	26
ΚΕΦΑΛΑΙΟ 2: ΠΡΟΣΘΕΣΗ ΚΑΙ ΑΘΡΟΙΣΤΕΣ	27
2.1 Bit-Serial & Ripple-Carry Αθροιστές.....	27
2.2 Προϋποθέσεις & Εξαιρέσεις.....	28
2.3 Ανάλυση Διάδοσης Κρατουμένου	28
2.4 Ανίχνευση Ολοκλήρωσης Κρατουμένου.....	28
2.5 Πρόσθεση μιας Σταθεράς: Μετρητές.....	29
2.6 Αλυσίδες κρατουμένου Manchester και Αθροιστές	29
2.7 Επαναφορά κρατουμένου	30
2.8 Σχεδίαση αθροιστή με πρόβλεψη κρατούμενου	31
2.9 Αθροιστής Ling και παρόμοιες σχεδιάσεις.....	31
2.10 Εναλλακτικά παράλληλα δίκτυα προθεμάτων.....	31
2.11 Υλοποίηση σε VLSI.....	32
2.12 Απλοί αθροιστές παράλειψης κρατουμένου	32
2.13 Αθροιστές παράλειψης κρατουμένου πολλών επιπέδων	33

2.14 Αθροιστές επιλογής κρατούμενου	33
2.15 Αθροιστής άθροισης υπό όρους.....	33
2.16 Σχεδίαση υβριδικών αθροιστών.....	34
2.17 Βελτιστοποίηση γρήγορων αθροιστών	34
2.18 Χρήση αθροιστών δύο-τελεστών.....	34
2.19 Αθροιστής αποθήκευσης κρατούμενου	35
2.20 Wallace and Dadda Trees	35
2.21 Παράλληλοι Μετρητές.....	35
2.22 Γενικευμένοι Παράλληλοι Μετρητές	35
ΚΕΦΑΛΑΙΟ 3: ΠΟΛΛΑΠΛΑΣΙΑΣΤΕΣ ΚΑΙ ΔΙΑΙΡΕΤΕΣ.....	37
3.1 Αλγόριθμοι Shift/Add Πολλαπλασιασμού	37
3.2 Προγραμματισμός πολλαπλασιασμού	37
3.3 Βασικές Υλοποιήσεις Πολλαπλασιαστών	37
3.4 Πολλαπλασιασμός προσημασμένων αριθμών	38
3.5 Πολλαπλασιασμός με σταθερές.....	38
3.6 Πολλαπλασιασμός βάσης-4	39
3.7 Τροποποιημένη "Booth's Recording"	39
3.8 Χρήση Αθροιστών αποθήκευσης κρατούμενου	39
3.9 Πολλαπλασιαστές βάσης-8 και βάσης-16.....	40
3.10 Πολλαπλασιαστές Πολλαπλών Χτύπων Ρολογιού	40
3.11 Θέματα Πολυπλοκότητας VLSI	41
3.12 Πολλαπλασιαστές Πλήρους Δέντρου	41
3.13 Πολλαπλασιαστές Δέντρου για Προσημασμένους Αριθμούς	41
3.14 Πολλαπλασιαστές Μερικού-Δέντρου	42
3.15 Πολλαπλασιαστές Πίνακα	42
3.16 Σχεδίαση "Διαιρεί και Βασίλευε"	42
3.17 Εξαρτήματα προσθετικού πολλαπλασιασμού	43
3.18 Πολλαπλασιαστές σειριακών-μπιτ.....	43
3.19 Modular Πολλαπλασιαστές.....	43
3.20 Η ειδική περίπτωση των τετραγώνων.....	43
3.21 Αλγόριθμοι Shift/Subtract Διαίρεσης	43
3.22 Προγραμματισμός διαίρεσης	44
3.23 Restoring Διαιρέτες.....	44
3.24 Nonrestoring & Signed Διαίρεση	44
3.25 Διαίρεση με σταθερές	45
3.26 Βασικά στοιχεία Διαιρετών μεγάλης βάσης	45
3.27 Radix-2 SRT Διαίρεση.....	45
3.28 Χρήση Αθροιστών αποθήκευσης κρατούμενου	46
3.29 Επιλογή των ψηφίων του υπόλοιπου	46
3.30 Radix-4 SRT Διαίρεση.....	46
3.31 High-radix Διαιρέτες.....	46
3.32 Διαιρέτες Πίνακα	47

Αθροιστής / Αφαιρέτης Δεκαδικών Αριθμών.....	48
ΚΕΦΑΛΑΙΟ 4: CORDIC ΑΛΓΟΡΙΘΜΟΙ.....	51
4.1 Αλγόριθμος περιστροφής διανύσματος.....	52
ΚΕΦΑΛΑΙΟ 5: Εισαγωγή στα κυκλώματα CMOS και τα Τρανζίστορ MOS.....	55
5.1 Ιστορική αναδρομή.....	55
5.2 Τρανζίστορ MOS.....	55
5.3 Διακόπτες με τρανζίστορ MOS.....	56
5.4 Λογική CMOS.....	57
5.4.1 Αντιστροφέας.....	57
5.4.2 Συνδυαστική Λογική.....	58
5.4.3 Η Πύλη NAND.....	58
5.4.4 Η Πύλη NOR.....	59
5.4.5 Σύνθετες Πύλες.....	60
5.4.6 Πολυπλέκτες.....	60
5.4.7 Μνήμη – Μανδαλωτές και Καταχωρητές.....	60
5.5 Περιγραφές Κυκλώματος και Συστήματος.....	61
5.6 Χαρακτηριστικά της τεχνολογίας CMOS.....	62
5.7 Θεωρία Τρανζίστορ MOS.....	63
5.8.1 Τρανζίστορ Πύκνωσης nMOS και pMOS.....	63
5.8.2 Τάση Κατωφλίου – Επίδραση Σώματος.....	64
5.9 Εξισώσεις Σχεδίασης Στοιχείου MOS.....	65
5.9.1 Βασικές Εξισώσεις DC.....	65
5.9.2 Φαινόμενα Δεύτερης Τάξης.....	65
5.9.3 Μοντέλα MOS.....	66
5.10 Ο Συμπληρωματικός Αντιστροφέας CMOS – Χαρακτηριστικές DC.....	67
5.10.1 Περιθώριο Θορύβου.....	67
5.10.2 Αντιστροφέας CMOS ως Ενισχυτής.....	68
5.11 Αντιστροφείς Στατικού Φορτίου MOS.....	68
5.12 Διαφορικός Ενισχυτής.....	69
5.13 Πύλη Μετάδοσης.....	69
5.14 Τρισταθής Αντιστροφέας.....	70
5.15 Διπολικά Στοιχεία.....	70
ΚΕΦΑΛΑΙΟ 6: Τεχνολογία Επεξεργασίας, Χαρακτηρισμός Κυκλώματος και Εκτίμηση Απόδοσης CMOS.....	71
6.1 Τεχνολογία για τον Ημιαγωγό Πυριτίου: Γενική Θεώρηση.....	71
6.1.1 Επεξεργασία Δισκίου.....	71
6.1.2 Οξειδωση.....	71
6.1.3 Επίταξη, Απόθεση, Εμφύτευση Ιόντων και Διάχυση.....	71
6.1.4 Επεξεργασία Πύλης.....	72

6.2 Βασική Τεχνολογία CMOS	72
6.3 Βελτιώσεις Επεξεργασίας CMOS	73
6.3.1 Σύνδεση.....	73
6.3.2 Κυκλωματικά Στοιχεία	74
6.3.3 Τριών Διαστάσεων CMOS	75
6.4 Κανόνες Υλοποίησης Φυσικής Σχεδίασης	76
6.4.1 Αναπαράσταση Στρώσεων.....	76
6.4.2 Υπόβαθρο Κανόνων Σχεδίασης.....	76
6.5 Latchup	78
6.5.1 Η Φυσική Πηγή του Latchup.....	78
6.5.2 Πυροδότηση Latchup.....	78
6.5.3 Προστασία από Latchup	79
6.5.4 Τεχνικές Προστασίας από Εσωτερικό Latchup.....	79
6.6 Θέματα CAD σχετιζόμενα με την τεχνολογία	79
6.7 Χαρακτηρισμός κυκλώματος	79
6.8 Εκτίμηση Αντίστασης	80
6.8.1 Αντίσταση μη Ορθογωνίων Τμημάτων	81
6.8.2 Αντίσταση Επαφής και Περάσματος.....	81
6.9 Εκτίμηση Χωρητικότητας	81
6.9.1 Χαρακτηριστικά Πυκνωτή MOS	82
6.9.2 Χωρητικότητες Στοιχείου MOS.....	82
6.9.3 Χωρητικότητα Διάχυσης (Πηγή/Υποδοχής)	83
6.9.4 Χωρητικότητα Διασύνδεσης.....	84
6.9.5 Κατανεμημένες Επιδράσεις RC.....	84
6.9.6 Οδηγίες Σχεδίασης Μήκους Καλωδίου	85
6.10 Επαγωγή	85
6.11 Χαρακτηριστικά Μεταγωγής.....	85
6.11.1 Καθυστερήσεις Πυλών	86
6.12 Μέγεθος Τρανζίστορ Πύλης CMOS	87
6.12.1 Συμπληρωματικοί Αντιστροφείς σε Διαδοχή	87
6.12.2 Λόγος Βαθμίδας.....	88
6.13 Κατανάλωση Ισχύος.....	88
6.14 Περιθώρια Σύνδεσης	89
6.15 Αξιοπιστία	90
6.16 Κλιμάκωση των Διαστάσεων του Τρανζίστορ MOS	90
ΚΕΦΑΛΑΙΟ 7: Κυκλώματα CMOS και Λογική Σχεδίαση	93
7.1 Εισαγωγή	93
7.2 Σχεδίαση Λογικών Πυλών CMOS	93
7.2.1 Βαθμός Εισόδου και Βαθμός Οδήγησης Εξόδου	94
7.2.2 Τυπικές Καθυστερήσεις Πυλών NAND και NOR CMOS	94
7.2.3 Μέγεθος Τρανζίστορ.....	95
7.3 Φυσική Σχεδίαση Απλών Λογικών Πυλών	95

7.4 Λογικές Δομές CMOS.....	99
7.5 Στρατηγικές Ρολογιού	100
7.5.1 Συστήματα με Ρολόι	100
7.5.2 Μανδαλωτές και Καταχωρητές	100
7.5.3 Χρονισμός Συστήματος	101
7.5.4 Χρόνοι Αποκατάστασης και Συγκράτησης	101
7.5.5 Δομές Μνήμης Μιας Φάσης	101
7.5.6 Τεχνικές Ρολογιού με Βρόχο Κλειδωμένης Φάσης	102
7.5.7 Μετασταθερότητα και Σφάλματα Συγχρονισμού	102
7.5.8 Λογικές Δομές Μιας Φάσης	102
7.5.9 Στρατηγική Ρολογιού Δύο Φάσεων	103
7.5.10 Δομές Μνήμης Δύο Φάσεων	103
7.5.11 Λογικές Δομές Δύο Φάσεων	103
7.5.12 Στρατηγική Ρολογιού Τεσσάρων Φάσεων.....	104
7.5.13 Δομές Μνήμης Τεσσάρων Φάσεων	104
7.5.14 Λογικές Δομές Τεσσάρων Φάσεων	104
7.5.15 Προτεινόμενες Προσεγγίσεις Ρολογιού.....	104
7.5.16 Κατανομή Ρολογιού.....	105
7.6 Δομές E/E	105
7.6.1 Συνολική Οργάνωση.....	105
7.6.2 Διάφορα Είδη Ακροδεκτών	106
7.6.3 Σχεδίαση με Χαμηλή Κατανάλωση	107
ΚΕΦΑΛΑΙΟ 8: ΜΕΘΟΔΟΙ ΣΧΕΔΙΑΣΗΣ CMOS	109
8.1 Εισαγωγή	109
8.2 Στρατηγικές Σχεδίασης.....	109
8.2.1 Εισαγωγή.....	109
8.2.2 Δομημένες Στρατηγικές Σχεδίασης	110
8.2.3 Ιεραρχία.....	110
8.2.4 Κανονικότητα	110
8.2.5 Τμηματοποίηση.....	110
8.2.6 Τοπικότητα.....	111
8.3 Δυνατότητες Σχεδίασης Ολοκληρωμένων CMOS	111
8.3.1 Προγραμματιζόμενη Λογική	111
8.3.2 Δομές Προγραμματιζόμενης Λογικής	112
8.3.3 Προγραμματιζόμενη Αλληλοσύνδεση.....	112
8.3.4 Επαναπρογραμματιζόμενες Διατάξεις Πυλών.....	112
8.3.5 Σχεδίαση Θάλασσας Πυλών και Διατάξεις Πυλών	112
8.3.6 Σχεδίαση με Τυποποιημένα Κύτταρα	113
8.3.7 Σχεδίαση Μασκών σε Επίπεδο Τρανζίστορ	113
8.3.8 Συμβολικό Φυσικό Σχέδιο	113
8.4 Μέθοδοι Σχεδίασης	114
8.4.1 Σύνθεση Συμπεριφοράς	114

8.4.2	Σύνθεση σε Επίπεδο Καταχωρητή.....	115
8.4.3	Βελτιστοποίηση Λογικής.....	115
8.4.4	Σύνθεση Δομής σε Φυσικό Σχέδιο	115
8.4.5	Η Σύνθεση του Φυσικού Σχεδίου	116
8.5	Εργαλεία Σύλληψης Σχεδίου.....	116
8.5.1	Σχεδίαση HDL	116
8.5.2	Σχηματική Σχεδίαση	116
8.5.3	Φυσική Σχεδίαση	117
8.5.4	Χωροθέτηση	117
8.5.5	Σύνθεση Ολοκληρωμένου	117
8.6	Εργαλεία Επαλήθευσης Σχεδίασης.....	117
8.6.1	Εξομοίωση	118
8.6.2	Επαληθευτές Χρονισμού	118
8.6.3	Ισομορφισμός Δικτύου	118
8.6.4	Σύγκριση Κομβικών Καταλόγων.....	119
8.6.5	Εξαγωγή Φυσικού Σχεδίου	119
8.6.6	Επαναπροσδιορισμός Παραμέτρων Σχεδίασης	119
8.6.7	Επαλήθευση Κανόνων Σχεδίασης	120
8.6.8	Παραγωγή Μασκών.....	120
8.7	Οικονομική Πλευρά της Σχεδίασης	120
8.7.1	Χρονοδιάγραμμα.....	121
8.7.2	Ανθρώπινο Δυναμικό.....	121
8.8	Φύλλα Δεδομένων	121
ΚΕΦΑΛΑΙΟ 9: ΔΟΚΙΜΗ ΚΥΚΛΩΜΑΤΩΝ CMOS		123
9.1	Η ανάγκη για Δοκιμή.....	123
9.1.1	Δοκιμές Λειτουργικότητας	123
9.1.2	Δοκιμές Κατασκευής	124
9.2	Αρχές Βιομηχανικών Δοκιμών.....	124
9.2.1	Μοντέλα Λαθών.....	124
9.2.2	Παρατηρησιμότητα	124
9.2.3	Ελεγχιμότητα	125
9.2.4	Κάλυψη Λαθών.....	125
9.2.5	Βαθμονόμηση Λαθών και Εξομοίωση Λαθών	125
9.2.6	Δοκιμή Σφαλμάτων Καθυστέρησης	126
9.2.7	Στατιστική Ανάλυση Σφαλμάτων	126
9.2.8	Δειγματοληψία Λαθών.....	126
9.3	Στρατηγικές Σχεδίασης Δοκιμών	126
9.3.1	Σχεδίαση Κατάλληλη για Δοκιμή.....	126
9.3.2	Ειδική Δοκιμή	127
9.3.3	Τεχνικές Δοκιμής Βασισμένες στη Σάρωση.....	127
9.3.4	Τεχνικές Αυτο-Δοκιμής	127
9.3.5	Δοκιμή IDDQ.....	127

9.4 Τεχνικές Δοκιμής Επιπέδου-Ολοκληρωμένου	128
9.5 Τεχνικές Δοκιμής Επιπέδου-Συστήματος.....	128
9.5.1 Σάρωση Ορίων	128

ΚΕΦΑΛΑΙΟ 10: ΣΧΕΔΙΑΣΗ ΥΠΟΣΥΣΤΗΜΑΤΩΝ CMOS..... 131

10.1 Εισαγωγή	131
10.2 Τελεστές Χειριστών Δεδομένων	131
10.2.1 Πρόσθεση-Αφαίρεση	131
10.2.2 Γεννήτριες Ισοτιμίας.....	132
10.2.3 Συγκριτές.....	132
10.2.4 Ανιχνευτής Μονάδων-Μηδενικών.....	132
10.2.5 Δυαδικοί Μετρητές	132
10.2.6 Λειτουργίες Boolean-ALUs.....	133
10.2.7 Πολλαπλασιασμός	133
10.2.8 Ολισθητές.....	133
10.3 Στοιχεία Μνημών	134
10.3.1 Μνήμες Ανάγνωσης-Εγγραφής RAM	134
10.3.2 Παράταξη Καταχωρητών.....	134
10.3.3 FIFOs, LIFOs, SIPOs.....	134
10.3.4 Μνήμη Σειριακής Προσπέλασης	135
10.3.5 Μνήμη Μόνο Ανάγνωσης.....	135
10.3.6 Μνήμη με Διευθυνσιοδότηση από τα Περιεχόμενα	135
10.4 Έλεγχος.....	135
10.4.1 Μηχανές Πεπερασμένων Καταστάσεων.....	136
10.4.2 Υλοποίηση Λογικής Ελέγχου	136

ΚΕΦΑΛΑΙΟ 11: ΠΑΡΑΔΕΙΓΜΑΤΑ ΣΧΕΔΙΑΣΗΣ ΣΥΣΤΗΜΑΤΩΝ CMOS..... 137

11.1 Εισαγωγή	137
11.2 Ένας Πυρήνας Μικροελεγκτή Risc	137
11.2.2 Αρχιτεκτονική Διοχέτευσης.....	137
11.2.3 Κύρια Συγκροτήματα Λογικής	137
11.2.4 Φυσικό Σχέδιο.....	138
11.2.5 Λειτουργική Επαλήθευση και Δοκιμή.....	138
11.3 Διαγραφή Ηχούς Τηλεοπτικού Σήματος.....	138
11.3.1 Διαγραφή Σκιάς	138
11.3.2 Αρχιτεκτονική Συστήματος	138
11.3.3 Αρχιτεκτονική Ολοκληρωμένου.....	139
11.3.4 Δοκιμή και Επαλήθευση	139
11.4 Ένας 6-bit Flash A/D.....	139
11.4.1 Βασική Αρχιτεκτονική.....	140
11.4.2 Σειρά Αντιστάσεων - Ο Συγκριτής	140
11.4.3 Χωροθέτηση και Φυσικό Σχέδιο	140

ΣΥΜΠΕΡΑΣΜΑΤΑ.....	141
ΒΙΒΛΙΟΓΡΑΦΙΑ.....	143

ΚΕΦΑΛΑΙΟ 1: ΑΡΙΘΜΟΙ, ΑΡΙΘΜΗΤΙΚΗ ΚΑΙ ΑΡΙΘΜΗΤΙΚΑ ΣΥΣΤΗΜΑΤΑ

1.1 Τι είναι η Αριθμητική Υπολογιστών (Computer Arithmetic)

Η Αριθμητική Υπολογιστών είναι ένας τομέας της Ψηφιακής Οργάνωσης ενός Υπολογιστή (Digital Computer Organization). Αφορά την υλοποίηση υλικού (hardware) για τον υπολογισμό αριθμητικών συναρτήσεων με σκοπό την υποστήριξη διάφορων αρχιτεκτονικών υπολογιστή. Επίσης, η εν λόγω υλοποίηση σχετίζεται με τους αριθμητικούς αλγόριθμους για υλοποίηση σταθερού τμήματος λογισμικού Η/Υ (firmware) ή λογισμικού. Κύριο σημείο ενασχόλησης της επιστήμης της Αριθμητικής Υπολογιστών είναι η σχεδίαση κυκλωμάτων και αλγορίθμων ώστε να αυξηθεί η ταχύτητα των αριθμητικών υπολογισμών.

Το παρακάτω σχήμα απεικονίζει τη σφαίρα ενδιαφέροντος της Αριθμητικής Υπολογιστών. Όσον αφορά την πλευρά του υλικού, επικεντρώνεται στην υλοποίηση των τεσσάρων βασικών αριθμητικών υπολογισμών (πέντε, αν συνυπολογιστεί η τετραγωνική ρίζα) καθώς επίσης και άλλων κοινών υπολογισμών όπως οι εκθετικές, λογαριθμικές και τριγωνομετρικές συναρτήσεις. Για αυτό το λόγο, είναι απαραίτητη η ανάπτυξη αλγορίθμων, η υλοποίησή τους μέσω δομών υλικού και η επιλογή, βάση κριτηρίων κόστους-επίδοσης, της κατάλληλης ανάμεσα σε πολλές και διάφορες υλοποιήσεις.

Όσον αφορά την πλευρά του λογισμικού, οι στοιχειώδεις συναρτήσεις δίνονται μέσω κυκλωμάτων υλικού και προγραμμάτων υπολογιστή. Το δύσκολο που πρέπει να επιτευχθεί όμως είναι η λύση διάφορων προβλημάτων μέσω του κατάλληλου συνδυασμού αποτελεσματικών αλγορίθμων με επιθυμητά χαρακτηριστικά λάθους.

Hardware (our focus in this book)

Design of efficient digital circuits for primitive and other arithmetic operations such as +, -, ×, ÷, √, log, sin, and cos

Issues: Algorithms
Error analysis
Speed/cost trade-offs
Hardware implementation
Testing, verification

General-purpose

Flexible data paths
Fast primitive operations like +, -, ×, ÷, √
Benchmarking

Special-purpose

Tailored to application areas such as:
Digital filtering
Image processing
Radar tracking

Software

Numerical methods for solving systems of linear equations, partial differential eq'ns, and so on

Issues: Algorithms
Error analysis
Computational complexity
Programming
Testing, verification

Εικόνα 1: The scope of Computer Arithmetic

1.2 Παράδειγμα

Για παράδειγμα προτρέπουμε τον αναγνώστη να χρησιμοποιήσει έναν επιστημονικό υπολογιστή παλάμης για να υπολογίσει την τετραγωνική ρίζα του 1024 με τους εξής δύο διαφορετικούς τρόπους:

$$1.1 \quad u = \sqrt{\sqrt{\dots \sqrt{2}}} = 1.000\ 677\ 131$$

$$1.2 \quad v = 2^{1/1024} = 1.000\ 677\ 131$$

Ακολουθώντας τον αντίστροφο υπολογισμό προκύπτουν διαφορετικά αποτελέσματα για τους φαινομενικά ίδιους αριθμούς u και v .

$$1.3 \quad x = (((u^2)^2)\dots)^2 = 1.999\ 999\ 963$$

$$1.4 \quad x' = u^{1024} = 1.999\ 999\ 973$$

$$1.5 \quad y = (((v^2)^2)\dots)^2 = 1.999\ 999\ 983$$

$$1.6 \quad y' = v^{1024} = 1.999\ 999\ 994$$

Έτσι προκύπτει ότι πρόκειται για δύο αριθμούς που στην μηχανή υπολογισμού έχουν διαφορετικές αναπαραστάσεις. Αυτό οφείλεται στο γεγονός ότι οι περισσότεροι υπολογιστές χρησιμοποιούν κρυμμένα ψηφία για μεγαλύτερη ακρίβεια στους υπολογισμούς μεγάλων αριθμών.

1.3 Αριθμοί και Κωδικοποίηση

Μετά από αρκετές αναθεωρήσεις κατά τη διάρκεια των αιώνων, η μέθοδος αναπαράστασης και κωδικοποίησης των αριθμών βασίζεται σε ένα σύστημα με βάση τη θέση (στον αριθμό 222 το κάθε 2 έχει διαφορετική αξία ανάλογα με τη θέση στην οποία βρίσκεται).

Η μέθοδος αναπαράστασης των αριθμών επηρεάζει τόσο την ευκολία ανάγνωσης και κατανόησης των αριθμών όσο και την πολυπλοκότητα των αριθμητικών αλγόριθμων που χρησιμοποιούνται για τους υπολογισμούς. Η δημοτικότητα του συστήματος με βάση τη θέση οφείλεται εν μέρει στους απλούς αλγόριθμους που υποστηρίζει για τους αριθμητικούς υπολογισμούς.

Στα ψηφιακά συστήματα, οι αριθμοί είναι κωδικοποιημένοι σε δυαδικά ψηφία ή μπιτ. Εάν για παράδειγμα διατίθενται τέσσερα ψηφία, προκύπτουν δεκαέξι πιθανοί συνδυασμοί οι οποίοι μπορούν να χρησιμοποιηθούν για την αναπαράσταση ενός

αριθμητικού συστήματος. Παρόλα αυτά, λόγω της πολυπλοκότητας των αλγορίθμων και των κυκλωμάτων, μερικοί μόνο από αυτούς τους συνδυασμούς τίθενται σε εφαρμογή.

Εν κατακλείδι, για να υλοποιηθούν οι αριθμητικοί υπολογισμοί, συμπεριλαμβανομένων των απαιτούμενων ελέγχων για ειδικές περιπτώσεις, η απόδοση κωδικών ψηφίων σε αριθμούς πρέπει να δοθεί με ένα λογικό και συστηματικό τρόπο.

1.4 Σύστημα αριθμών σταθερής βάσης και υποδιαστολής

Ένα συμβατικό σύστημα αριθμών σταθερής βάσης και σταθερής υποδιαστολής είναι συνήθως βασισμένο σε μια βάση r , η οποία είναι θετικός ακέραιος, και σε ένα σύνολο ψηφίων $\{0, 1, \dots, r-1\}$. Κάθε μη προσημασμένος αριθμός αναπαριστάται από ένα αριθμητικό διάνυσμα $k+l$ όπου k οι αριθμοί για το κύριο μέρος και l οι αριθμοί για το δεκαδικό μέρος. Κατά κοινή σύμβαση ισχύει:

$$(x_{k-1}x_{k-2} \dots x_1x_0 \cdot x_{-1}x_{-2} \dots x_{-l})_r = \sum_{i=-l}^{k-1} x_i r^i$$

Τύπος 1.7

Αξίζει να σημειωθεί σε αυτό το σημείο η έννοια “unit per least (ulp) significant position”. Για τους ακέραιους αριθμούς είναι $ulp=1$.

1.5 Μετατροπή της βάσης αριθμών

Εάν υποθέσουμε ότι η μη προσημασμένη τιμή u έχει ακριβή αναπαράσταση στις βάσεις r και R , έχουμε:

$$\begin{aligned} u &= w \cdot v \\ &= (x_{k-1}x_{k-2} \dots x_1x_0 \cdot x_{-1}x_{-2} \dots x_{-l})_r && \text{Old} \\ &= (x'_{l'-1}x'_{l'-2} \dots x'_1x'_0 \cdot x'_{-1}x'_{-2} \dots x'_{-l'})_R && \text{New} \end{aligned}$$

Τύπος 1.8

Εάν δεν υπάρχει ακριβής αναπαράσταση τότε οι ισότητες δίνονται κατά προσέγγιση. Ανάλογα με το είδος της κάθε βάσης (εάν κάποια βάση είναι το 10, εάν οι βάσεις είναι δυνάμεις του ίδιου αριθμού), γίνονται και οι ανάλογοι υπολογισμοί για την ζητούμενη μετατροπή.

1.6 Τάξεις αναπαράστασης αριθμών

Για την σχεδίαση αποτελεσματικών υπολογιστικών αλγορίθμων ή κυκλωμάτων απαιτείται η κατανόηση διάφορων τρόπων αναπαράστασης αριθμών συμπεριλαμβανομένων των πλεονεκτημάτων τους όσον αφορά την αντιστοιχία

κόστους-επίδοσης. Έτσι, ίσως χρειαστεί σε συγκεκριμένες εφαρμογές να γίνει χρήση μη συμβατικών τρόπων αναπαράστασης με σκοπό την επιτάχυνση των αριθμητικών υπολογισμών και την αύξηση της ακρίβειας των υπολογισμών.

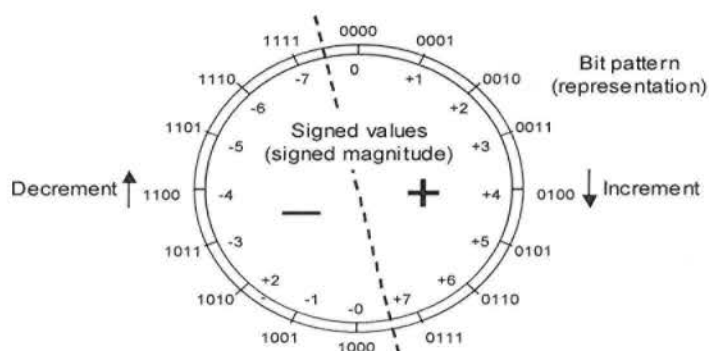
1.7 Αναπαράσταση Προσημασμένων Ποσοτήτων

Οι φυσικοί αριθμοί $0, 1, 2, \dots, \text{Max}$ μπορούν να αναπαρασταθούν ως αριθμοί σταθερής υποδιαστολής χωρίς κλασματικό μέρος. Με βάση r , για να αναπαραστήσουμε τους φυσικούς αριθμούς έως το max χρησιμοποιούμε τον αριθμό k :

$$1.9 \quad k = \lceil \log_r \text{max} \rceil + 1 = \lceil \log_r (\text{max} + 1) \rceil$$

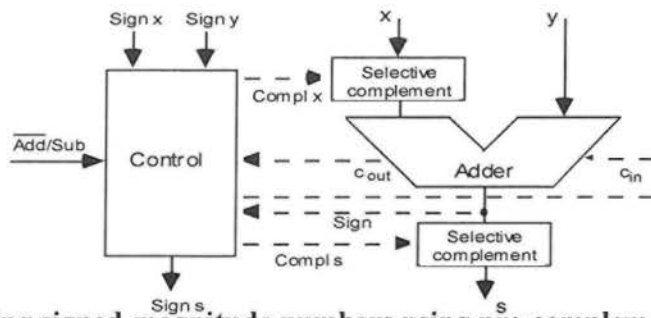
Οι φυσικοί αριθμοί αναφέρονται και ως μη προσημασμένοι ακέραιοι. Κατά κοινή σύμβαση το 1 δηλώνει το αρνητικό πρόσημο (-) ενώ το 0 το θετικό πρόσημο (+). Στην περίπτωση των δυαδικών αριθμών με k ψηφία, τα $k-1$ ψηφία δηλώνουν τον αριθμό ενώ το εναπομένον ψηφίο δηλώνει το πρόσημο. Το σύνολο τιμών τους είναι $[-(2^{k-1} - 1), 2^{k-1} - 1]$.

Το παρακάτω σχήμα απεικονίζει την αντιστοιχία τιμών για ακέραιους αριθμούς τεσσάρων δυαδικών ψηφίων (bits).



Εικόνα 2: A 4-bit signed-magnitude number representation system for integers

Το επόμενο σχήμα δείχνει την υλοποίηση της πρόσθεσης χρησιμοποιώντας προ και μετά συμπλήρωση.



Εικόνα 3: Adding signed-magnitude numbers using pre-complementation and post complementation

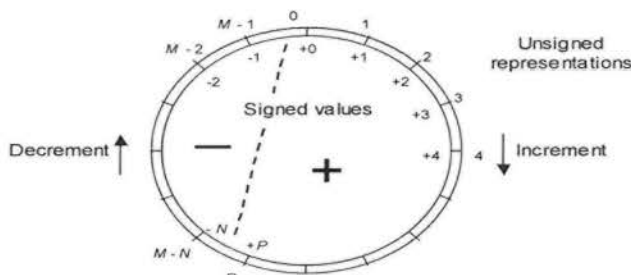
1.8 Μεροληπτική Αναπαράσταση

Η μεροληπτική αναπαράσταση (biased representation) βασίζεται στην πρόσθεση μιας θετικής τιμής “bias” σε όλους τους αριθμούς, επιτρέποντας έτσι την αναπαράσταση ακεραίων από $-bias$ έως $max-bias$, χρησιμοποιώντας τιμές από 0 έως max .

Με αυτή την αναπαράσταση η υλοποίηση των τεσσάρων βασικών αριθμητικών πράξεων γίνεται περισσότερο πολύπλοκη. Για αυτό το λόγο, η χρήση της εν λόγω αναπαράστασης γίνεται μόνο στο εκθέτη των αριθμών κινητής υποδιαστολής.

1.9 Συμπληρωματική Αναπαράσταση

Σε ένα σύστημα συμπληρωματικής αναπαράστασης, επιλέγεται ένα κατάλληλα μεγάλο συμπλήρωμα M κι έτσι η αρνητική τιμή $-x$ αναπαριστάται ως $M - x$. Η παρακάτω εικόνα παρουσιάζει τις κωδικοποιήσεις των θετικών και των αρνητικών τιμών καθώς και τα αυθαίρετα όρια μεταξύ των δύο περιοχών.



Εικόνα 4: Complement representation of signed integers

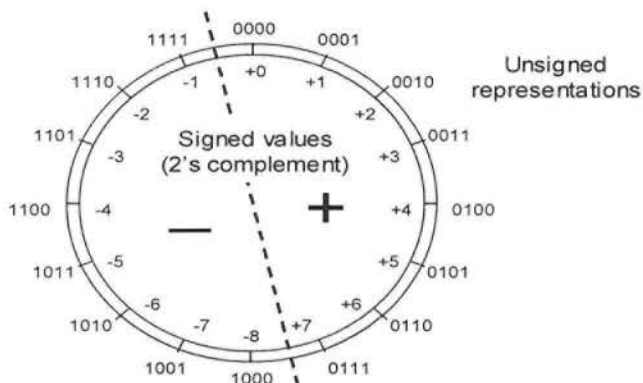
Το βασικό πλεονέκτημα της εν λόγω αναπαράστασης είναι ότι σε αυτή την περίπτωση η πρόσθεση και η αφαίρεση είναι ουσιαστικά η ίδια λειτουργία (οπότε δεν χρειάζονται δύο υλοποιήσεις).

Δύο είναι οι βασικές πράξεις που χρησιμεύουν, η συμπλήρωση ή αλλαγή πρόσημου ($M - x$) και η $\text{mod}M$. Σημαντικό είναι να επιλεγεί κατάλληλο M ώστε να απλοποιηθούν οι πράξεις αυτές. Υπάρχουν δύο επιλογές για το M :

$$\begin{aligned} \text{Radix complement} & \quad M = r^k \\ \text{Digit complement} & \quad M = r^k - ulp \end{aligned}$$

1.10 Αριθμοί με συμπλήρωμα κατά 1 και κατά 2

Στην περίπτωση των δυαδικών αριθμών όπου $r=2$ το συμπλήρωμα $M=2^k$ ονομάζεται συμπλήρωμα κατά 2. Το επόμενο σχήμα απεικονίζει το σύστημα συμπλήρωσης κατά 2 ενός τετράμπιτου αριθμού. Το πρώτο μπιτ αντιστοιχεί στο πρόσημο.

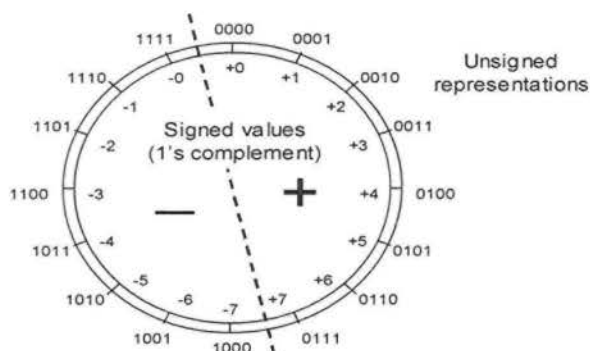


Εικόνα 5: A 4-bit, 2's complement number representation system for integers.

Το συμπλήρωμα κατά 2 ενός αριθμού x μπορεί να βρεθεί από την παρακάτω ισότητα. Το εύρος τιμών του είναι από -2^{k-1} έως $2^{k-1} - ulp$.

$$1.10 \quad 2^k - x = [(2^k - ulp) - x] + ulp = x^{\text{compl}} + ulp$$

Στην περίπτωση του συμπληρώματος κατά 1 ισχύει $M = 2^k - ulp$. Το επόμενο σχήμα απεικονίζει το σύστημα συμπλήρωσης κατά 2 ενός τετράμπιτου αριθμού. Το πρώτο μπιτ αντιστοιχεί στο πρόσημο.



Εικόνα 6

Το συμπλήρωμα κατά 1 ενός αριθμού x μπορεί να βρεθεί από την παρακάτω ισότητα. Το εύρος τιμών του είναι από $-(2^{k-1} - ulp)$ έως $2^{k-1} - ulp$.

$$1.11 \quad M = (2^k - ulp) - x = x^{compl}$$

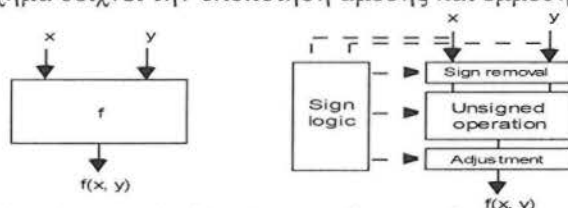
Ο παρακάτω πίνακας συγκρίνει τα δύο συστήματα.

Feature/Property	Radix complement	Digit complement
Symmetry ($P = N?$)	Possible for odd r (radices of practical interest are even)	Possible for even r
Unique zero?	Yes	No, there are two 0s
Complementation	Complement all digits and add ulp	Complement all digits
Mod- M addition	Drop the carry-out	End-around carry

1.11 Άμεση και έμμεση αριθμητική προσημασμένων αριθμών

Η άμεση (μέσω υλικού) αριθμητική με πρόσημα είναι συνήθως ταχύτερη. Η έμμεση (όπου το υλικό περιορίζεται από κάποιους μη προσημασμένους τελεστές) όμως είναι πιο απλή κι επιτρέπει την κοινή χρήση υλικού για προσημασμένους και μη προσημασμένους αριθμούς.

Το παρακάτω σχήμα δείχνει την υλοποίηση άμεσης και έμμεσης αριθμητικής.



Εικόνα 7: Direct versus indirect operation on signed numbers

1.12 Χρήση προσημασμένων θέσεων ή προσημασμένων ψηφίων

Στο παρακάτω σχήμα φαίνεται η μετατροπή ενός δυαδικού αριθμού συμπληρώματος κατά 2 σε δεκαδικό αριθμό.

$$\begin{array}{r}
 x = (1 \quad 0 \quad 1 \quad 0 \quad 0 \quad 1 \quad 1 \quad 0)_{\text{two's-compl}} \\
 \quad -2^7 \quad 2^6 \quad 2^5 \quad 2^4 \quad + \quad 2^3 \quad 2^2 \quad + \quad 2^1 \quad 2^0 \\
 \quad -128 \quad + \quad 32 \quad + \quad 4 \quad + \quad 2 \quad = -90 \\
 \\
 \text{Check:} \\
 x = (1 \quad 0 \quad 1 \quad 0 \quad 0 \quad 1 \quad 1 \quad 0)_{\text{two's-compl}} \\
 -x = (0 \quad 1 \quad 0 \quad 1 \quad 1 \quad 0 \quad 1 \quad 0)_{\text{two}} \\
 \quad 2^7 \quad 2^6 \quad 2^5 \quad 2^4 \quad 2^3 \quad 2^2 \quad 2^1 \quad 2^0 \\
 \quad 64 \quad + \quad 16 \quad + \quad 8 \quad + \quad 2 \quad = 90
 \end{array}$$

Εικόνα 8: Interpreting a 2's complement number as having a negatively weighed most significant digit

Γενικότερα, για να μετατρέψουμε έναν αριθμό που κυμαίνεται σε ένα σύνολο, σε αριθμό που κυμαίνεται σε διαφορετικό σύνολο, αντιστοιχίζουμε το κάθε ψηφίο σε ένα έγκυρο ψηφίο και ένα κρατούμενο.

Στην επόμενη εικόνα φαίνεται η μετατροπή ενός αριθμού με βάση $r=4$ και σύνολο τιμών $[0,3]$ ($[0,r-1]$) σε έναν αριθμό με βάση 4 και ισάριθμο αλλά διαφορετικό σύνολο τιμών $[-1,2]$ ($[-\alpha,\beta]$).

$ \begin{array}{ccccccc} & 3 & 1 & 2 & 0 & 2 & 3 \\ & \swarrow & \downarrow & \swarrow & \downarrow & \swarrow & \downarrow \\ 1 & 0 & 0 & 0 & 0 & 1 & \\ \hline 1 & -1 & 1 & 2 & 0 & 3 & -1 \\ 1 & -1 & 1 & 2 & 0 & -1 & -1 \\ \hline 0 & 0 & 0 & 0 & 1 & 0 & \\ \hline 1 & -1 & 1 & 2 & 1 & -1 & -1 \end{array} $	<p>Original digits in $[0, 3]$</p> <p>Rewritten digits in $[-1, 2]$</p> <p>Transfer digits in $[0, 1]$</p> <p>Sum digits in $[-1, 3]$</p> <p>Rewritten digits in $[-1, 2]$</p> <p>Transfer digits in $[0, 1]$</p> <p>Sum digits in $[-1, 3]$</p>
--	---

Εικόνα 9: Converting a standard radix-4 integer to a radix-4 integer with the nonstandard digit set $[-1,2]$

Στην επόμενη εικόνα φαίνεται η μετατροπή του ίδιου αριθμού σε έναν αριθμό με σύνολο τιμών $[-2,2]$. Παρατηρείται ότι σε αυτήν την περίπτωση δεν υπάρχουν κρατούμενα.

3	1	2	0	2	3	Original digits in [0, 3]
-1	1	-2	0	-2	1	Interim digits in [-2, 1]
1	0	1	0	1	1	Transfer digits in [0, 1]
1	-1	2	-2	1	-1	Sum digits in [-2, 2]

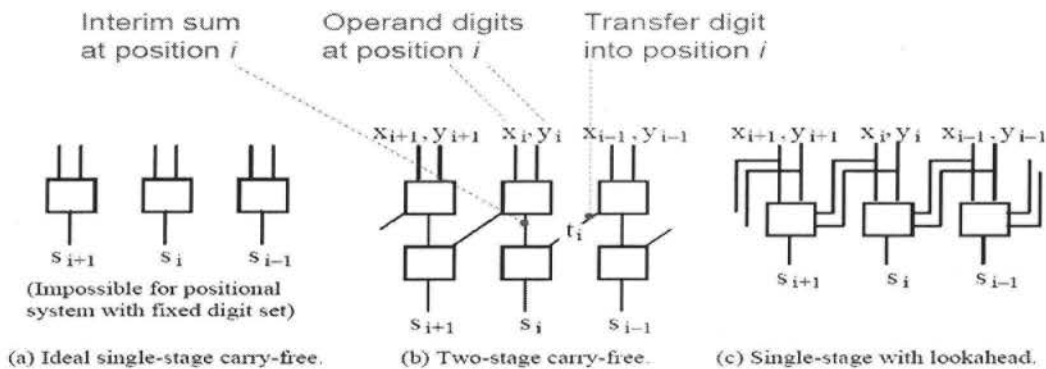
Εικόνα 10: Converting a standard radix-4 integer to a radix-4 integer with the nonstandard digit set [-2,2]

1.13 Αντιμετωπίζοντας το πρόβλημα με τα κρατούμενα

Πολλές φορές η πρόσθεση δεν γίνεται να είναι γρήγορη και "φθηνή" λόγω του κρατούμενου. Το πρόβλημα αυτό μπορεί να λυθεί με τους εξής τρόπους:

1. Περιορισμός της διάδοσης του κρατούμενου σε ένα μικρό αριθμό ψηφίων.
2. Ανίχνευση του τέλους της διάδοσης αντί της επιλογής χειρότερης περίπτωσης.
3. Επιτάχυνση της διάδοσης μέσω πρόγνωσης ή άλλων μεθόδων.
4. Ιδανικά: εξάλειψη της διάδοσης κρατούμενου

Ξεκινώντας από την τέταρτη επιλογή, παρατηρείται ότι η πλήρης εξάλειψη της διάδοσης κρατούμενου είναι πραγματοποιήσιμη μέσω πλεοναζόντων αναπαραστάσεων οι οποίες παρέχουν πολλές κωδικοποιήσεις για κάποιους αριθμούς.

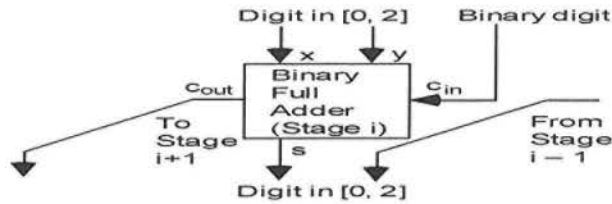


Εικόνα 12: Ideal and practical carry-free addition schemes

1.14 Πλεονασμός στην Αριθμητική Υπολογιστών

Ο πλεονασμός χρησιμοποιείται ευρέως για την επιτάχυνση των αριθμητικών πράξεων και την επίτευξη πρόσθεσης χωρίς κρατούμενο. Το επόμενο σχήμα δείχνει ότι ένας αριθμός με κρατούμενο και ένας κανονικός δυαδικός αριθμός μπορούν να προστεθούν για να σχηματίσουν ένα άθροισμα με κρατούμενο σε ένα μόνο πλήρη

αθροιστή. Με την παρακάτω υλοποίηση επιτυγχάνεται μεγαλύτερη ταχύτητα σε σχέση με την κανονική πρόσθεση με διάδοση κρατουμένου αφού η καθυστέρηση της διάδοσης γίνεται μόνο μια φορά στο τέλος και όχι σε κάθε βήμα της πρόσθεσης.



Εικόνα 13: Using an array of independent binary full adders to perform carry-save addition.

1.15 Σύνολα ψηφίων και Μετατροπή συνόλων ψηφίων

Οι συμβατικοί αριθμοί βάσης r έχουν σύνολο αριθμών το $[0, r-1]$. Εάν το σύνολο τιμών τους είναι πάνω από r τιμές τότε πρόκειται για πλεονάζων (redundant) σύστημα αρίθμησης.

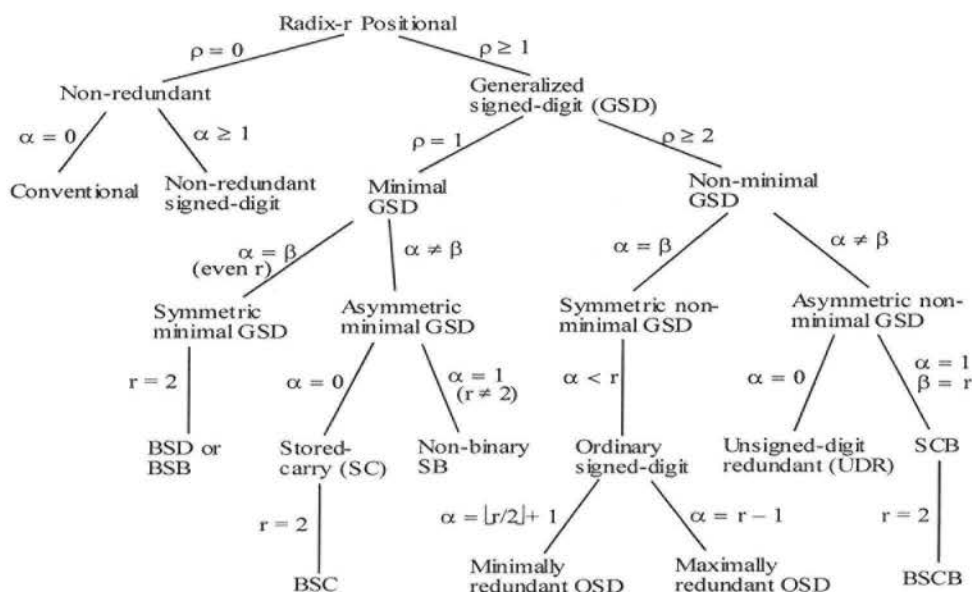
Η μετατροπή των αριθμών μεταξύ ενός συνόλου σε ένα άλλο είναι μια σχετικά απλή διαδικασία. Ξεκινώντας από το τελευταίο από δεξιά ψηφίο κάθε αριθμός αντιστοιχίζεται σε έναν άλλο και ένα κρατούμενο μεταφέρεται.

1.16 Γενικευμένοι Αριθμοί Προσημασμένων Ψηφίων

Η ομαλή αναπαράσταση προσημασμένων αριθμών (ordinary signed-digit (OSD) representation) αναφέρεται σε αριθμούς με βάση $r > 2$ και σύνολο τιμών $[-\alpha, \alpha]$, όπου $\lceil r/2 \rceil + 1 \leq \alpha \leq r-1$. Το εν λόγω σύστημα αρίθμησης είναι πλεονάζων αφού δίνει το λιγότερο $2\lceil r/2 \rceil + 3$ τιμές.

Πλεονάζοντα, μη συμμετρικά συστήματα με σύνολα τιμών $[-\alpha, \beta]$ μελετήθηκαν ως εργαλεία για ενοποίηση όλων των πλεοναζόντων συστημάτων αρίθμησης που χρησιμοποιούνται. Η αναπαράσταση που προέκυψε ονομάζεται Γενικευμένη Αναπαράσταση Προσημασμένων Αριθμών (generalized signed-digit (GSD) representation). Μια σημαντική παράμετρος του GSD συστήματος αρίθμησης είναι ο δείκτης πλεονασμού $\rho = \alpha + \beta + 1 - r$. Οι αριθμοί του συστήματος BSD (binary signed-digit) έχουν βάση $r = 2$ και σύνολο τιμών $[-1, 1]$.

Στο παρακάτω σχήμα φαίνεται μια ταξινόμηση πλεοναζόντων και μη πλεοναζόντων συστημάτων αρίθμησης καθώς και οι υποδιαίρεσεις και οι σχέσεις που σχηματίζονται.



Εικόνα 14: A taxonomy of redundant and nonredundant positional number systems.

1.17 Αλγόριθμοι πρόσθεσης χωρίς κρατούμενο

Ο GSD αλγόριθμος πρόσθεσης χωρίς κρατούμενο για το σχήμα της Εικόνας 12(b) δίνεται παρακάτω. Παρόμοια γίνεται και η αφαίρεση GSD αριθμών.

Υπολογίστε το άθροισμα $p_i = x_i + y_i$

Διαίρεσε κάθε p_i σε t_{i+1} και ένα ενδιάμεσο ποσό $w_i = p_i - rt_{i+1}$

Πρόσθεσε $s_i = w_i + t_i$

Στις περιπτώσεις όπου $r = 2$, $\rho = 1$ ή $\rho = 2$ με $\alpha = 1$ ή $\beta = 1$ ακολουθείται ο αλγόριθμος (limited-carry addition algorithm):

Υπολογίστε το άθροισμα $p_i = x_i + y_i$. Σύγκρινε το p_i με μια σταθερά για να καθορίσεις εάν $e_{i+1} = \text{low or high}$ (το e_{i+1} είναι ένα εκτιμώμενο δυαδικό φάσμα τιμών για το t_{i+1})

Διαίρεσε κάθε p_i σε t_{i+1} και ένα ενδιάμεσο ποσό $w_i = p_i - rt_{i+1}$

Πρόσθεσε $s_i = w_i + t_i$

		1	-1	0	-1	0	x_i in $[-1, 1]$
+		0	-1	-1	0	1	y_i in $[-1, 1]$
		1	-2	-1	-1	1	p_i in $[-2, 2]$
	high	low	low	low	high	high	e_i in {low: $[-1, 0]$, high: $[0, 1]$ }
		1	0	1	-1	-1	w_i in $[-1, 1]$
	0	-1	-1	0	1	1	t_{i+1} in $[-1, 1]$
		0	0	-1	1	0	s_i in $[-1, 1]$

Εικόνα 15: Limited-carry addition of radix-2 numbers with the digit set $[-1,1]$ by means of carry estimates.

1.18 Συναρτήσεις μετατροπής και υποστήριξης

Οι μετατροπές μεταξύ δυαδικών ή δεκαδικών αριθμών και GSD αριθμών είναι απαραίτητες για την είσοδο και έξοδο των αριθμητικών δεδομένων από τους υπολογιστές. Μερικοί έλεγχοι των GSD αναπαραστάσεων που πρέπει να εφαρμοστούν για να υλοποιηθούν οι αριθμητικές συναρτήσεις είναι η ανίχνευση του μηδέν, ο έλεγχος πρόσημου και η διαχείριση υπερχειλίσης. Αυτοί οι έλεγχοι ακυρώνουν τα πλεονεκτήματα ταχύτητας των GSD αναπαραστάσεων. Έτσι, οι εφαρμογές GSD αναπαραστάσεων περιορίζονται σε ορισμένα συστήματα ειδικού σκοπού.

1.19 Αναπαράσταση RNS και Αριθμητική

Τα υπόλοιπα προσδιορίζουν μοναδικά έναν αριθμό οπότε αποτελούν μια αναπαράσταση. Μια RNS αναπαράσταση περιλαμβάνει μια λίστα από k υπόλοιπα ή ψηφία. Τα υπόλοιπα x_i ενός αριθμού x δίνονται από τον τύπο: $x_i = x \bmod m_i = (x)_{m_i}$ με μέτρα (moduli) $m_{k-1} > \dots > m_1 > m_0$

Αξίζει αν σημειωθεί ότι ενώ οι πράξεις της πρόσθεσης και του πολλαπλασιασμού με το RNS γίνονται απλές και γρήγορες, πράξεις όπως η διαίρεση, ο έλεγχος πρόσημου, η ανίχνευση υπερχειλίσης και η σύγκριση μεγέθους γίνονται πολύπλοκες. Έτσι, η χρήση RNS αναπαραστάσεων στην πραγματικότητα περιορίζεται στην επίλυση συγκεκριμένων προβλημάτων.

3.11 Θέματα Πολυπλοκότητας VLSI

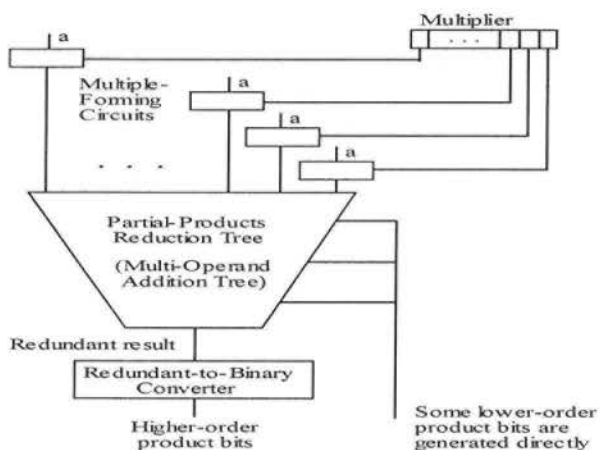
Οποιοδήποτε κύκλωμα VLSI το οποίο υπολογίζει το γινόμενο δύο k-bit ακεραίων πρέπει να ικανοποιεί τους ακόλουθους περιορισμούς :

$$AT \text{ αυξάνεται το λιγότερο κατά } k^{3/2}$$
$$AT^2 \text{ αυξάνεται αναλογικά ως προς } k^2$$

όπου T η καθυστέρηση υπολογισμού και A η περιοχή διάταξης (layout area).

3.12 Πολλαπλασιαστές Πλήρους Δέντρου

Το παρακάτω σχήμα δείχνει την γενική δομή ενός πολλαπλασιαστή πλήρους δέντρου

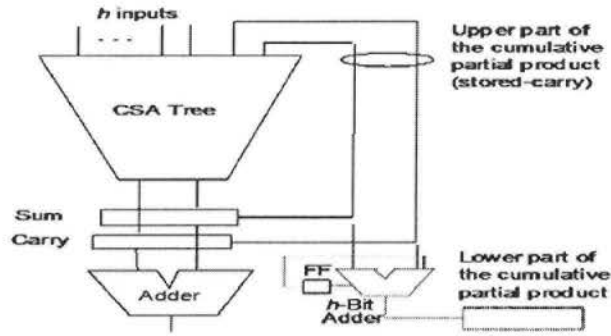


Εικόνα 26: General structure of a full-tree multiplier.

3.13 Πολλαπλασιαστές Δέντρου για Προσημασμένους Αριθμούς

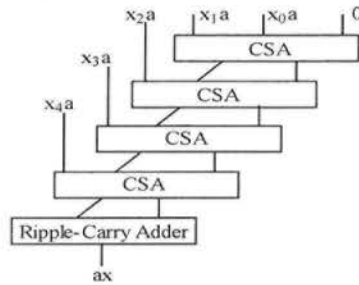
Για πολλαπλασιασμό αριθμών σε συμπλήρωμα ως προς 2 χρησιμοποιείται η προσέγγιση των Baugh και Woolley, η οποία είναι περισσότερο αποτελεσματική σε σχέση με τις άλλες προσεγγίσεις.

3.14 Πολλαπλασιαστές Μερικού-Δέντρου



Εικόνα 27: General structure of a partial-tree multiplier.

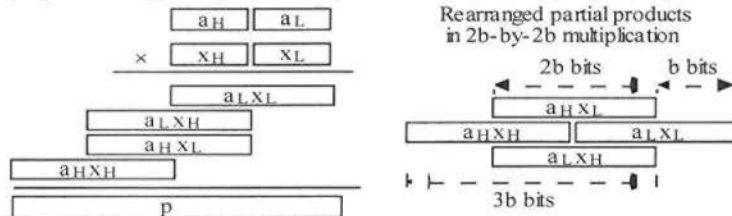
3.15 Πολλαπλασιαστές Πίνακα



Εικόνα 28: A basic array multiplier uses a one-sided Carry-Save Adder (CSA) and a ripple-carry adder.

3.16 Σχεδίαση "Διαίρει και Βασίλευε"

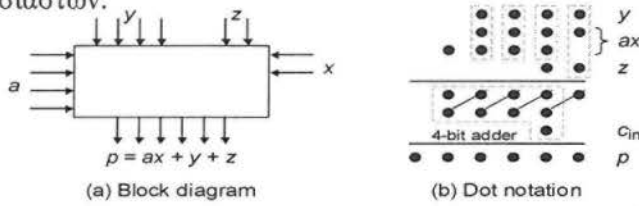
Όπως φαίνεται στο παρακάτω σχήμα, με την εν λόγω στρατηγική αντί για τέσσερις τιμές τελικά χρειάζεται να προστεθούν μόνο τρεις τιμές.



Εικόνα 40: Divide-and-conquer strategy for synthesizing a $2b \times 2b$ multiplier from $b \times b$ multipliers.

3.17 Εξαρτήματα προσθετικού πολλαπλασιασμού

Εάν καταφέρουμε να συνδυάσουμε τις πράξεις του πολλαπλασιασμού και της πρόσθεσης σε μία μονάδα, τότε ένα μόνο εξάρτημα θα αρκεί για την υλοποίηση μεγάλων πολλαπλασιαστών.



Εικόνα 29: Additive multiply module with 4 x 2 multiplier (ax) plus 4-bit and 2-bit additive inputs (y and z).

3.18 Πολλαπλασιαστές σειριακών-μπιτ

Η αριθμητική σειριακών μπιτ είναι ελκυστική όσον αφορά το μικρότερο αριθμό ακροδεκτών, το μειωμένο μήκος καλωδίου και το λιγότερο επιθυμητό χώρο στις VLSI υλοποιήσεις.

3.19 Modular Πολλαπλασιαστές

Ένας modular πολλαπλασιαστής παράγει το γινόμενο δύο μη προσημασμένων ακεραίων modulo (κατά ισουπόλοιπο μετά από διαίρεση) κάποιων σταθερών m. Ένας τέτοιος πολλαπλασιαστής θα ήταν χρήσιμος για παράδειγμα για υλοποίηση της πράξης του πολλαπλασιασμού στο σύστημα αρίθμησης με υπόλοιπα.

3.20 Η ειδική περίπτωση των τετραγώνων

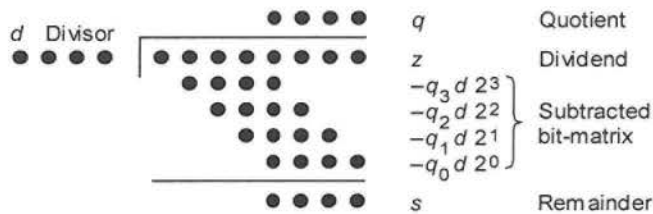
Οποιοσδήποτε standard ή modular πολλαπλασιαστής θα μπορούσε να χρησιμοποιηθεί για τον υπολογισμό της $p = x^2$ εφόσον και οι δύο είσοδοί του συνδέονται με τον x.

3.21 Αλγόριθμοι Shift/Subtract Διαίρεσης

Στο παρόν κεφάλαιο θα χρησιμοποιήσουμε τα εξής γραφικά σύμβολα:

z	Διαιρετέος	$z_{2k-1}z_{2k-2} \dots z_3z_2z_1z_0$
d	Διαιρέτης	$d_{k-1}d_{k-2} \dots d_1d_0$
q	Πηλίκο	$q_{k-1}q_{k-2} \dots q_1q_0$
s	Υπόλοιπο, $z - (d \times q)$	$s_{k-1}s_{k-2} \dots s_1s_0$

Παρακάτω φαίνεται μια σχηματική αναπαράσταση διαίρεσης δύο μη προσημασμένων δυαδικών αριθμών.



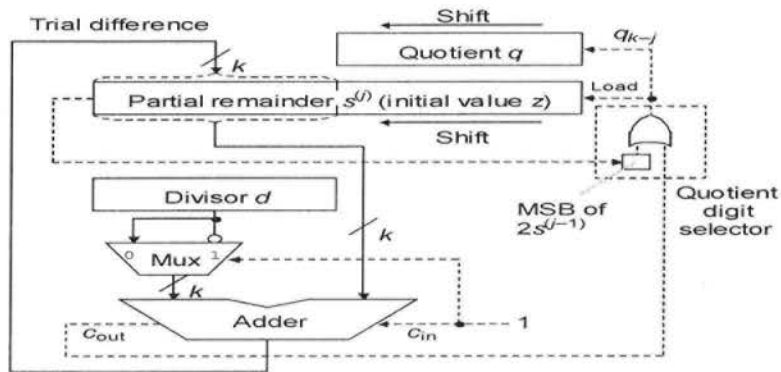
Εικόνα 30: Division of an 8-bit number by a 4-bit number in dot notation

3.22 Προγραμματισμός διαίρεσης

Παρόλο που η πράξη της διαίρεσης επιτυγχάνεται μέσω προγραμματισμού, η επιλογή της χρήσης υλικού (hardware) παραμένει καλύτερη όσον αφορά την ταχύτητα εκτέλεσης της πράξης.

3.23 Restoring Διαίρετες

Η παρακάτω εικόνα δείχνει την υλοποίηση ενός σειριακού αλγόριθμου διαίρεσης.



Εικόνα 31: Shift/subtract sequential restoring divider.

3.24 Nonrestoring & Signed Διαίρεση

Για την επιτάχυνση της πράξης της διαίρεσης μπορούμε να χρησιμοποιήσουμε τον nonrestoring αλγόριθμο.

1.20 Διαλέγοντας τα κατάλληλα μέτρα (moduli)

Γενικά, καλό είναι τα μέτρα (moduli) να είναι όσο το δυνατόν μικρότερα, αφού το μέγεθος του μεγαλύτερου μέτρου (modulus) m_{k-1} είναι αυτό που δείχνει την ταχύτητα της πράξης.

1.21 Κωδικοποίηση και Αποκωδικοποίηση αριθμών

Για να μετατρέψουμε δυαδικούς και δεκαδικούς αριθμούς σε RNS, αποφεύγοντας χρονοβόρες διαιρέσεις, εκμεταλλευόμαστε την εξής ισότητα:

$$\{(y_{k-1} \dots y_1 y_0)_{\text{two}}\}_{m_i} = \{(2^{k-1} y_{k-1})_{m_i} + \dots + (2 y_1)_{m_i} + (y_0)_{m_i}\}_{m_i} \quad 1.12$$

Για να μετατρέψουμε RNS αριθμούς σε αριθμούς μικτής αριθμητικής βάσης (mixed-radix systems) χρησιμοποιούμε την ισότητα:

$$y = (x_{k-1} | \dots | x_2 | x_1 | x_0)_{\text{RNS}} = (z_{k-1} | \dots | z_2 | z_1 | z_0)_{\text{MRS}} \quad 1.13$$

Οι αναπαραστάσεις MRS μας επιτρέπουν τόσο να συγκρίνουμε τα μεγέθη δύο RNS αριθμών όσο και να ανιχνεύσουμε το πρόσημο ενός αριθμού.

Για να μετατρέψουμε έναν RNS αριθμό σε δυαδικό ή δεκαδικό μπορούμε πρώτα να τον μετατρέψουμε σε MRS και στη συνέχεια να χρησιμοποιήσουμε τα αποτελέσματα για μετέπειτα υπολογισμούς.

1.22 Δύσκολες RNS Αριθμητικές Πράξεις

Οι πράξεις που είναι δύσκολες στα RNS είναι η σύγκριση μεγεθών και ο έλεγχος πρόσημου. Για να συγκρίνουμε δύο RNS μεγέθη μπορούμε να τα μετατρέψουμε είτε στο δυαδικό σύστημα είτε σε MRS. Όμως ο πιο αποτελεσματικός τρόπος είναι η CRT κωδικοποίηση.

1.23 Πλεονάζουσες RNS Αναπαραστάσεις

Ένας λόγος να χρησιμοποιήσουμε πλεονάζοντα υπόλοιπα είναι για να απλοποιήσουμε τα βήματα εξαγωγής μέτρων (moduli) που χρειάζονται μετά από κάθε αριθμητική πράξη.

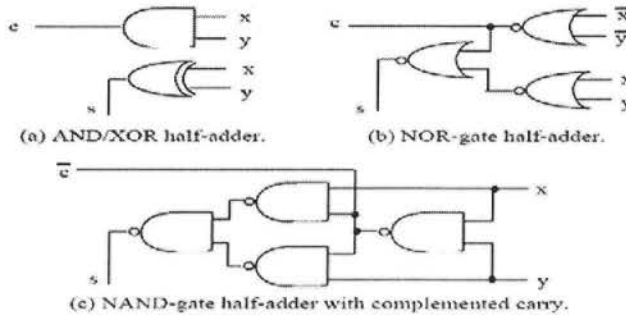
1.24 Τα όρια γρήγορων υπολογισμών στα RNS

Συμπερασματικά, παρατηρείται ότι η αριθμητική με RNS είναι λιγότερο συμφέρουσα σε σχέση με την αριθμητική στο δυαδικό σύστημα αρίθμησης. Οι ικανότητες στο RNS ανίχνευσης λαθών, το κάνουν πολύ ελκυστικό για πολλές εφαρμογές. Για να μπορέσουν τα συστήματα αριθμητικής υπολοίπου να αποκτήσουν τη δυνατότητα ανίχνευσης λαθών πρέπει να προστεθούν πλεονάζοντα moduli στη βάση του συστήματος.

ΚΕΦΑΛΑΙΟ 2: ΠΡΟΣΘΕΣΗ ΚΑΙ ΑΘΡΟΙΣΤΕΣ

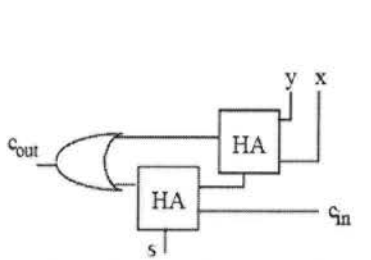
2.1 Bit-Serial & Ripple-Carry Αθροιστές

Οι ημιαθροιστές μονού-μπιτ και οι πλήρεις αθροιστές είναι ευέλικτα δομικά στοιχεία που χρησιμοποιούνται στην σύνθεση αθροιστών και άλλων αριθμητικών κυκλωμάτων.

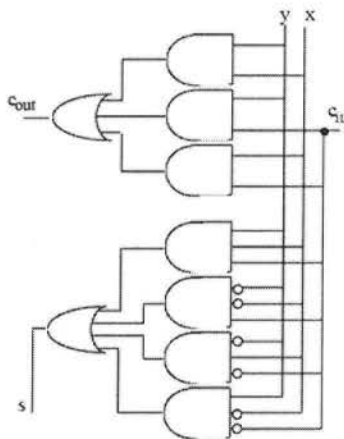


Εικόνα 6: Three implementations of a half-adder

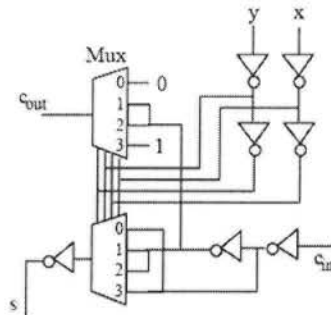
Ένας πλήρης αθροιστής μπορεί να υλοποιηθεί χρησιμοποιώντας δύο ημιαθροιστές και μια πύλη OR (Εικόνα 15). Διαφορετικά μπορούμε να τον υλοποιήσουμε ως κύκλωμα δύο επιπέδων AND-OR/NAND-NAND (Εικόνα 16). Τέλος, στην εικόνα 17, φαίνεται η σχεδίαση ενός πλήρη αθροιστή, δομημένο σε επτά αντιστροφείς και δύο 4-to-1 πολυπλέκτες (mux), ο οποίος είναι κατάλληλος για εφαρμογή μετάδοσης λογικής πύλης.



Εικόνα 7: Built of half-adders.



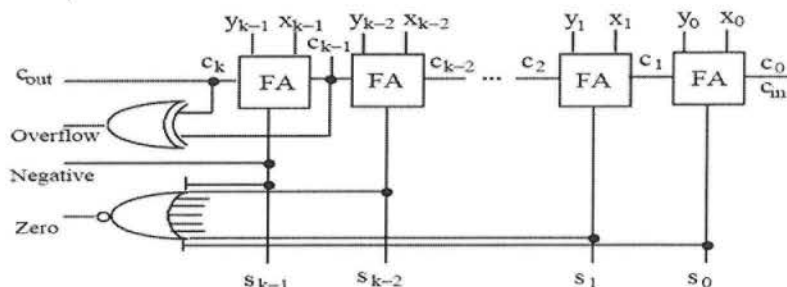
Εικόνα 8: Built as an AND-OR circuit



Εικόνα 9: Suitable for CMOS realization.

2.2 Προϋποθέσεις & Εξαιρέσεις

Όταν ένας αθροιστής k-bit χρησιμοποιείται σε μια Αριθμητική/Λογική Μονάδα (ALU), παρέχονται το άθροισμα των k-bit καθώς επίσης και πληροφορίες για τα στοιχεία cout, Overflow, Negative και Zero, τα οποία σχετίζονται με τα «flag bits» εντός ενός «condition/exception» καταχωρητή.



Εικόνα 10: Two's-complement adder with provisions for detecting conditions and exceptions.

2.3 Ανάλυση Διάδοσης Κρατουμένου

Δεδομένων δυαδικών αριθμών με τυχαία μπιτ, για κάθε θέση i ισχύει:

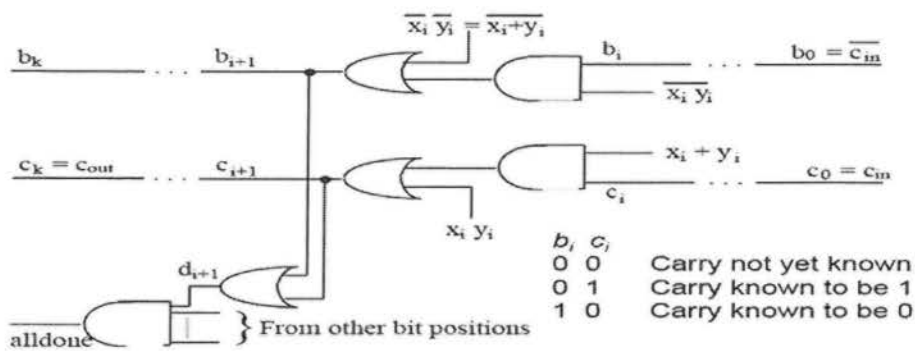
Πιθανότητα γέννησης κρατουμένου = $\frac{1}{4}$ (και τα δύο 1)

Πιθανότητα αφανισμού κρατουμένου = $\frac{1}{4}$ (και τα δύο 0)

Πιθανότητα διάδοσης κρατουμένου = $\frac{1}{2}$ (συνδυασμός 0 και 1)

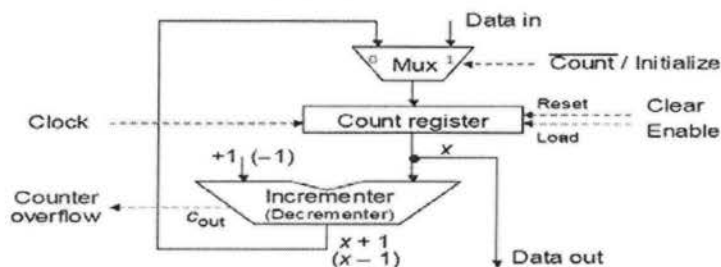
2.4 Ανίχνευση Ολοκλήρωσης Κρατουμένου

Ένας αθροιστής ανίχνευσης ολοκλήρωσης κρατουμένου εκμεταλλεύεται το μέσο μήκος $\log_2 k$ της μακρύτερης αλυσίδας κρατουμένων ώστε να προσθέσει δύο k-bit δυαδικών αριθμών σε $O(\log k)$ χρόνο κατά μέσο όρο.



Εικόνα 20: The carry network of an adder with two-rail carries and carry completion detection logic

2.5 Πρόσθεση μιας Σταθεράς: Μετρητές



Εικόνα 11: An up (down) counter built of a register, an incrementer (decrementer), and a multiplexer.

2.6 Αλυσίδες κρατούμενου Manchester και Αθροιστές

Για μία k -bit Manchester αλυσίδα κρατούμενων, η συνολική καθυστέρηση οφείλεται σε τρεις παράγοντες:

1. Ο χρόνος σχηματισμού του διακόπτη ελέγχου σημάτων.
2. Ο χρόνος ρύθμισης των διακοπών.
3. Η καθυστέρηση διάδοσης σήματος μέσω k διακοπών στην χειρότερη περίπτωση.

2.7 Επαναφορά κρατούμενου

Η συγκεκριμένη τεχνική βασίζεται στο γεγονός ότι όλα τα κρατούμενα που εισάγονται σε όλες τις θέσεις του παράλληλου αθροιστή, υπολογίζονται ταυτόχρονα με επιπρόσθετη λογική. Αυτό συντελεί σε ένα χρόνο απόκρισης σταθερό και ανεξάρτητο του μήκους του αθροιστή.

Χρησιμοποιούμε βοηθητικές συναρτήσεις σε κάθε στάδιο και παίρνουμε το «δημιουργούμενο κρατούμενο» G_i και το «διαδιδόμενο κρατούμενο» P_i . Δηλαδή

(Τύπος 2.1) $G_i = A_i B_i$ και **(Τύπος 2.2)** $P_i = A_i \text{ XOR } B_i$.

Γνωρίζουμε ότι **(Τύπος 2.3)** $S_i = (A_i \text{ XOR } B_i) \text{ XOR } C_{i-1} = P_i \text{ XOR } C_{i-1}$

Τύπος 2.4 $C_i = A_i B_i + (A_i \text{ XOR } B_i) C_{i-1} = G_i + P_i C_{i-1}$

Οι παραπάνω εξισώσεις δείχνουν ότι μπορούν να εφαρμοστούν αναδρομικά και να λύσουμε το σύνολο των αποτελεσμάτων κατευθείαν από τους τελεστές A και B μαζί, φυσικά, και με το αρχικό κρατούμενο C_{in} . Οι εξισώσεις για 4 ψηφία είναι οι εξής:

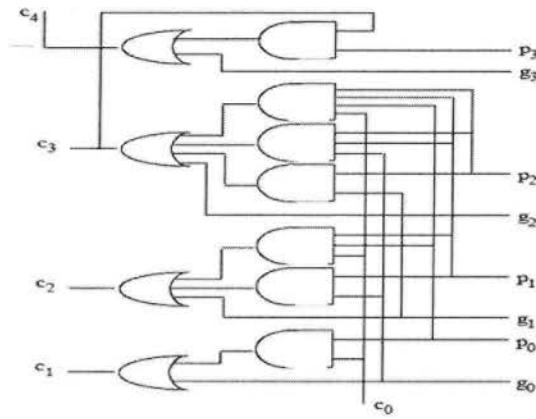
Τύπος 2.5 $C_0 = G_0 + C_{in} P_0$

Τύπος 2.6 $C_1 = G_1 + G_0 P_1 + C_{in} P_0 P_1$

Τύπος 2.7 $C_2 = G_2 + G_1 P_2 + G_0 P_1 P_2 + C_{in} P_0 P_1 P_2$

Τύπος 2.8 $C_3 = G_3 + G_2 P_3 + G_1 P_2 P_3 + G_0 P_1 P_2 P_3 + C_{in} P_0 P_1 P_2 P_3$

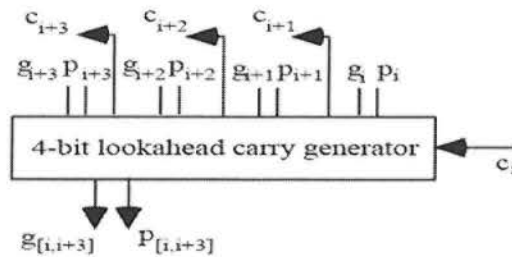
Παρατηρούμε ότι για περισσότερα ψηφία αυξάνεται πολύ το πλήθος των πυλών που πρέπει να χρησιμοποιηθούν για να υπολογιστούν τα επιμέρους κρατούμενα. Με την αύξηση κάθε bit, αυξάνονται κατά μία οι πύλες OR και κάθε προηγούμενη πύλη AND αυξάνει κατά μία τις εισόδους της. Η αύξηση στην πολυπλοκότητα είναι απαγορευτική για την χρησιμοποίηση σε κυκλώματα πολλών bit. Παρόλα αυτά, όταν θέλουμε να εκμεταλλευτούμε τα πλεονεκτήματα που προσφέρει ο CLA (Carry-Lookahead Adder), μπορούμε να χρησιμοποιήσουμε μια υβριδική τεχνική στην οποία χρησιμοποιούμε blocks 4-bit CLA's και αυτά μεταξύ τους μεταδίδουν το κρατούμενο.



Εικόνα 12: Four-bit carry network with full lookahead

2.8 Σχεδίαση αθροιστή με πρόβλεψη κρατούμενου

Στο παρακάτω σχήμα φαίνεται μια σχηματική αναπαράσταση ενός τετράμπιτου γεννήτορα με πρόβλεψη κρατουμένου.



Εικόνα 13: Schematic diagram of a 4-bit lookahead carry generator.

2.9 Αθροιστής Ling και παρόμοιες σχεδιάσεις

Ο αθροιστής Ling είναι ένας τύπος αθροιστή με πρόβλεψη κρατουμένου με τον οποίο γίνεται οικονομία υλικού (hardware). Τα Ling κρατούμενα μπορούν να υπολογιστούν πολύ πιο γρήγορα και σε μικρότερο χώρο από ότι τα παραδοσιακά κρατούμενα.

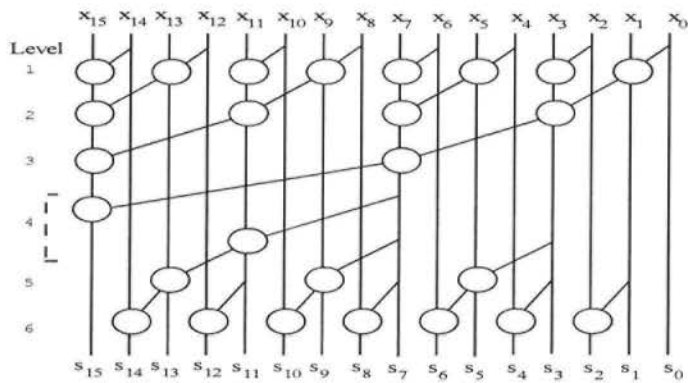
2.10 Εναλλακτικά παράλληλα δίκτυα προθεμάτων

Υπάρχουν διάφορες στρατηγικές σύνθεσης ενός παράλληλου δικτύου πρόσθεσης προθεμάτων. Η στρατηγική «διαίρει και βασίλευε», το γράφημα Brent-

Kung, το γράφημα Kogge-Stone και τα υβριδικά γραφήματα των παραπάνω είναι κάποιες τεχνικές που χρησιμοποιούνται.

2.11 Υλοποίηση σε VLSI

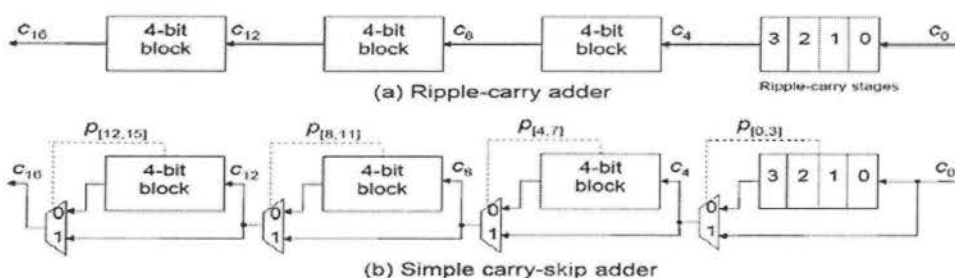
Η παρακάτω σχεδίαση θα μπορούσε να χρησιμοποιηθεί κατά την υλοποίηση VLSI συστημάτων. Παρόλα αυτά, θα ήταν μάλλον αργή και αναποτελεσματική για σχεδίαση συστημάτων υψηλής απόδοσης και αθροιστών πολλών μπιτ. Τα $s_0, s_1, \dots, s_{k/2-1}$ είναι τα αθροίσματα προθεμάτων.



Εικόνα 14: Brent-Kung parallel prefix graph for 16 inputs.

2.12 Απλοί αθροιστές παράλειψης κρατουμένου

Χρησιμοποιούμε τους αθροιστές παράλειψης κρατουμένου για να επιταχύνουμε την διαδικασία διάδοσης κρατουμένου. Παρακάτω βλέπουμε πως μπορούμε να επιτύχουμε μείωση των σταδίων διάδοσης κρατουμένου σε έναν αθροιστή "ripple-carry".



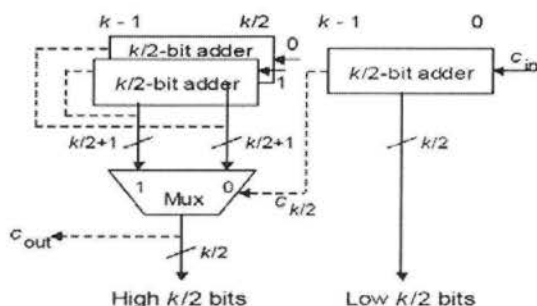
Εικόνα 15: Converting a 16-bit ripple-carry adder into a simple carry-skip adder with 4-bit skip blocks.

2.13 Αθροιστές παράλειψης κρατούμενου πολλών επιπέδων

Ένας αθροιστής παράλειψης κρατούμενου πολλών επιπέδων εξάγεται εφόσον επιτρέψουμε σε ένα κρατούμενο να προσπεράσει πολλά μπλοκ (blocks) από μιτι μονομάς.

2.14 Αθροιστές επιλογής κρατούμενου

Ένας αθροιστής επιλογής κρατούμενου συνδυάζει τρεις οποιασδήποτε σχεδίασης αθροιστές $k/2$ -bit σε έναν αθροιστή k -bit, όπως φαίνεται στο παρακάτω σχήμα:



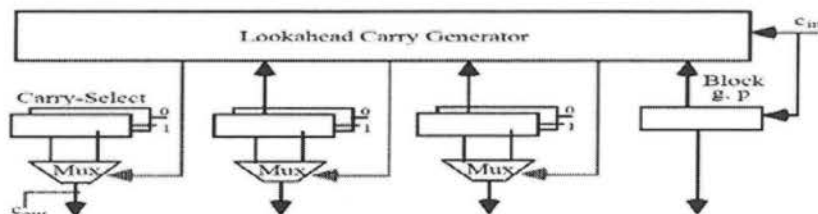
Εικόνα 16: Carry-select adder for k -bit numbers built from three $k/2$ -bit adders.

2.15 Αθροιστής άθροισης υπό όρους

Ένας αθροιστής άθροισης υπό όρους είναι ουσιαστικά ένας αθροιστής επιλογής κρατούμενου $\log_2 k$ επιπέδων.

2.16 Σχεδίαση υβριδικών αθροιστών

Παρακάτω φαίνεται ένας υβριδικός αθροιστής - δηλαδή ένας αθροιστής που κατασκευάζεται από τον συνδυασμό των σχεδιάσεων που μελετήσαμε παραπάνω, ο οποίος μάλιστα χρησιμοποιείται ευρέως:



Εικόνα 17: A hybrid carry-lookahead/carry-select adder.

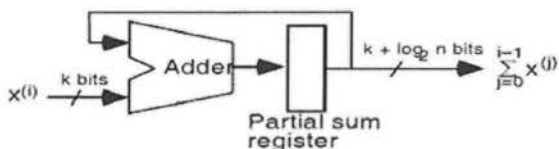
Με τους υβριδικούς αθροιστές επιτυγχάνουμε υψηλότερες επιδόσεις, μεγαλύτερη αντιστοιχία κόστους-αποτελεσματικότητας, χαμηλότερη κατανάλωση ενέργειας, κτλ.

2.17 Βελτιστοποίηση γρήγορων αθροιστών

Η βελτιστοποίηση των γρήγορων αθροιστών επέρχεται μέσω της βελτιστοποίησης του μεγέθους των μπλοκ των μπιτ. Αξίζει να σημειωθεί ότι η βέλτιστη διαμόρφωση εξαρτάται άμεσα από την υπάρχουσα τεχνολογία.

2.18 Χρήση αθροιστών δύο-τελεστών

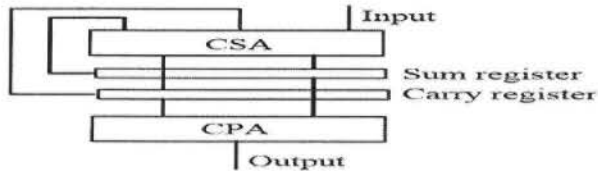
Παρακάτω παρουσιάζεται μια σειριακή υλοποίηση μιας πρόσθεσης πολλών τελεστών με τη βοήθεια ενός αθροιστή δύο-τελεστών.



Εικόνα 18: Serial implementation of multioperand addition with a single two-operand adder.

2.19 Αθροιστής αποθήκευσης κρατούμενου

Η άθροιση με αποθήκευση κρατούμενου μπορεί να υλοποιηθεί σειριακά χρησιμοποιώντας έναν μονό αθροιστή αποθήκευσης κρατούμενου και έναν τελικό αθροιστή διάδοσης κρατούμενου.



Εικόνα 19: Serial carry-save addition by means of a single carry-save adder.

2.20 Wallace and Dadda Trees

Στα "Wallace Trees" μειώνουμε τον αριθμό των τελεστών με την πρώτη ευκαιρία. Αυτό έχει ως αποτέλεσμα την μείωση της συνολικής καθυστέρησης αφού ο τελικός αθροιστής διάδοσης κρατούμενου γίνεται όσο το δυνατόν μικρότερος.

Στα "Dadda Trees" μειώνουμε τον αριθμό των τελεστών στον επόμενο μικρότερο αριθμό (πλήθος) χρησιμοποιώντας όσο το δυνατόν λιγότερους πλήρεις αθροιστές και ημιαθροιστές.

2.21 Παράλληλοι Μετρητές

Ένας $(n; \lceil \log_2(n+1) \rceil)$ -μετρητής είναι ένα κύκλωμα το οποίο έχει n εισόδους και παράγει μία δυαδική έξοδο $(n; \lceil \log_2(n+1) \rceil)$ -bit.

2.22 Γενικευμένοι Παράλληλοι Μετρητές

Οι γενικευμένοι παράλληλοι μετρητές χρησιμοποιούνται ως περισσότερο ευέλικτη σχεδιαστικά λύση σε σχέση με τους παράλληλους μετρητές. Πρόκειται για αρκετά ισχυρά κυκλώματα.

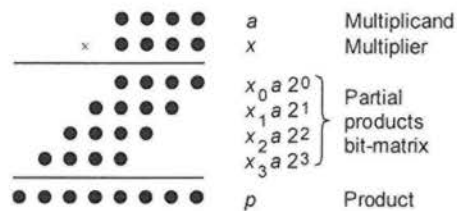
ΚΕΦΑΛΑΙΟ 3: ΠΟΛΛΑΠΛΑΣΙΑΣΤΕΣ ΚΑΙ ΔΙΑΙΡΕΤΕΣ

3.1 Αλγόριθμοι Shift/Add Πολλαπλασιασμού

Στο παρόν κεφάλαιο θα χρησιμοποιήσουμε τα εξής γραφικά σύμβολα:

a	Πολλαπλασιαστής	$a_{k-1}a_{k-2} \dots a_1a_0$
x	Πολλαπλασιαστής	$x_{k-1}x_{k-2} \dots x_1x_0$
p	Γινόμενο($a \times x$)	$p_{2k-1}p_{2k-2} \dots p_3p_2p_1p_0$

Παρακάτω φαίνεται μια σχηματική αναπαράσταση πολλαπλασιασμού δύο μη προσημασμένων δυαδικών αριθμών.



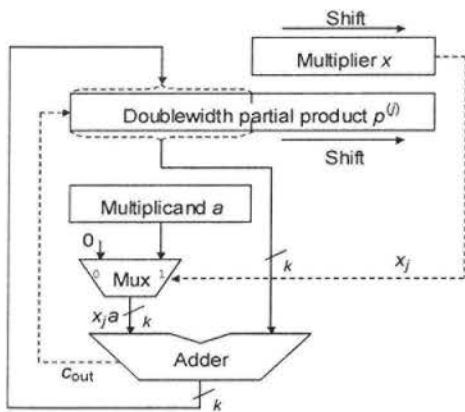
Εικόνα 90: Multiplication of two 4-bit unsigned binary numbers in dot notation.

3.2 Προγραμματισμός πολλαπλασιασμού

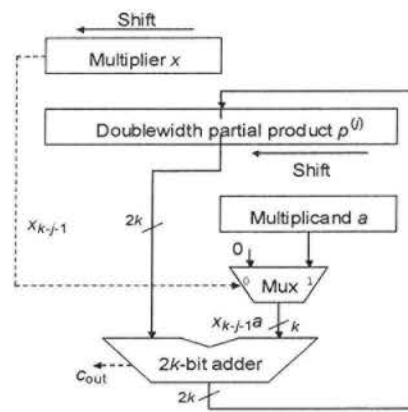
Παρόλο που η πράξη του πολλαπλασιασμού επιτυγχάνεται μέσω προγραμματισμού, η επιλογή της χρήσης υλικού (hardware) παραμένει καλύτερη όσον αφορά την ταχύτητα εκτέλεσης του πολλαπλασιασμού.

3.3 Βασικές Υλοποιήσεις Πολλαπλασιαστών

Παρακάτω φαίνονται οι υλοποιήσεις πολλαπλασιαστών με κυκλώματα.



Εικόνα 20: Hardware realization of the sequential multiplication algorithm with additions and right-shifts.



Εικόνα 21: Hardware realization of the sequential multiplication algorithm with left-shifts and additions.

3.4 Πολλαπλασιασμός προσημασμένων αριθμών

Ένας τρόπος για να πολλαπλασιάσουμε προσημασμένους αριθμούς με αναπαραστάσεις συμπληρώματος είναι να συμπληρώσουμε τον αρνητικό τελεστή, να πολλαπλασιάσουμε τις μη προσημασμένες τιμές και στη συνέχεια, εφόσον αρχικά είχαμε πάρει το συμπλήρωμα ενός μόνο τελεστή, να βγάλουμε το συμπλήρωμα του αποτελέσματος.

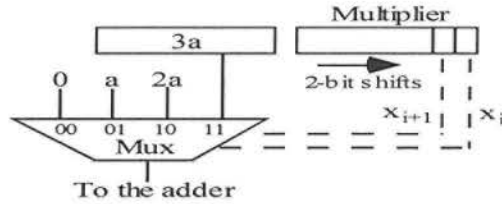
Ένας δεύτερος τρόπος να πολλαπλασιάσουμε αριθμούς (οι οποίοι είναι επίσης συμπληρώματα ως προς 2), που όμως δεν χρησιμοποιείται στα σύγχρονα αριθμητικά κυκλώματα, είναι να χρησιμοποιήσουμε την εγγραφή του Booth ώστε να αναπαραστήσουμε τον πολλαπλασιαστή x σε μορφή προσημασμένων ψηφίων.

3.5 Πολλαπλασιασμός με σταθερές

Υπάρχουν δύο τρόποι πολλαπλασιασμού με ακέραιες σταθερές. Ο ένας απαιτεί την δημιουργία βελτιστοποιημένου κώδικα κάνοντας χρήση όσο το δυνατόν λιγότερων καταχωρητών. Ο δεύτερος απαιτεί την εύρεση του καλύτερου κώδικα μέσω ενός αλγόριθμου που δεν χρειάζεται υπερβολικό χρόνο ή χώρο.

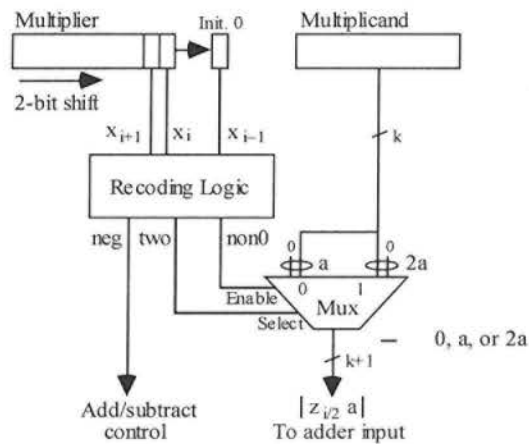
3.6 Πολλαπλασιασμός βάσης-4

Όσο μεγαλύτερη βάση χρησιμοποιούμε για να αναπαραστήσουμε ένα δεδομένο εύρος τιμών, τόσο λιγότερα ψηφία χρειαζόμαστε.



Εικόνα 22: The multiple generation part of a radix-4 multiplier with precomputation of $3a$.

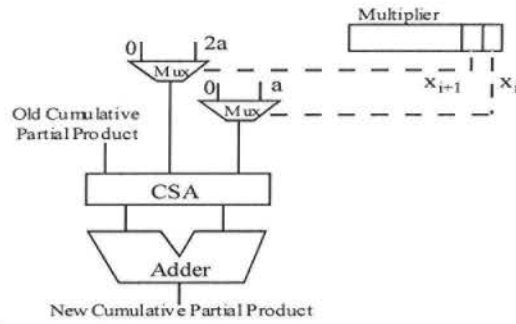
3.7 Τροποποιημένη "Booth's Recording"



Εικόνα 23: The multiple generation part of a radix-4 multiplier based on Booth's recording

3.8 Χρήση Αθροιστών αποθήκευσης κρατούμενου

Οι αθροιστές αποθήκευσης κρατούμενου χρησιμοποιούνται για να μειωθεί ο αριθμός των κύκλων πρόσθεσης αλλά και για να κάνουν τον κάθε κύκλο γρηγορότερο.

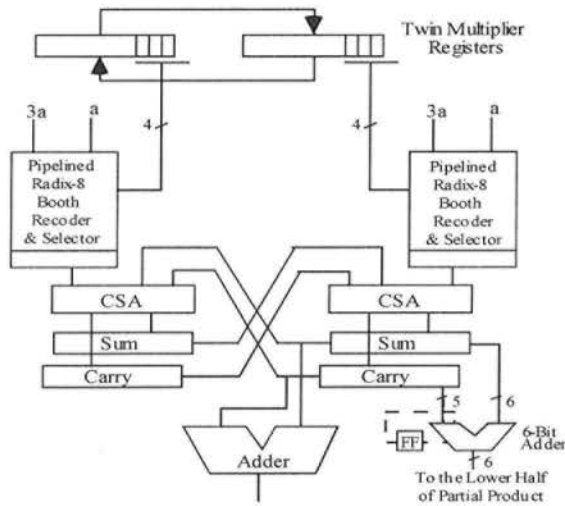


Εικόνα 24: Radix-4 multiplication with a carry-save adder used to combine the cumulative partial product, $x_i a$, and $2x_{i+1} a$ into two numbers

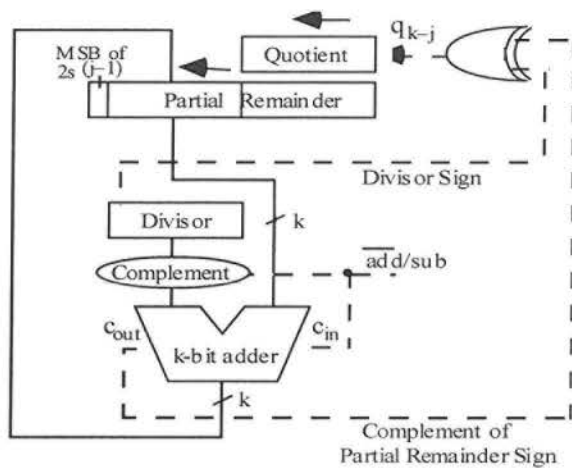
3.9 Πολλαπλασιαστές βάσης-8 και βάσης-16

Με τη βοήθεια ενός πολλαπλασιαστή βάσης-4 μπορούμε να πάρουμε υλοποιήσεις πολλαπλασιαστών μεγαλύτερης βάσης. Οι πολλαπλασιαστές μεγαλύτερης βάσης προσφέρουν επιτάχυνση της πράξης του πολλαπλασιασμού.

3.10 Πολλαπλασιαστές Πολλαπλών Χτύπων Ρολογιού



Εικόνα 25: Twin-beat multiplier with radix-8 Booth's recording



Εικόνα 32: Shift/subtract sequential nonrestoring divider.

3.25 Διαίρεση με σταθερές

Όπως και για την πράξη του πολλαπλασιασμού έτσι κι εδώ υπάρχουν δύο μέθοδοι διαίρεσης με σταθερές. Εδώ μάλιστα οι επιδόσεις των εν λόγω μεθόδων είναι ακόμη καλύτερες σε σχέση με τις επιδόσεις τους στον πολλαπλασιασμό.

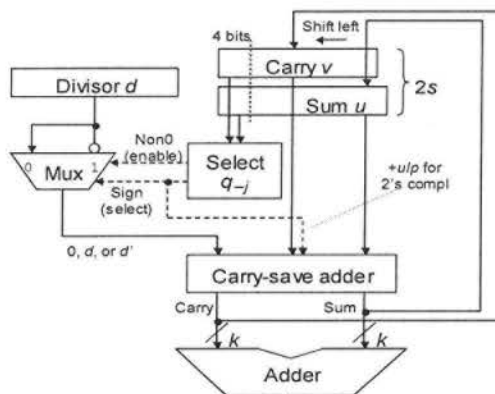
3.26 Βασικά στοιχεία Διαιρετών μεγάλης βάσης

Πρακτικά οι High-radix διαιρετές έχουν $r=2^b$. Η διαίρεση δυαδικών αριθμών με βάση 2^b μειώνει τον αριθμό των κύκλων ρολογιού που απαιτούνται από έναν παράγοντα b . Όμως έτσι, κάθε κύκλος είναι δυσκολότερο να υλοποιηθεί.

3.27 Radix-2 SRT Διαίρεση

Πρόκειται για έναν αλγόριθμο που πρότειναν οι Sweeney, Robertson και Tocher. Όμως πρακτικά δεν χρησιμοποιείται πλέον αφού δεν είναι χρήσιμος στα μοντέρνα ψηφιακά συστήματα.

3.28 Χρήση Αθροιστών αποθήκευσης κρατούμενου



Εικόνα 33: Block diagram of a radix-2 divider with partial remainder in stored-carry form.

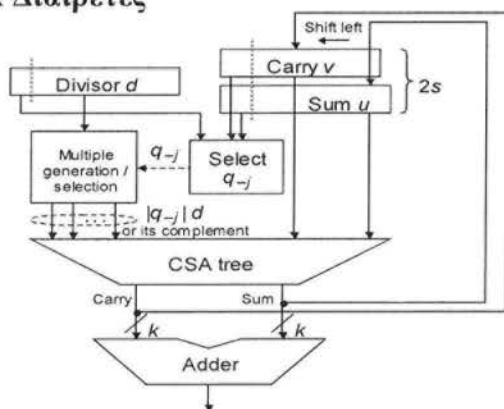
3.29 Επιλογή των ψηφίων του υπόλοιπου

Για να κατανοήσουμε την διαδικασία επιλογής ψηφίων υπολοίπου μπορούμε να χρησιμοποιήσουμε ένα p-d plot για διάφορους αλγόριθμους διαίρεσης.

3.30 Radix-4 SRT Διαίρεση

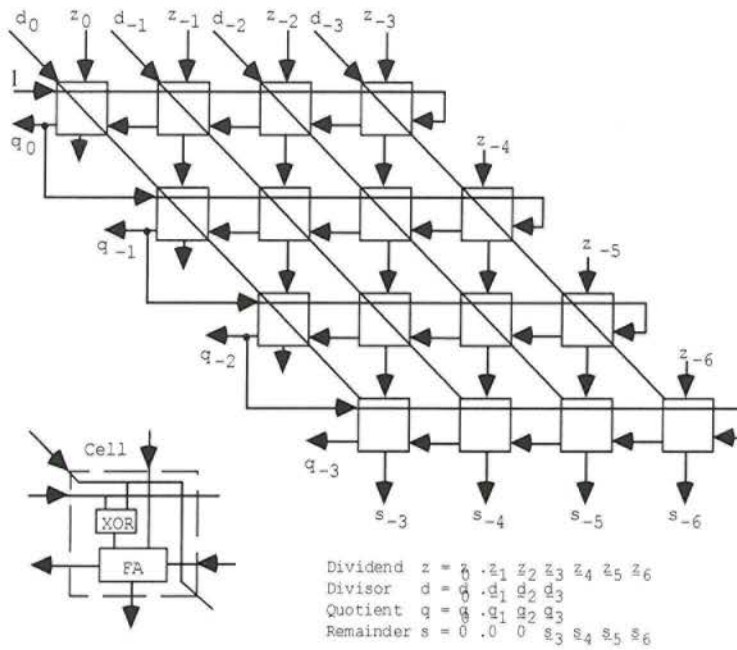
Χρησιμοποιήθηκε στους επεξεργαστές Intel Pentium αλλά κρίθηκε ως προβληματική.

3.31 High-radix Διαιρέτες

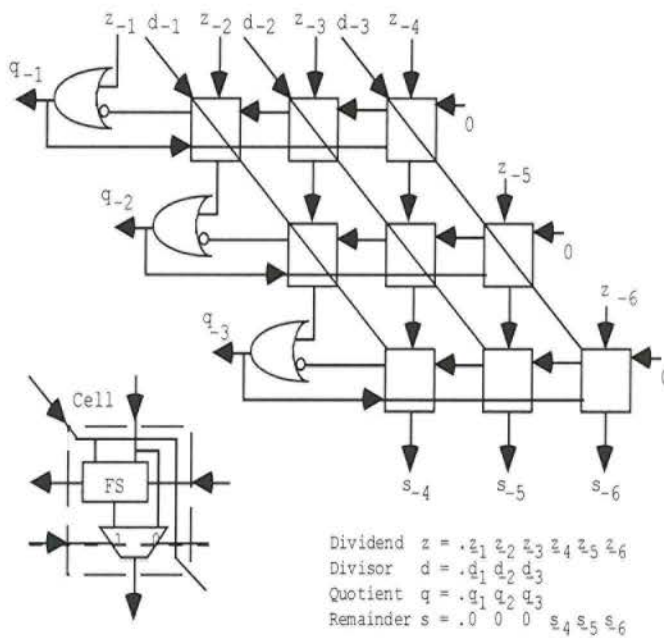


Εικόνα 34: Block diagram of radix-r divider with partial remainder in stored-carry form.

3.32 Διαίρετες Πίνακα



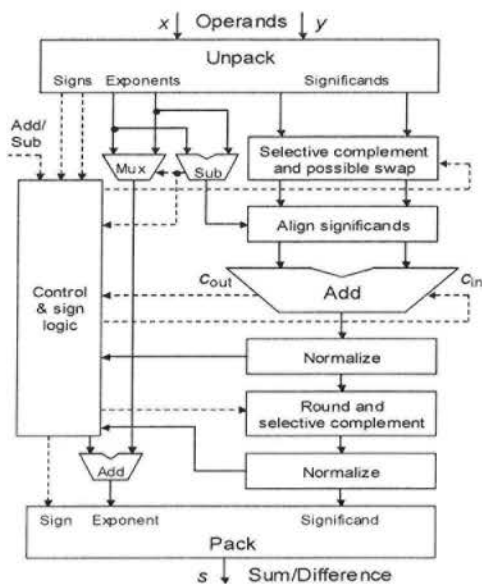
Εικόνα 47



Εικόνα 48

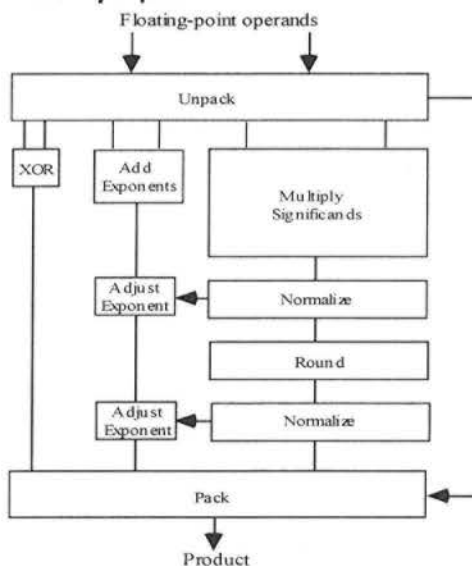
3.33 Δεκαδικοί Αριθμοί

Αθροιστής / Αφαιρέτης Δεκαδικών Αριθμών



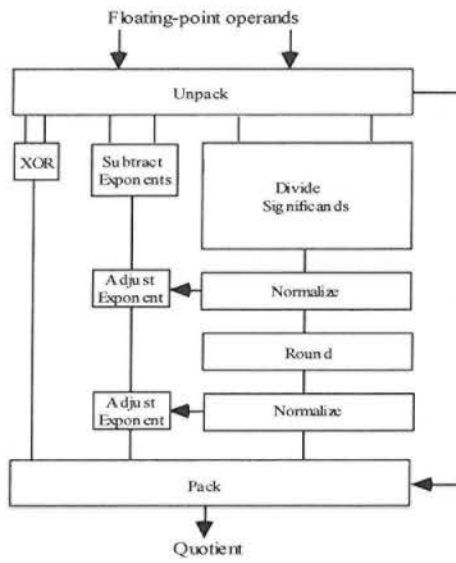
Εικόνα 35: Αθροιστής/Αφαιρέτης με υποδιαστολή.

Πολλαπλασιαστές Δεκαδικών Αριθμών



Εικόνα 50: Πολλαπλασιαστής με υποδιαστολή.

Διαιρέτες Δεκαδικών Αριθμών



Εικόνα 36: Διαιρέτης με υποδιαστολή.

ΚΕΦΑΛΑΙΟ 4: CORDIC ΑΛΓΟΡΙΘΜΟΙ

Όλες οι τριγωνομετρικές συναρτήσεις μπορούν να υπολογιστούν ή να εξαχθούν από συναρτήσεις που χρησιμοποιούν περιστροφές διανύσματος. Η περιστροφή διανύσματος μπορεί να χρησιμοποιηθεί για τους μετασχηματισμούς καρτεσιανών συντεταγμένων σε πολικές και πολικών σε καρτεσιανές, ή ακόμη και για τον υπολογισμό του μέτρου ενός διανύσματος. Οι αλγόριθμοι CORDIC (**CO**ordinate **RO**tation **DI**gital **C**omputer) παρέχουν μια επαναληπτική μέθοδο για τον υπολογισμό περιστροφών διανύσματος κατά επιθυμητές γωνίες, χρησιμοποιώντας μόνο αθροιστές και μετατοπιστές (adds – shifts).

Οι CORDIC αλγόριθμοι ή αλλιώς (**digit-by-digit** και αλγόριθμος του **Volder's**) βασίζονται στο γεγονός ότι εάν ένα διάνυσμα με τελικό σημείο στο $(x,y)=(1,0)$ περιστραφεί κατά μία γωνία z , το νέο τελικό σημείο που θα προκύψει θα είναι $(x,y)=(\cos z, \sin z)$.

Οι βασικές χρήσεις των αλγορίθμων CORDIC είναι η πραγματοποίηση περιστροφών, ο υπολογισμός τριγωνομετρικών και υπερβολικών συναρτήσεων, η υλοποίηση των πράξεων της διαίρεσης και του πολλαπλασιασμού, ο υπολογισμός των συναρτήσεων \exp , \log και $\sqrt{}$. Οι αλγόριθμοι CORDIC έχουν προταθεί για τον υπολογισμό των διακριτών Fourier, Cosine, Hartley μετασχηματισμών και του Chirp-Z. Επίσης μπορούν να χρησιμοποιηθούν σε ψηφιακά φίλτρα και στην επίλυση γραμμικών συστημάτων.

Τα παραπάνω καταδεικνύουν το πόσο σημαντικοί είναι οι CORDIC σε περιοχές εφαρμογών DSP, επεξεργασίας εικόνας, τρισδιάστατων γραφικών, ρομποτικής κλπ. . Συγκρινόμενοι με άλλες προσεγγίσεις οι αλγόριθμοι αυτοί είναι εξαιρετικοί όταν δεν υπάρχει διαθέσιμος πολλαπλασιαστής, π.χ. σε ένα μικροελεγκτή, ή όταν δε θέλουμε να υλοποιήσουμε έναν για λόγους οικονομίας εμβαδού, π.χ. σε FPGA. Σε περίπτωση όμως που υπάρχει διαθέσιμος πολλαπλασιαστής, π.χ. σε ένα DSP μικροεπεξεργαστή, άλλες γνωστές μέθοδοι, όπως η αναζήτηση σε πίνακες και οι σειρές δυνάμεων, είναι γενικά γρηγορότερες των CORDIC.

4.1 Αλγόριθμος περιστροφής διανύσματος

Ο αλγόριθμος CORDIC σχεδιάστηκε αρχικά για να εκτελεί περιστροφή διανύσματος, όπου το διάνυσμα (X, Y) περιστρέφεται κατά γωνία θ παράγοντας ένα νέο διάνυσμα (X', Y') .

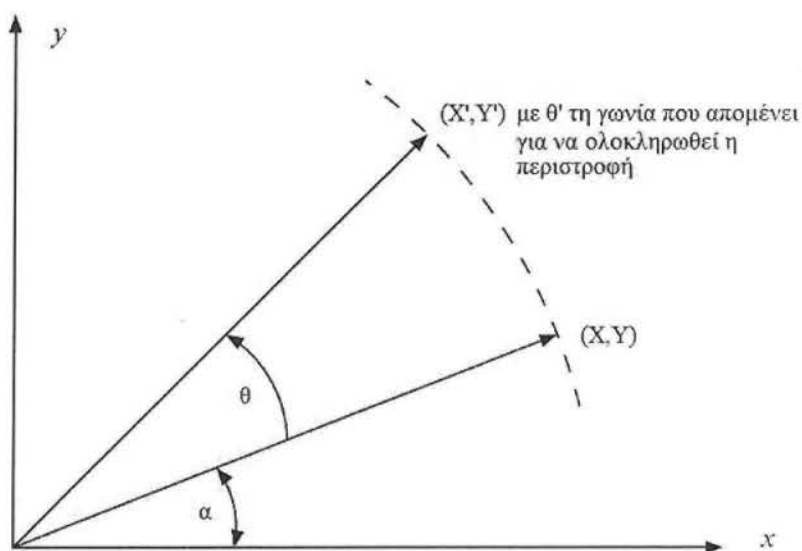
Οι εξισώσεις περιστροφής ενός διανύσματος:

$$\text{Τύπος 4.1 } X' = (\cos\theta \cdot X - \sin\theta \cdot Y)$$

$$\text{Τύπος 4.2 } Y' = (\cos\theta \cdot Y + \sin\theta \cdot X)$$

$$\text{Τύπος 4.3 } \theta' = 0$$

Ο αλγόριθμος CORDIC εκτελεί την παραπάνω περιστροφή διανύσματος θεωρώντας την ως μια ακολουθία διαδοχικών μικρότερων περιστροφών, που αποκαλούνται μικρο-περιστροφές, καθεμιά εκ των οποίων είναι γωνίας $\arctan(2^{-i})$.



Εικόνα 52: Περιστροφή διανύσματος κατά γωνία θ , στο καρτεσιανό σύστημα συντεταγμένων

Η περιστροφή διανύσματος μπορεί με αυτό τον τρόπο να εκφραστεί ως μια σειρά n μικροπεριστροφών με εξισώσεις που προκύπτουν από τις αρχικές, αν όπου θ αντικαταστήσουμε την τιμή της γωνίας κάθε μικροπεριστροφής:

$$X' = \prod_{i=1}^n \cos(\text{atan}(2^{-i}))(X_i - \alpha_i Y_i 2^{-i})$$

$$Y' = \prod_{i=1}^n \cos(\text{atan}(2^{-i}))(Y_i + \alpha_i X_i 2^{-i})$$

$$\theta' = \sum_{i=1}^n \theta - (\alpha_i \cdot \text{atan}(2^{-i})) \quad , \quad \alpha_i = \pm 1$$

Τύποι 4.3 - 4.4 - 4.5

Η i-οστή μικροπεριστροφή δίνεται από τις εξισώσεις:

$$x_{i+1} = x_i - \alpha_i \cdot y_i \cdot 2^{-i}$$

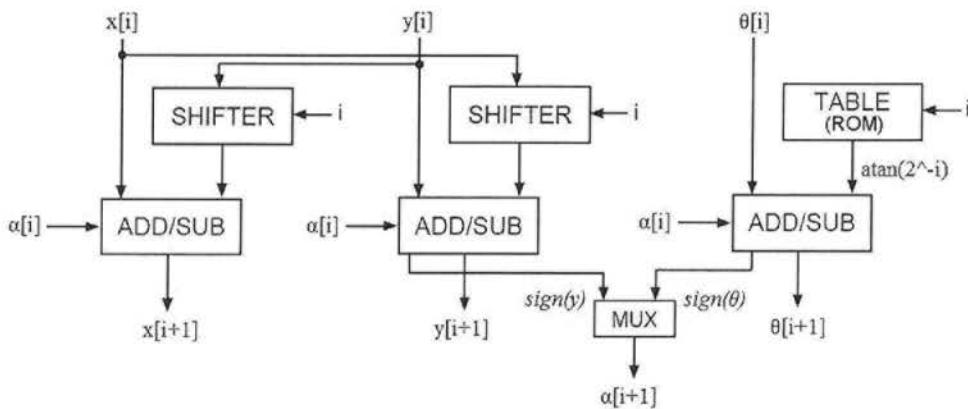
$$y_{i+1} = y_i + \alpha_i \cdot x_i \cdot 2^{-i}$$

$$\theta_{i+1} = \theta_i + \alpha_i \cdot \text{atan}(2^{-i}) \quad , \quad \alpha_i = \pm 1$$

Τύποι 4.6 - 4.7 - 4.8

Γίνεται φανερό πως κάθε μικροπεριστροφή μπορεί να εκφραστεί ως πράξη μετατόπισης – προσθαφαίρεσης (shift – addsub).

Με αυτό τον τρόπο ο αλγόριθμος CORDIC μπορεί να χρησιμοποιηθεί για την πραγματοποίηση περιστροφής ή μετάφρασης διανύσματος.



Εικόνα 53: Υλοποίηση μιας μικροπεριστροφής

ΚΕΦΑΛΑΙΟ 5: Εισαγωγή στα κυκλώματα CMOS και τα Τρανζίστορ MOS

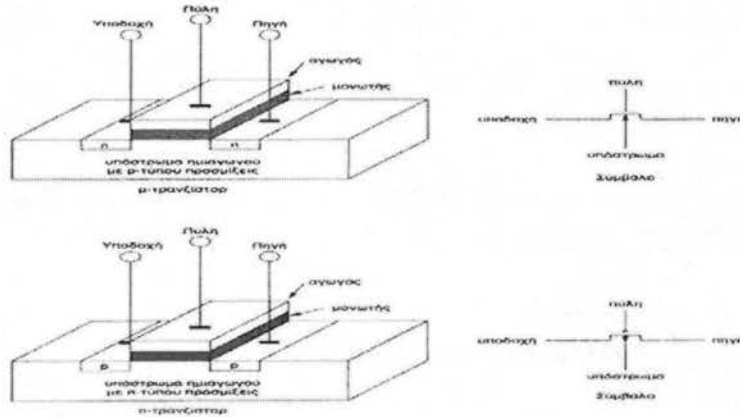
5.1 Ιστορική αναδρομή

Η τεχνολογία συμπληρωματικού ημιαγωγού-μετάλλου-οξειδίου (CMOS - Complementary Metal Oxide Semiconductor) βοήθησε στην ανάπτυξη των ολοκληρωμένων κυκλωμάτων. Η ιδέα του τρανζίστορ γεννήθηκε το 1925 αλλά έως την δεκαετία του 60' η τεχνολογία CMOS δεν αναπτύχθηκε λόγω τεχνικών προβλημάτων. Το 1965 παρουσιάστηκε η παγκόσμια πατέντα της τεχνολογίας CMOS με τις θεμελιώδεις αρχές της καθώς και τα κυκλώματα του αντιστροφέα, της πύλης NOR και της πύλης NAND που είχαν υλοποιηθεί με στοιχεία MOS. Τα πρώτα κυκλώματα αναπτύχθηκαν χρησιμοποιώντας διακριτά τρανζίστορ MOS και έδειξαν το κύριο χαρακτηριστικό της τεχνολογίας CMOS που είναι η μικρή κατανάλωση ισχύος. Αρχικά, τα κυκλώματα CMOS χρησιμοποιήθηκαν σε εφαρμογές με χαμηλή κατανάλωση όπως τα ρολόγια χειρός επειδή η τεχνολογία επεξεργασίας που χρειαζόταν για την κατασκευή τους ήταν πολύπλοκη. Όμως, η πρόοδος της τεχνολογίας για την υποστήριξη μεγάλου μεγέθους ολοκληρωμένων συστημάτων έφερε τους σχεδιαστές αντιμέτωπους με προβλήματα κατανάλωσης ισχύος. Λόγω αυτού, το ενδιαφέρον για την τεχνολογία CMOS έχει αυξηθεί στις μέρες μας πάρα πολύ ώστε να κατέχει κεντρική θέση στην τεχνολογία VLSI.

5.2 Τρανζίστορ MOS

Το πυρίτιο ως ημιαγωγός αποτελεί το βασικό υλικό για την υλοποίηση μιας μεγάλης κατηγορίας ολοκληρωμένων κυκλωμάτων. Μια δομή MOS δημιουργείται από την υπέρθεση πολλαπλών στρωμάτων αγώγιμων και μονωτικών υλικών. Η τεχνολογία CMOS χρησιμοποιεί δύο τύπους τρανζίστορ, το n-MOS και το p-MOS. Τα τρανζίστορ αυτά κατασκευάζονται πάνω στο πυρίτιο χρησιμοποιώντας είτε ένα αρνητικά φορτισμένο λόγω νόθευσης πυρίτιο που είναι πλούσιο σε ηλεκτρόνια (electrons) είτε ένα θετικά νοθευμένο πυρίτιο που είναι πλούσιο σε οπές (holes). Σε μια τυπική δομή MOS περιλαμβάνονται διαφορετικές στρώσεις οι οποίες είναι: 1. η διάχυση, 2. το πολυπυρίτιο και 3. το αλουμίνιο. Οι στρώσεις αυτές χωρίζονται από στρώσεις

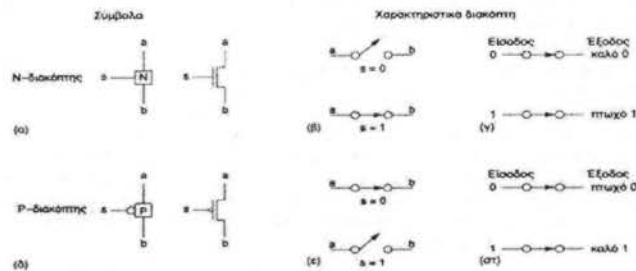
μονωτικού υλικού. Στα παρακάτω σχήματα φαίνεται η φυσική δομή των τρανζίστορ MOS. Για λόγους παρουσίασης θεωρείται ότι η πύλη (gate) ελέγχει τη ροή ρεύματος μεταξύ πηγής (source) και υποδοχής (drain). Η πηγή και η υποδοχή είναι συμμετρικοί ακροδέκτες.



Εικόνα 54: Τρανζίστορ n-MOS - Τρανζίστορ p-MOS

5.3 Διακόπτες με τρανζίστορ MOS

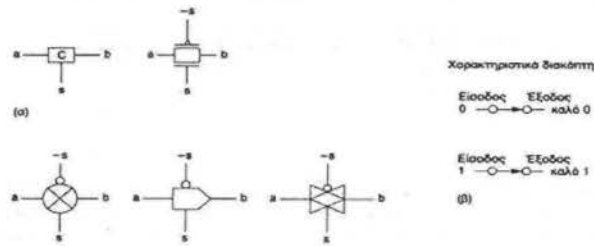
Το τρανζίστορ MOS μπορεί να θεωρηθεί ως απλός διακόπτης που ανοίγει και κλείνει. Το '1' αντιστοιχεί στην υψηλή τάση με τιμές 1.5 – 15 volts και καλείται τροφοδοσία (power) ή V_{DD} . Το '0' αντιστοιχεί στη χαμηλή τάση με τιμή 0 volts και καλείται γείωση (ground) ή V_{SS} .



Εικόνα 55: Τα σύμβολα διακοπών των τρανζίστορ nMOS και pMOS και τα χαρακτηριστικά τους

Εάν συνδυαστούν παράλληλα ένας N-διακόπτης και ένας P-διακόπτης προκύπτει ένας διακόπτης όπου τα σήματα '0' και '1' περνούν με αποδεκτό τρόπο, ο οποίος ονομάζεται συμπληρωματικός διακόπτης ή C-διακόπτης όπου χρησιμοποιείται η λογική των δύο δρόμων. Στο n-τρανζίστορ εφαρμόζεται ένα σήμα ελέγχου ενώ στο p-

τρανζίστορ το συμπλήρωμά του. Ο συμπληρωματικός διακόπτης ονομάζεται επίσης πύλη μετάδοσης ή πύλη περάσματος.

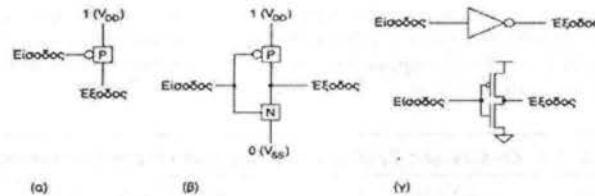


Εικόνα 56: Συμπληρωματικός διακόπτης CMOS

5.4 Λογική CMOS

5.4.1 Αντιστροφέας

Στην περίπτωση του λογικού αντιστροφέα όταν στην είσοδο υπάρχει '0' έχουμε '1' στην έξοδο και το αντίστροφο. Το χαρακτηριστικό αυτό υπονοεί ένα P-διακόπτη που συνδέει την τροφοδοσία του σήματος '1' με την έξοδο όπως φαίνεται στο παρακάτω σχήμα.



Εικόνα 57: Αντιστροφέας CMOS

Το πλήρες κύκλωμα του αντιστροφέα αλλά και γενικά μια πλήρης συμπληρωματική πύλη CMOS αποτελείται πάντοτε από ένα δίκτυο N-διακοπών (οδηγός «κάτω» (pull-down)) που συνδέει την έξοδο με το '0' (V_{SS}) και ένα δίκτυο P-διακοπών (οδηγός «πάνω» (pull-up)) που συνδέει την έξοδο με το '1' (V_{DD}).

ΕΞΟΔΟΣ ΟΔΗΓΗΣΗΣ «ΚΑΤΩ»	ΕΙΣΟΔΟΣ ΟΔΗΓΗΣΗΣ «ΠΑΝΩ»	ΣΥΝΔΥΑΣΜΕΝΗ ΕΞΟΔΟΣ
0	Z	0
Z	1	1
Z	Z	Z
0	1	Υπερφόρτιση

Πίνακας με την Ανάλυση των Σταθμών Εξόδου Πύλης

Όπως βλέπουμε, η έξοδος μιας λογικής πύλης μπορεί να πάρει τέσσερις καταστάσεις. Οι στάθμες 1 και 0 παρουσιάζονται στην έξοδο του αντιστροφέα όταν η δομή του οδηγού ‘πάνω’ ή ‘κάτω’ είναι σε κατάσταση υψηλής αντίστασης εισόδου (Z) ενώ η άλλη δομή είναι σε κατάσταση αγωγής. Όταν και οι δύο οδηγοί είναι σε κατάσταση υψηλής αντίστασης, η έξοδος είναι σε κατάσταση (Z) και η περίπτωση είναι εξαιρετικά χρήσιμη για πολυπλέκτες, στοιχεία αποθήκευσης και οδηγούς διαδρομών (bus drivers). Τέλος αν κλείνουν ταυτόχρονα οι δύο οδηγοί, η λογική πύλη βρίσκεται σε στάθμη υπερφόρτισης και η κατάσταση αυτή δεν είναι επιθυμητή για οποιοδήποτε ψηφιακό κύκλωμα CMOS.

5.4.2 Συνδυαστική Λογική

Όταν δύο N-διακόπτες τοποθετηθούν σε σειρά ο σύνθετος διακόπτης που προκύπτει είναι κλειστός ή ON αν είναι κλειστοί και οι δύο διακόπτες. Αντίστοιχα σε δύο P-διακόπτες ο σύνθετος διακόπτης είναι κλειστός αν και οι δύο εισοδοί είναι στο ‘0’. Η δομή αυτή δίνει τη συνάρτηση ‘AND’. Στην παράλληλη τοποθέτηση δύο διακοπών ο σύνθετος διακόπτης είναι κλειστός αν τουλάχιστον ένας διακόπτης είναι κλειστός ή αν τουλάχιστον μία είσοδος είναι ‘1’. Αντίθετα, σε δύο P- διακόπτες σε παράλληλη σύνδεση είναι κλειστός όταν είναι ‘0’ οποιαδήποτε είσοδος. Η δομή αυτή δίνει τη συνάρτηση ‘OR’. Ουσιαστικά η συνδυαστική λογική μας δίνει τη δυνατότητα να κατασκευαστούν συνδυαστικές πύλες CMOS.

5.4.3 Η Πύλη NAND

Η κατασκευή μιας πύλης NAND 2-εισόδων με δένδρο οδήγησης ‘κάτω’ αποτελείται από n-διακόπτες σε σειρά, όπου το ένα άκρο του δέντρου είναι συνδεδεμένο στο V_{SS} και το άλλο άκρο στην έξοδο.

ΔΙΑΚΟΠΤΗΣ Α ΕΙΣΟΔΟΣ ΕΛΕΓΧΟΥ	ΔΙΑΚΟΠΤΗΣ Β ΕΙΣΟΔΟΣ ΕΛΕΓΧΟΥ	ΕΞΟΔΟΣ
0	0	Z
0	1	Z
1	0	Z
1	1	0

Πίνακας αληθείας πύλης NAND Οδήγησης ‘κάτω’

Αντίστοιχα, το δένδρο οδήγησης ‘πάνω’ προκύπτει από την παράλληλη σύνδεση P-διακοπών, όπου το ένα άκρο είναι συνδεδεμένο στο V_{DD} ενώ το άλλο είναι συνδεδεμένο στην έξοδο της πύλης NAND. Η τελική κατάσταση της εξόδου εξαρτάται από το συνδυασμό της κατάστασης του οδηγού ‘πάνω’ και της κατάστασης του οδηγού ‘κάτω’.

ΔΙΑΚΟΠΤΗΣ Α ΕΙΣΟΔΟΣ ΕΛΕΓΧΟΥ	ΔΙΑΚΟΠΤΗΣ Β ΕΙΣΟΔΟΣ ΕΛΕΓΧΟΥ	ΕΞΟΔΟΣ
0	0	1
0	1	1
1	0	1
1	1	Z

Πίνακας αληθείας πύλης NAND Οδήγησης ‘πάνω’

Αξίζει να σημειωθεί ότι οι πύλες NAND με μεγαλύτερο αριθμό εισόδων προκύπτουν με την πρόσθεση σε σειρά ενός επιπλέον n-διακόπτη στην N πλευρά και παράλληλα ενός P-διακόπτη για κάθε επιπρόσθετη είσοδο στη πύλη.

5.4.4 Η Πύλη NOR

Ο χάρτης Karnaugh χρησιμοποιείται για την παρουσίαση της πύλης NOR όπου ομαδοποιούνται τα ‘0’ και ‘1’. Ο όρος ‘0’ υπαγορεύει τη δομή OR ($A+B$) ενώ τα ‘1’ υλοποιούνται από τη δομή AND ($A.B$).

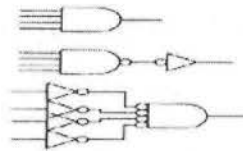
ΕΞΟΔΟΣ	Α ΕΙΣΟΔΟΣ	
	0	1
0	1	0
Β ΕΙΣΟΔΟΣ	1	0

Πίνακας Χάρτης Karnaugh Πύλης NOR δύο εισόδων

Σε αντίθεση με την πύλη NAND, στην πύλη NOR μπορεί να τοποθετηθούν επιπλέον εισοδοί προσθέτοντας N-διακόπτες παράλληλα και P-διακόπτες σε σειρά με τις αντίστοιχες δομές διακοπών. Τα τρανζίστορ στην πύλη CMOS δεν πρέπει να έχουν συγκεκριμένες διαστάσεις για να λειτουργεί σωστά η πύλη όπως σε άλλες μορφές. Επίσης, δεν υπάρχει ποτέ μονοπάτι από το ‘1’ στο ‘0’ για οποιοδήποτε συνδυασμό εισόδων σε αντίθεση με άλλες τεχνολογίες. Τέλος η ιδιότητα αυτή αποτελεί τη βάση για τη χαμηλή στατική κατανάλωση ισχύος στα κυκλώματα CMOS.

5.4.5 Σύνθετες Πύλες

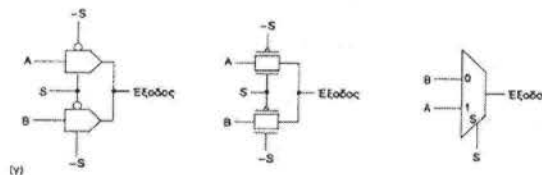
Μια σύνθετη πύλη δημιουργείται από το συνδυασμό δομών διακοπών σε σειρά και παράλληλα. Συχνά η υλοποίηση μιας πύλης απαιτεί να είναι αναστραμμένες η έξοδος ή/και μία ή περισσότερες εισόδους. Για παράδειγμα, μία πύλη AND 4-εισόδων μπορεί να υλοποιηθεί με μία πύλη NAND 4-εισόδων και ένα αντιστροφέα ή με μία πύλη NOR 4-εισόδων. Σε ένα μεγάλο λογικό κύκλωμα κάποιος μπορεί να βελτιστοποιήσει τις πύλες ανάλογα με την απαιτούμενη ταχύτητα και πυκνότητα.



Εικόνα 58: Διάφορες υλοποιήσεις μιας CMOS πύλης AND 4-εισόδων

5.4.6 Πολυπλέκτες

Η λειτουργία διακοπών που μπορούν να επιλεγούν ανάμεσα σε ένα αριθμό πολυπλέκτη μπορεί να πραγματοποιηθεί με τη χρήση συμπληρωματικών εισόδων. Σε ένα πολυπλέκτη 2-εισόδων οι διακόπτες θα πρέπει να περάσουν στην έξοδο του πολυπλέκτη τις σωστές στάθμες του '0' και του '1' γι' αυτό χρησιμοποιούνται συμπληρωματικοί διακόπτες με n- και p-τρανζίστορ. Οι πολυπλέκτες είναι μία από τις κυριότερες μονάδες στη σχεδίαση στοιχείων μνήμης CMOS και δομών διαχείρισης δεδομένων.



Εικόνα 59

5.4.7 Μνήμη – Μανδαλωτές και Καταχωρητές

Οι δομές CMOS που έχουμε δει μας δίνουν τη δυνατότητα κατασκευής ενός στοιχείου μνήμης. Η δομή που αποτελείται από ένα πολυπλέκτη 2-εισόδων και δύο αντιστροφείς καλείται μανδαλωτής (latch) και περιλαμβάνει μία είσοδο δεδομένων, μία είσοδο ρολογιού, και δύο εξόδους. Ο μανδαλωτής μπορεί να είναι ανάλογα με τις συνδέσεις ελέγχου του πολυπλέκτη, μανδαλωτής ευαίσθητος σε θετική στάθμη και

μανδαλωτής ευαίσθητος σε αρνητική στάθμη. Συνδυάζοντας τους δύο μανδαλωτές δημιουργείται ο ακμοπυροδότης καταχωρητής ή καταχωρητής που μπορεί να είναι θετικός καταχωρητής γιατί δειγματοληπτεί στη θετική ακμή του ρολογιού, η αρνητικός καταχωρητής αν αντιστρέψουμε τις πολικότητες του μανδαλωτή. Εκτός από τις RAMs και ROMs, οι παραπάνω δομές αποτελούν τη βάση για τη σχεδίαση των περισσότερων στοιχείων αποθήκευσης CMOS.

5.5 Περιγραφές Κυκλώματος και Συστήματος

Κάθε πολύπλοκο ψηφιακό σύστημα μπορεί να αναχθεί σε ένα αριθμό πυλών και στοιχείων μνήμης με διαδοχική υποδιαίρεση του συστήματος κατά ιεραρχικό τρόπο. Η διαδικασία αυτή μπορεί να γίνει είτε με χειρωνακτικό τρόπο είτε με μηχανοποιημένο τρόπο. Για να γίνει αυτό, έχει αναπτυχθεί ένα συγκεκριμένο σύνολο αφαιρέσεων σε τρία ξεχωριστά πεδία σχεδιασμού τα οποία είναι: α) Πεδίο συμπεριφοράς, β) Δομικό πεδίο και γ) Φυσικό πεδίο.

Πιο συγκεκριμένα, η περιγραφή συμπεριφοράς προσδιορίζει τον τρόπο με τον οποίο μια συγκεκριμένη σχεδίαση πρέπει να αποκριθεί σε ένα δεδομένο σύνολο εισόδων. Η συμπεριφορά μπορεί να περιγραφεί είτε από εξισώσεις Boole, είτε από πίνακες με τιμές εισόδων και εξόδων, είτε από αλγόριθμους σε συνηθισμένες γλώσσες προγραμματισμού ή σε ειδικές γλώσσες περιγραφής υλικού. Μέσα στο πεδίο συμπεριφοράς υπάρχουν πολλά επίπεδα αφαίρεσης. Όσο πηγαίνει κάποιος από τα υψηλότερα στα χαμηλότερα επίπεδα τόσο περισσότερη πληροφορία αποκτά για τη συγκεκριμένη υλοποίηση.

Η δομική προδιαγραφή προσδιορίζει τον τρόπο με τον οποίο είναι συνδεδεμένα τα στοιχεία ώστε να υλοποιήσουν μια συγκεκριμένη συνάρτηση ή να πετύχουν μια προκαθορισμένη συμπεριφορά. Η περιγραφή αυτή είναι ένας κατάλογος δομικών μονάδων και των διασυνδέσεων τους. Το δομικό πεδίο περιλαμβάνει στα επίπεδα αφαίρεσης, το επίπεδο δομικής μονάδας, το επίπεδο πύλης, το διακοπτικό επίπεδο και το επίπεδο κυκλώματος. Σε κάθε διαδοχικό επίπεδο παρουσιάζονται όλο και περισσότερες λεπτομέρειες που αφορούν την υλοποίηση.

Η φυσική περιγραφή ενός κυκλώματος χρησιμοποιείται για να προσδιοριστεί ο τρόπος με τον οποίο θα κατασκευαστεί ένα συγκεκριμένο τμήμα έτσι ώστε να δώσει

συγκεκριμένη δομή και άρα επιθυμητή συμπεριφορά. Στη διαδικασία κατασκευής ολοκληρωμένων συστημάτων το χαμηλότερο επίπεδο της φυσικής περιγραφής αφορά τις μάσκες που απαιτούνται στα διάφορα βήματα επεξεργασίας.

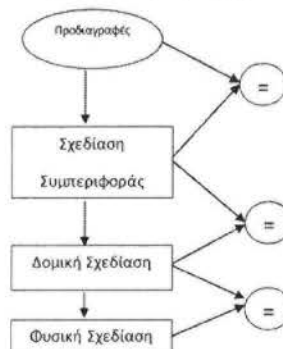
Κάθε πεδίο σχεδιασμού μπορεί να προσδιοριστεί από μια ποικιλία επιπέδων αφάιρεσης, που από το υψηλότερο επίπεδο μέχρι το χαμηλότερο περιλαμβάνονται τα ακόλουθα: α) αρχιτεκτονικό, β) αλγοριθμικό, γ) λειτουργικό, δ) λογικό, ε) διακοπτικό και στ) κυκλωματικό.

Συμπερασματικά, μια σχεδίαση μπορεί να εκφραστεί ως συνάρτηση των τριών πεδίων ενώ ποικίλει ο αριθμός των χρησιμοποιούμενων επιπέδων αφάιρεσης ανάλογα με το είδος της σχεδίασης και την πολυπλοκότητα του κυκλώματος.

5.6 Χαρακτηριστικά της τεχνολογίας CMOS

Η τεχνολογία CMOS αποτελεί μια επιλογή ανάμεσα από ένα σύνολο επιλογών που προσφέρει η τεχνολογία για τον ηλεκτρονικό σχεδιασμό συστημάτων. Γενικά η τεχνολογία CMOS παρουσιάζει την υψηλότερη πυκνότητα ολοκλήρωσης και την χαμηλότερη κατανάλωση ισχύος ανά πύλη. Τα κυριότερα χαρακτηριστικά της είναι:

- Στάθμες πλήρους αποκαταστάσιμης λογικής (έξοδος στο Vdd ή Vss).
- Οι χρόνοι ανόδου και καθόδου είναι της ίδιας τάξης.
- Μεγάλη πυκνότητα ολοκλήρωσης και χαμηλή κατανάλωση μνημών.
- Σωστή μετάδοση και των δύο λογικών σταθμών (0, 1) από πύλες μετάδοσης (πολυπλέκτες, μανδαλωτές, καταχωρητές).
- Μηδενική στατική κατανάλωση ισχύος (πλήρης συμπληρωματικότητα).
- Πυκνότητα πακεταρίσματος.
- Κανονικές και εύκολα αυτοματοποιήσιμες φυσικές σχεδιάσεις.



Εικόνα 60: Βήματα σχεδίασης ολοκληρωμένου κυκλώματος CMOS

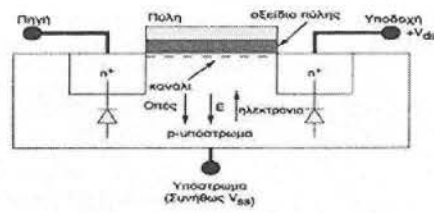
5.7 Θεωρία Τρανζίστορ MOS

Η στατική λειτουργία των τρανζίστορ MOS αποτελεί το πρώτο σχεδιαστικό στόχο ώστε να εξασφαλιστεί ότι λειτουργούν σωστά οι λογικές πύλες. Όλα τα κυκλώματα είναι αναλογικά και η ψηφιακή τους αναπαράσταση ισχύει μόνο αν ικανοποιούνται συγκεκριμένοι σχεδιαστικοί στόχοι. Ένα τρανζίστορ MOS ορίζεται ως στοιχείο φορέων πλειονότητας του οποίου το ρεύμα στο κανάλι αγωγής, πηγής – υποδοχής, διαμορφώνεται από την τάση που εφαρμόζεται στην πύλη. Για ένα τρανζίστορ n-MOS, οι φορείς πλειονότητας είναι τα ηλεκτρόνια ενώ για ένα τρανζίστορ p-MOS είναι οι οπές (holes).

Η πρώτη σημαντική παράμετρος που χαρακτηρίζει τη διακοπτική συμπεριφορά ενός στοιχείου MOS είναι η τάση κατωφλίου (V_t), η οποία ορίζεται ως η τάση πύλης στην οποία αρχίζει να άγει το στοιχείο MOS. Τα n-στοιχεία άγουν όταν η τάση πύλης ισούται με την τάση πηγής και όταν υπάρχει θετική διαφορά (αρνητική για τα p-στοιχεία) ανάμεσα στις τάσεις πύλης και πηγής. Τα στοιχεία που είναι σε αποκοπή, δηλ. μηδενική πόλωση, χαρακτηρίζονται ως στοιχεία πύκνωσης ενώ αυτά που άγουν για μηδενική πόλωση καλούνται στοιχεία αραιώσης. Τα περισσότερα ολοκληρωμένα κυκλώματα CMOS χρησιμοποιούν τρανζίστορ πύκνωσης και τα n- και p-τρανζίστορ κατασκευάζονται μέσα στο ίδιο το ολοκληρωμένο.

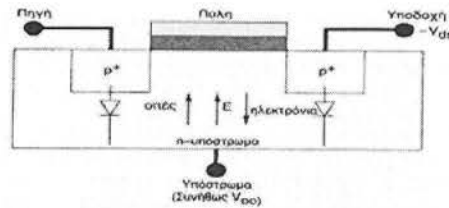
5.8.1 Τρανζίστορ Πύκνωσης nMOS και pMOS

Η δομή ενός τρανζίστορ nMOS πύκνωσης n-καναλιού αποτελείται από ένα υπόστρωμα μέσα στο οποίο υπάρχουν δυο περιοχές, η πηγή και η υποδοχή. Μεταξύ αυτών, υπάρχει μια στενή περιοχή η οποία καλείται κανάλι. Η στρώση του μονωτικού υλικού που καλύπτει το κανάλι λέγεται οξειδίο πύλης. Πάνω από τη στρώση του οξειδίου υπάρχει ένα ηλεκτρόδιο πολυπυριτίου που καλείται πύλη. Τέλος, λόγω της κατασκευαστικής συμμετρίας δεν υπάρχει φυσικός διαχωρισμός μεταξύ της υποδοχής και της πύλης.



Εικόνα 61

Η δομή ενός τρανζίστορ pMOS προκύπτει αντιστρέφοντας τις περιοχές n-τύπου σε p-τύπου. Η εφαρμογή αρνητικής τάσης στην πύλη σε σχέση με την πηγή έλκει τις οπές στην περιοχή κάτω από την πύλη με αποτέλεσμα το κανάλι να αλλάζει μορφή από n-τύπου σε p-τύπου. Δηλαδή, δημιουργείται ένα μονοπάτι αγωγής μεταξύ πηγής και υποδοχής του οποίου η αγωγή οφείλεται στην κίνηση των οπών που η αρνητική τάση της υποδοχής σαρώνει με συνέπεια τη ροή ρεύματος.



Εικόνα 62

5.8.2 Τάση Κατωφλίου – Επίδραση Σώματος

Η τάση κατωφλίου ενός τρανζίστορ MOS μπορεί να οριστεί ως η τάση που εφαρμόζεται μεταξύ πύλης και πηγής κάτω από την οποία το ρεύμα υποδοχής- πηγής πέφτει ουσιαστικά στο μηδέν, δεν είναι ποτέ μηδέν αλλά έχει μια μικρή τιμή που είναι αμελητέα. Μερικοί από τους παράγοντες που επηρεάζουν τη τάση κατωφλίου είναι οι παρακάτω:

- το υλικό του αγωγού της πύλης
- το υλικό του μονωτή της πύλης
- το πάχος του μονωτή πύλης-νόθευσης καναλιού
- οι προσμείξεις στη διασύνδεση πυριτίου- μονωτή
- η τάση μεταξύ πηγής και υποστρώματος

Τα στοιχεία MOS που αποτελούν μια συσκευή κατασκευάζονται σε κοινό υπόστρωμα με συνέπεια οι τάσεις του υποστρώματος και η επίδραση του σώματος

όλων των στοιχείων να είναι κανονικά ίσες. Ωστόσο, στη δημιουργία συναρτήσεων πύλης είναι δυνατόν να απαιτηθεί η σύνδεση σε σειρά πολλών στοιχείων , το οποίο μπορεί να οδηγήσει στην αύξηση της τάσης πηγής-υποστρώματος.

5.9 Εξισώσεις Σχεδίασης Στοιχείου MOS

5.9.1 Βασικές Εξισώσεις DC

Οι ιδανικές εξισώσεις πρώτης τάξης Shockley που περιγράφουν τη συμπεριφορά ενός στοιχείου MOS στις τρεις περιοχές είναι: 1) Περιοχή αποκοπής, 2) Γραμμική, μη-κορεσμένη, ή τριοδική περιοχή και 3) Περιοχή κόρου

5.9.2 Φαινόμενα Δεύτερης Τάξης

Οι εξισώσεις αποτελούν την απλούστερη μορφή των εξισώσεων DC τάσης-ρεύματος ενός τρανζίστορ MOS. Τα μοντέλα δημιουργήθηκαν από την ανάγκη να ικανοποιηθεί πληθώρα απαιτήσεων, όπως η ακρίβεια, η υπολογιστική απόδοση και η διατήρηση φορτίου. Το πρόγραμμα εξομοίωσης κυκλωμάτων SPICE και τα παράγωγα του χρησιμοποιούν μια παράμετρο που καλείται LEVEL που προσδιορίζει το χρησιμοποιούμενο μοντέλο εξίσωσης. Το LEVEL 1 περιλαμβάνει μερικά δεύτερης-τάξης φαινόμενα, το LEVEL 2 υπολογίζει τα ρεύματα με βάση τη φυσική του στοιχείου ενώ το LEVEL 3 είναι μια ημιεμπειρική προσέγγιση που βασίζεται σε επιλεγμένες παραμέτρους οι οποίες προέρχονται από την προσπάθεια ταιριάσματος των εξισώσεων με τα πραγματικά κυκλώματα.

Τάση Κατωφλίου – Φαινόμενο Σώματος. Η τάση κατωφλίου δεν είναι σταθερή σε σχέση με τη διαφορά τάσης μεταξύ υποστρώματος και πηγής του στοιχείου MOS, γνωστή ως επίδραση πόλωσης υποστρώματος ή φαινόμενο σώματος.

Περιοχή Υποκατωφλίου. Η περιοχή αποκοπής αναφέρεται και ως περιοχή υποκατωφλίου, όπου το ρεύμα αυξάνει εκθετικά σε σχέση με τις τάσεις. Παρόλο που η τιμή του ρεύματος είναι πολύ μικρή μπορεί να χρησιμοποιηθεί για την κατασκευή κυκλωμάτων με μικρή κατανάλωση ισχύος ή μπορεί να επηρεάσει δυσμενώς σε δυναμικά κυκλώματα τους κόμβους αποθήκευσης φορτίου.

Διαμόρφωση Μήκους Καναλιού. Οι εξισώσεις που περιγράφουν τη συμπεριφορά του στοιχείου MOS υποθέτουν ότι η κινητικότητα των φορέων είναι σταθερή χωρίς να

λαμβάνουν υπόψιν τις μεταβολές του μήκους του καναλιού λόγω των αλλαγών στην τάση υποδοχής-πηγής. Για μεγάλα μήκη καναλιών η επίδραση της μεταβολής έχει μικρή συνέπεια ενώ όσο μειώνονται οι διαστάσεις των στοιχείων η μεταβολή του καναλιού πρέπει να λαμβάνεται υπόψιν στη σχεδίαση.

Μεταβολή Κινητικότητας. Η κινητικότητα περιγράφει την ευκολία που οι φορείς ολισθαίνουν μέσα στο υλικό του υποστρώματος. Οι παράγοντες που μεταβάλλουν την κινητικότητα των φορέων είναι ο τύπος του φορτίου του φορέα, η αυξανόμενη συγκέντρωση της νόθευσης και η αυξανόμενη θερμοκρασία. Η μεταβολή της θερμοκρασίας αποκτά μικρότερη σημασία όσο αυξάνει η πυκνότητα νόθευσης.

Διόδευση Fowler-Nordheim. Η ροή ρεύματος από την πύλη προς την πηγή ή προς την υποδοχή λόγω της διόδευσης ηλεκτρονίων διαμέσου του οξειδίου της πύλης συμβαίνει όταν το οξείδιο της πύλης είναι πολύ λεπτό. Το ρεύμα αυτό είναι ανάλογο με την επιφάνεια της πύλης του τρανζίστορ. Όσο μειώνονται οι διαστάσεις του ολοκληρωμένου το φαινόμενο αυτό περιορίζει τη μεταβολή του πάχους του οξειδίου της πύλης. Παρόλα αυτά, έχει ευρεία χρήση σε λογικά κυκλώματα που προγραμματίζονται με ηλεκτρικό τρόπο.

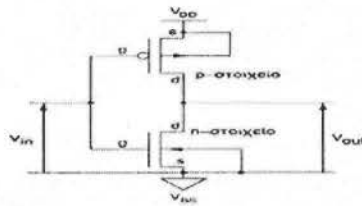
Διάτρηση Υποδοχής. Η περιοχή αραίωσης γύρω από την υποδοχή μπορεί να επεκταθεί και προς την πηγή, όταν η τάση της είναι αρκετά υψηλή σε σχέση με την πηγή. Το φαινόμενο είναι γνωστό ως συνθήκη διάτρησης και χρησιμοποιείται σε κυκλώματα προστασίας για τον περιορισμό των τάσεων σε εσωτερικούς κόμβους του κυκλώματος.

5.9.3 Μοντέλα MOS

Στην προσπάθεια πρόβλεψης με ακρίβεια της απόδοσης των στοιχείων MOS πριν αυτά κατασκευαστούν έχει αναπτυχθεί και βελτιωθεί ένας μεγάλος αριθμός μοντέλων MOS. Ανάλογα με τον διαθέσιμο εξομοιωτή του επιπέδου του κυκλώματος, μπορεί να χρησιμοποιηθεί μια πληθώρα μοντέλων εξομοίωσης των στοιχείων MOS. Οι προσπάθειες στοχεύουν στην ανάπτυξη εξομοιωτών κυκλωμάτων για εσωτερική χρήση καθώς και για μοντέλα που είναι ιδιοκτησία των κατασκευαστών. Οι περισσότερες λειτουργίες για τα CMOS κυκλώματα έχουν τυποποιηθεί σε μοντέλα του SPICE στο LEVEL 3 ως εκείνο το επίπεδο μοντελοποίησης που απαιτείται για τη σχεδίαση ψηφιακών συστημάτων CMOS.

5.10 Ο Συμπληρωματικός Αντιστροφέας CMOS – Χαρακτηριστικές DC

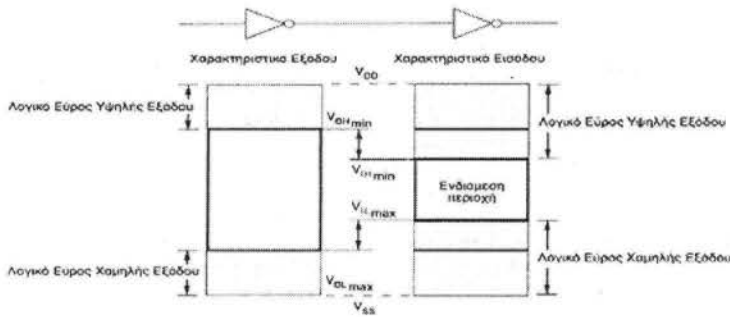
Ο συμπληρωματικός αντιστροφέας CMOS υλοποιείται με την εν σειρά σύνδεση ενός p-στοιχείου και ενός n-στοιχείου για τη λήψη των χαρακτηριστικών μεταφοράς DC του αντιστροφέα, δηλαδή, της τάσης εξόδου ως συνάρτησης της τάσης εισόδου του αντιστροφέα. Οι περιοχές λειτουργίας των n- και p-τρανζίστορ, είναι η τάση κατωφλίου του n-τρανζίστορ και του p-στοιχείου. Αντικειμενικός στόχος είναι ο προσδιορισμός της μεταβολής της τάσεως εξόδου για τις διάφορες αλλαγές της τάσης εισόδου όπως φαίνεται κα στο σχήμα παρακάτω.



Εικόνα 63

5.10.1 Περιθώριο Θορύβου

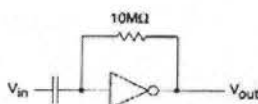
Το περιθώριο θορύβου είναι μια παράμετρος η οποία σχετίζεται με τα χαρακτηριστικά των τάσεων εισόδου και εξόδου και προσδιορίζεται σε συνάρτηση δύο παραμέτρων, το χαμηλό περιθώριο θορύβου και το υψηλό περιθώριο θορύβου. Η παράμετρος αυτή επιτρέπει να προσδιοριστεί μια επιτρεπτή τάση θορύβου στην είσοδο μιας πύλης έτσι ώστε να μην επηρεάζεται η έξοδος.



Εικόνα 64

5.10.2 Αντιστροφέας CMOS ως Ενισχυτής

Ο αντιστροφέας CMOS, όταν χρησιμοποιείται ως λογικό στοιχείο, είναι στην πραγματικότητα ένας αναλογικός ενισχυτής που λειτουργεί σε συνθήκες κόρου. Για το σκοπό αυτό υπάρχει μία αντίσταση με υψηλή τιμή μεταξύ εισόδου και εξόδου που απομονώνει τις συνιστώσες DC από την είσοδο.



Εικόνα 65

5.11 Αντιστροφείς Στατικού Φορτίου MOS

Στο κτίσιμο λογικών πυλών μπορούν να χρησιμοποιηθούν πολλές μορφές αντιστροφέων MOS εκτός του αντιστροφέα CMOS. Οι αντιστροφείς με φορτίο αντίσταση και πηγή σταθερού ρεύματος είναι κανονικά υλοποιημένοι χρησιμοποιώντας τρανζίστορ με επεξεργασία CMOS. Όταν χρησιμοποιείται τρανζίστορ ο αντιστροφέας καλείται κορεσμένου φορτίου ενώ όταν το τρανζίστορ-φορτίο είναι πολωμένο για τη χρήση του ως αντίσταση, το κύκλωμα καλείται αντιστροφέας μη-κορεσμένου φορτίου. Ένας αριθμός αντιστροφέων στατικού φορτίου που μπορούν να υλοποιηθούν με τεχνολογίες CMOS είναι οι παρακάτω:

- Αντιστροφέας Ψευδο-nMOS, χρησιμοποιεί ένα p-στοιχείο του οποίου η πύλη είναι μονίμως γειωμένη. Το κύκλωμα αυτό είναι ισοδύναμο με τη χρήση του φορτίου αραίωσης στην τεχνολογία nMOS και χρησιμοποιείται σε μια ποικιλία λογικών κυκλωμάτων CMOS.
- Αντιστροφείς Κορεσμένου Φορτίου, χρησιμοποιεί ως φορτίο ένα τρανζίστορ nMOS. Ο τύπος αυτός αντιστροφέα χρησιμοποιήθηκε σε τεχνολογίες nMOS πριν γίνουν διαθέσιμα τα φορτία αραίωσης nMOS και σε τεχνολογίες pMOS πριν γίνουν διαθέσιμες οι τεχνολογίες nMOS.
- Επιπλέον Αντιστροφείς Κορεσμένου Φορτίου, αναφέρεται σε επιπλέον ψευδό-nMOS κυκλώματα. Ο αντιστροφέας βασίζεται στην ύπαρξη ενός τρανζίστορ αραίωσης nMOS το οποίο δημιουργεί το φορτίο του κυκλώματος, δηλαδή, το κατώφλι αραίωσης είναι αρνητικό.

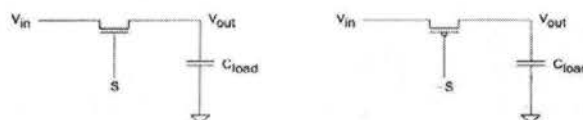
- Αντιστροφέας Διαδοχής, μοιάζει με τον ψευδο-nMOS αντιστροφέα αλλά το n-τρανζίστορ είναι συνδεδεμένο σε σειρά με το n-τρανζίστορ οδήγησης 'κάτω'.
- Αντιστροφέας για Διασύνδεση με Κυκλώματα TTL, χρησιμοποιείται για τη διασύνδεση του με λογικά συστήματα TTL. Το φορτίο p τροφοδοτεί ένα συμβατικό αντιστροφέα CMOS με μειωμένη τάση τροφοδοσίας με συνέπεια το κατώφλι εισόδου να ταιριάζει με την έξοδο TTL.

5.12 Διαφορικός Ενισχυτής

Ο διαφορικός ενισχυτής είναι ένας αντιστροφέας με δύο διαφορετικές εισόδους και ο οποίος παράγει δύο διαφορετικές εξόδους. Τα δύο n-τρανζίστορ έχουν συνδεδεμένες τις πηγές και τροφοδοτούνται από μια πηγή σταθερού ρεύματος η οποία είναι συνδεδεμένη με τη γη. Η υποδοχή κάθε n-τρανζίστορ είναι συνδεδεμένη με τα φορτία των αντιστάσεων, τα οποία τελικά συνδέονται με την τάση τροφοδοσίας.

5.13 Πύλη Μετάδοσης

Η πύλη μετάδοσης, ή συμπληρωματικός διακόπτης, υλοποιείται με την κατάλληλη σύνδεση δύο τρανζίστορ. Το κύκλωμα αποτελείται από ένα n-τρανζίστορ και ένα p-τρανζίστορ με ξεχωριστές συνδέσεις πύλης αλλά κοινές συνδέσεις για την πηγή και την υποδοχή. Στην πύλη του n-στοιχείου εφαρμόζεται ένα σήμα ελέγχου ενώ στην πύλη του p-στοιχείου εφαρμόζεται το συμπληρωματικό σήμα ελέγχου. Η λειτουργία της πύλης μετάδοσης εξαρτάται είτε από το n-στοιχείο είτε από το p-στοιχείο ως τρανζίστορ μετάδοσης. Ουσιαστικά, έχουμε το τρανζίστορ περάσματος nMOS και το τρανζίστορ περάσματος pMOS όπως φαίνεται και στο σχήμα.

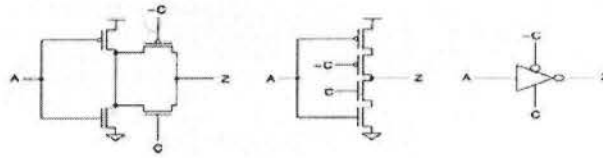


Εικόνα 66

Η πύλη μετάδοσης είναι από τα πιο βασικά στοιχεία στη λογική MOS. Χρησιμοποιείται ως στοιχείο πολύπλεξης, ως μανδαλωτής και ως αναλογικός διακόπτης. Τέλος, ενεργεί ως αντίσταση που ελέγχεται από την τάση και η οποία συνδέει είσοδο και έξοδο.

5.14 Τρισταθής Αντιστροφέας

Η σύνδεση ενός αντιστροφέα CMOS και μιας πύλης μετάδοσης μας δίνει ένα τρισταθή αντιστροφέα όπως φαίνεται στο παρακάτω σχήμα.



Εικόνα 67

Ο τρισταθής αντιστροφέας αποτελεί τη βάση για διάφορους τύπους λογικής που χρησιμοποιούν ρολόι, για μανδαλωτές, για οδηγούς διαδρόμων και για πολυπλέκτες.

5.15 Διπολικά Στοιχεία

Σε μία διαδικασία CMOS υπάρχουν και άλλα ημιαγωγικά στοιχεία που είναι κατασκευασμένα παρασιτικά ή λόγω ανάγκης όπως η δίοδος επαφής που χρησιμοποιείται κυρίως σε ψηφιακά κυκλώματα και το διπολικό τρανζίστορ που χρησιμοποιείται για να βελτιώσει την ταχύτητα των κυκλωμάτων CMOS σε τεχνολογία BiCMOS.

- Δίοδοι. Η δίοδος είναι ένα από τα πιο βασικά ημιαγωγικά στοιχεία και πραγματοποιείται όταν μέταλλο και ημιαγωγός ή δύο ημιαγωγοί δημιουργούν μια επαφή. Η δίοδος επαφής δημιουργείται από την επαφή δύο διαχύσεων αντίθετης πολικότητας και μπορεί να είναι ωμική επαφή ή μια δίοδο Schottky. Στα περισσότερα κυκλώματα CMOS δημιουργούνται μόνο ωμικές επαφές όταν το μέταλλο έρχεται σε επαφή με διαχύσεις.
- Διπολικά Τρανζίστορ. Ένα τρανζίστορ PNP κατασκευάζεται από ένα σάντουιτς μιας διάχυσης n-τύπου και δύο διαχύσεων p-τύπου ενώ ένα τρανζίστορ NPN από στρώσεις διαχύσεων με διαφορετικό τύπο στοιχείων πλειονότητας. Οι ακροδέκτες του διπολικού τρανζίστορ καλούνται συλλέκτης, βάση και πομπός.
- Αντιστροφεείς BiCMOS. Η ύπαρξη ενός τρανζίστορ NPN, λόγω του μεγάλου κέρδους ρεύματος, μπορεί να βελτιώσει σημαντικά την ικανότητα της εξόδου ενός συμβατικού αντιστροφέα CMOS για οδήγηση. Το κύκλωμά αυτό καλείται αντιστροφέας BiCMOS.

ΚΕΦΑΛΑΙΟ 6: Τεχνολογία Επεξεργασίας, Χαρακτηρισμός Κυκλώματος και Εκτίμηση Απόδοσης CMOS

6.1 Τεχνολογία για τον Ημιαγωγό Πυριτίου: Γενική Θεώρηση

Το πυρίτιο στην καθαρή του μορφή είναι ημιαγωγός έχοντας ηλεκτρική αντίσταση κύριου σώματος κάπου μεταξύ αγωγού και μονωτή. Η αγωγιμότητα του πυριτίου μπορεί να μεταβληθεί με την πρόσμειξη ατόμων κατάλληλων υλικών που νοθεύουν τον ημιαγωγό και παρέχουν ηλεκτρόνια ή οπές. Τα στοιχεία που χρησιμοποιούν ηλεκτρόνια καλούνται αποδέκτες ενώ αυτά που παρέχουν δότες. Αν το πυρίτιο περιέχει πλειονότητα δοτών χαρακτηρίζεται n-τύπου ενώ αν περιέχει πλειονότητα αποδεκτών p-τύπου. Η περιοχή όπου το πυρίτιο αλλάζει από n-τύπου σε p-τύπου ονομάζεται επαφή. Βάζοντας κατάλληλα τις επαφές σε συγκεκριμένες φυσικές δομές μπορούν να κατασκευαστούν διάφορα ημιαγωγικά στοιχεία με συγκεκριμένες ιδιότητες.

6.1.1 Επεξεργασία Δισκίου

Το βασικό ακατέργαστο υλικό που χρησιμοποιείται είναι ένα δισκίο πυριτίου που προέρχεται από τον τεμαχισμό ράβδων μονοκρυσταλλικού πυριτίου. Το καθαρό λιωμένο πολυκρυσταλλικό πυρίτιο μαζί με ελεγχόμενες ποσότητες προσμείξεων μας δίνουν τη δυνατότητα να κατασκευάσουμε ένα κρύσταλλο με τις απαιτούμενες ηλεκτρικές ιδιότητες.

6.1.2 Οξειδωση

Οι ιδιότητες του οξειδίου του πυριτίου χρησιμοποιούνται σε πολλές δομές και τεχνικές κατασκευής για να φτιαχτούν ολοκληρωμένα κυκλώματα πυριτίου. Η οξειδωση του πυριτίου επιτυγχάνεται με τη θέρμανση των δισκίων του πυριτίου είτε με υγρή οξειδωση, όταν η ατμόσφαιρα οξειδωσης περιέχει ατμούς νερού είτε με ξηρή οξειδωση όταν η ατμόσφαιρα οξειδωσης περιέχει καθαρό οξυγόνο.

6.1.3 Επίταξη, Απόθεση, Εμφύτευση Ιόντων και Διάχυση

Στα ημιαγωγικά στοιχεία απαιτείται το πυρίτιο τους να περιέχει διάφορες προσμείξεις από δότες ή αποδέκτες το οποίο επιτυγχάνεται με τη χρήση επίταξης,

απόθεσης ή εμφύτευσης. Η επίταξη περιλαμβάνει την ανάπτυξη μιας μονο κρυσταλλικής μεμβράνης πάνω στην επιφάνεια του πυριτίου που υποβάλλεται σε αυξημένη θερμοκρασία και σε μια πηγή νόθευσης. Η απόθεση περιλαμβάνει την εξάτμιση υλικού νόθευσης πάνω στην επιφάνεια του πυριτίου με συνέπεια οι προσμείξεις να οδηγηθούν στο κύριο σώμα. Στην εμφύτευση ιόντων το υπόστρωμα του πυριτίου υπόκειται στην επίδραση ατόμων υψηλής ενέργειας δοτών ή αποδεκτών. Η κατασκευή τρανζίστορ εξαρτάται από τη δυνατότητα να ελεγχθούν οι προσμείξεις που παρουσιάζονται στην επιφάνεια του πυριτίου. Το που θα τοποθετηθούν οι προσμείξεις καθορίζεται από τη χρήση ειδικών υλικών όπως μάσκες και τα υλικά που χρησιμοποιούνται είναι τα ακόλουθα: α) φωτοευαίσθητο υλικό, β) πολυπυρίτιο, γ) διοξείδιο του πυριτίου και δ) νιτρίδιο του πυριτίου

6.1.4 Επεξεργασία Πύλης

Σε μια τυπική επεξεργασία πύλης πυριτίου περιλαμβάνονται τα βήματα της χάραξης του οξειδίου και της χρήσης φωτός πάνω σε μάσκες. Τα βήματα επεξεργασίας που περιλαμβάνονται είναι: α) απλό δισκίο πυριτίου, β) δισκίο SiO_2 και φωτοευαίσθητο υλικό, γ) έκθεση του φωτοευαίσθητου υλικού σε ακτινοβολία UV και δ) τελική χάραξη του SiO_2 .

6.2 Βασική Τεχνολογία CMOS

Η τεχνολογία CMOS έχει αναγνωριστεί ως η κυρίαρχη τεχνολογία συστημάτων VLSI. Χαρακτηρίζεται ως τεχνολογία με χαμηλή στατική κατανάλωση ισχύος και παρέχει γινόμενο ισχύος-καθυστέρησης μικρότερο από τις τεχνολογίες nMOS, διπολική και GaAs. Οι τέσσερις πιο σημαντικές τεχνολογίες CMOS είναι:

- Επεξεργασία n-πηγαδιού. Μία συνήθης προσέγγιση για την κατασκευή n-πηγαδιού σε τεχνολογία CMOS αρχίζει από ένα υπόστρωμα p-τύπου ελαφρά νοθευμένο. Στο υπόστρωμα αυτό δημιουργείται το πηγάδι n-τύπου για τα στοιχεία p-τύπου και στη συνέχεια κτίζονται τα n-τρανζίστορ στο ανόθευτο υπόστρωμα p-τύπου.
- Επεξεργασία p-πηγαδιού. Χρησιμοποιήθηκε για την κατασκευή στοιχείων CMOS πριν την επεξεργασία n-πηγαδιού. Είναι παρόμοια με τα αντίστοιχα της επεξεργασίας n-πηγαδιού εκτός από το ότι το p-πηγάδι προέρχεται από

εμφύτευση σε σχέση με το n-πηγάδι. Οι επεξεργασίες p-πηγαδιού προτιμώνται όταν τα χαρακτηριστικά των απαιτούμενων n- και p- τρανζίστορ είναι περισσότερο ισορροπημένα από ότι πραγματοποιήσιμα με επεξεργασία n-πηγαδιού.

- Επεξεργασία δίδυμου κάδου. Αποτελεί τη βάση για να γίνει ξεχωριστά η βελτιστοποίηση των τρανζίστορ p- και n-τύπου, και συνεπώς η τάση καταωφλίου, το φαινόμενο σώματος και το κέρδος των n- και p-στοιχείων βελτιστοποιούνται ανεξάρτητα το ένα από το άλλο. Η επεξεργασία είναι η ίδια με του n-πηγαδιού, εκτός από τη δημιουργία του κάδου που χρησιμοποιούνται και τα δύο πηγάδια p και n. Η διαδικασία έχει ως εξής: α) δημιουργία κάδου, β) κατασκευή λεπτού οξειδίου γ) εμφυτεύσεις πηγής και υποδοχής, δ) προσδιορισμός των τομών των επαφών και ε) κτίσιμο επιπέδου μετάλλου.
- Πυρίτιο πάνω σε μονωτή. Η ανάπτυξη της τεχνολογίας αυτής προέκυψε από τη χρήση μονωτικού υποστρώματος για βελτίωση χαρακτηριστικών της επεξεργασίας, όπως latchup και ταχύτητα. Οι CMOS SOI επεξεργασίες έχουν πλεονεκτήματα σε σχέση με τις τεχνολογίες CMOS όπως είναι η πυκνότερη τοποθέτηση των p- και n-τρανζίστορ, η απουσία προβλημάτων latchup καθώς και οι μικρές παρασιτικές χωρητικότητες του υποστρώματος. Στην τεχνολογία αυτή δεν υπάρχουν τα επιπλέον βήματα για τη δημιουργία πηγαδιού.

6.3 Βελτιώσεις Επεξεργασίας CMOS

Στις επεξεργασίες CMOS έχει προστεθεί ένας αριθμός βελτιώσεων για να αυξήσουν την ικανότητα διασύνδεσης των κυκλωμάτων, να δώσουν πυκνωτές υψηλής ποιότητας για αναλογικά κυκλώματα και μνήμες και αντιστάσεις με μεταβλητά χαρακτηριστικά. Οι βελτιώσεις αυτές περιλαμβάνουν: α) διπλό ή τριπλό ή τετραπλό επίπεδο μετάλλου (ή περισσότερα), β) διπλό ή τριπλό ή τετραπλό επίπεδο πολυπυριτίου (ή περισσότερα) και γ) συνδυασμούς όλων των παραπάνω.

6.3.1 Σύνδεση

Η παρουσία επιπρόσθετων στρώσεων διασύνδεσης σήματος και ισχύος είναι πολύ σημαντικές σε λογικές επεξεργασίες CMOS. Οι στρώσεις αυτές διευκολύνουν τις διασυνδέσεις των λογικών σημάτων μεταξύ των δομικών μονάδων και βελτιώνουν την

κατανομή της ισχύος και του ρολογιού στα διάφορα στοιχεία. Αυξημένος αριθμός διασυνδέσεων μπορεί να επιτευχθεί με τη χρήση επιπλέον στρώσεων μετάλλου ή με τη βελτίωση της υπάρχουσας στρώσης πολυπυριτίου. Έτσι μπορούμε να έχουμε:

- Σύνδεση Μετάλλου. Το δεύτερο επίπεδο μετάλλου είναι σχεδόν υποχρεωτικό στη μοντέρνα ψηφιακή σχεδίαση CMOS. Το τρίτο επίπεδο μετάλλου αρχίζει να γίνεται κοινό και απαιτείται σε υψηλής ποιότητας ολοκληρωμένα κυκλώματα.
- Σύνδεση Πολυπυριτίου. Χρησιμοποιείται ευρέως ως στρώση διασύνδεσης στις πύλες των τρανζίστορ. Αν χρησιμοποιηθεί ως αγωγός μεγάλης απόστασης το καλώδιο πολυπυριτίου μπορεί να παρουσιάσει σημαντική καθυστέρηση η οποία βελτιώνεται με το να συνδυαστεί πολυπυρίτιο με πυρίμαχο μέταλλο.
- Τοπική Σύνδεση. Το πυριτιούχο υλικό χρησιμοποιείται ως μια στρώση τοπικής σύνδεσης που επιτρέπει άμεση σύνδεση μεταξύ πολυπυριτίου και διάχυσης και εξαλείφει την ανάγκη για επαφές και μέταλλα που απαιτούν επιφάνεια. Η τοπική σύνδεση συμπληρώνει τις διασυνδέσεις μεταξύ των κυττάρων, αφήνοντας τις υπόλοιπες στρώσεις μετάλλου για καθολική καλωδίωση.

6.3.2 Κυκλωματικά Στοιχεία

1. Αντιστάσεις

Η ιδιότητα του πολυπυριτίου να παρουσιάζει υψηλή αντίσταση, αν μείνει ανόθευτο, χρησιμοποιείται για να κατασκευαστούν αντιστάσεις που περιλαμβάνονται σε στατικά κύτταρα μνήμης. Για CMOS με μικτά σήματα μπορεί να προστεθεί μέταλλο υψηλής αντίστασης, όπως το χρωμιούχο νικέλιο, για να δώσει αντιστάσεις υψηλής τιμής και ποιότητας. Οι παραγόμενες αντιστάσεις παρουσιάζουν άριστη σταθερότητα σε σχέση με τη θερμοκρασία και μακροχρόνια αξιοπιστία.

2. Πυκνωτές

Οι καλής ποιότητας πυκνωτές απαιτούνται για τα αναλογικά κυκλώματα με διακοπτόμενους πυκνωτές ενώ στα δυναμικά κύτταρα μνήμης απαιτούνται μικροί πυκνωτές υψηλής –τιμής/επιφάνειας. Οι δύο τύποι πυκνωτών έχουν τουλάχιστον μία επιπλέον στρώση πολυπυριτίου αν και οι τεχνικές επεξεργασίας είναι πολύ διαφορετικές.

3. Ηλεκτρικά Τροποποιήσιμες ROM

Στις τεχνολογίες CMOS προστίθενται ηλεκτρικά τροποποιήσιμες ROM για να πετύχουν μόνιμη, αλλά επαναπρογραμματιζόμενη αποθήκευση σε μια επεξεργασία. Αυτό επιτυγχάνεται προσθέτοντας μία στρώση πολυπυριτίου. Η τυπική δομή μνήμης αποτελείται από δύο πύλες η μία πάνω στην άλλη. Η κανονική πύλη αφήνεται αιωρούμενη, ενώ η πύλη ελέγχου τοποθετείται από πάνω.

4. Διπολικά Τρανζίστορ

Η πρόσθεση ενός διπολικού τρανζίστορ σε ένα στοιχείο αποτελεί τη βάση για τις τεχνολογίες BiCMOS και βοηθά στη μείωση των χρονικών καθυστερήσεων σημάτων με υψηλά φορτία, όπως διάδρομοι μικροεπεξεργαστών και γραμμές λέξεων μνήμης. Τα διπολικά τρανζίστορ δίνουν αναλογικές λειτουργίες καλύτερης απόδοσης από ότι τα MOS μόνα τους. Έτσι, ο συνδυασμός διπολικής και CMOS λειτουργίας γίνεται με την πρόσθεση τρανζίστορ MOS σε διπολική τεχνολογία και αντίστροφα.

5. Τρανζίστορ Λεπτής-Μεμβράνης

Ένα τρανζίστορ λεπτής μεμβράνης έχει τις περιοχές πηγής-υποδοχής και καναλιού κατασκευασμένες από λεπτές μεμβράνες ημιαγωγικού υλικού. Τα τρανζίστορ λεπτής μεμβράνης χρησιμοποιούνται εκτός από τις τεχνολογίες SOI, σε επίπεδες οθόνες και σε μνήμες υψηλής πυκνότητας όπως είναι το παράδειγμα των TFT, τα οποία προστίθενται σε υπάρχουσες τεχνολογίες CMOS.

6.3.3 Τριών Διαστάσεων CMOS

Η προσθήκη τρανζίστορ λεπτής μεμβράνης στις μνήμες αξιοποιεί αποτελεσματικά την τρίτη διάσταση που είναι διαθέσιμη σε ένα ολοκληρωμένο. Η τελική δομή έχει ένα p- κι ένα n-τρανζίστορ με κοινή πύλη, ενώ το p-τρανζίστορ έχει μία επιπλέον παράλληλη πύλη η οποία το ελέγχει. Αυτή η βασική δομή επιτρέπει την κατασκευή ενός αντιστροφέα και ενός πολυπλέκτη 2-εισόδων. Αυτή η καινοτόμο τεχνολογία, έδωσε τη δυνατότητα να σχεδιαστούν κυκλώματα τα οποία ήταν μικρότερα μέχρι και 33% από ότι οι συγκρίσιμες δισδιάστατες δομές.

6.4 Κανόνες Υλοποίησης Φυσικής Σχεδίασης

Οι κανόνες φυσικής σχεδίασης ή κανόνες σχεδίασης είναι μια συνταγή για την παρασκευή των φωτομασκών οι οποίες χρησιμοποιούνται στην κατασκευή ολοκληρωμένων συστημάτων. Ο κυριότερος σκοπός τους είναι η λήψη ενός κυκλώματος με βέλτιστη απόδοση υλικού σε όσο το δυνατόν μικρότερη επιφάνεια, χωρίς όμως να γίνεται κανένας συμβιβασμός στην αξιοπιστία του κυκλώματος. Οι κανόνες σχεδίασης αντιπροσωπεύουν τον καλύτερο δυνατό συμβιβασμό μεταξύ ταχύτητας ολοκληρωμένου και απόδοσης υλικού. Οι συντηρητικοί κανόνες δίνουν μεγάλη πιθανότητα ότι το κύκλωμα θα λειτουργήσει σωστά και οι επιθετικοί κανόνες αυξάνουν την πιθανότητα βελτίωσης της απόδοσης του κυκλώματος η οποία μπορεί να γίνει σε βάρος της απόδοσης υλικού. Οι κανόνες σχεδίασης αφορούν δύο ζητήματα: α) τη γεωμετρική αναπαραγωγή των σχημάτων που μπορούν να αναπαραχθούν από τη διαδικασία κατασκευής των μασκών και της λιθογραφίας και β) την αλληλεπίδραση μεταξύ των δύο διαφορετικών στρώσεων.

6.4.1 Αναπαράσταση Στρώσεων

Οι εξελίξεις στις τεχνολογίες CMOS είναι περίπλοκες και κατά κάποιο τρόπο απαγορεύουν την οπτικοποίηση των μασκών όλων των επιπέδων που χρησιμοποιούνται σε μια πραγματική διαδικασία κατασκευής. Στο τελικό δισκίο πυριτίου, σε υψηλό εννοιολογικό επίπεδο, όλες οι τεχνολογίες CMOS χρησιμοποιούν δύο διαφορετικά υποστρώματα, νοθευμένες περιοχές υλικού, ηλεκτρόδια πύλης τρανζίστορ, μονοπάτια σύνδεσης και επαφές μεταξύ διαφορετικών στρώσεων.

6.4.2 Υπόβαθρο Κανόνων Σχεδίασης

Ανάλυση μερικών κανόνων σχεδίασης που αναφέρθηκαν παραπάνω.

Κανόνες πηγαδιού: Το n-πηγάδι είναι μια βαθύτερη εμφύτευση, συγκρινόμενη με τις εμφυτεύσεις πηγής-υποδοχής ενός τρανζίστορ και για αυτό είναι αναγκαίο για την εξωτερική διάσταση να υπάρχει ικανοποιητικά σαφήνεια μεταξύ των ακμών του n-πηγαδιού και των γειτονικών διαχύσεων.

Κανόνες τρανζίστορ: Η διάχυση πηγής και υποδοχής καλύπτεται από την μάσκα της περιοχής πολυπυριτίου όπου το πολυπυρίτιο διασταυρώνεται με ενεργή περιοχή. Για αυτό η πηγή, η υποδοχή και το κανάλι αυτοευθυγραμμίζονται με την πύλη.

Κανόνες επαφής: Οι διαθέσιμες επαφές που υπάρχουν είναι πολλές: Μέταλλο με p-ενεργό, Μέταλλο με n-ενεργό, Μέταλλο με πολυπυρίτιο, Επαφές υποστρώματος και Σχισμή.

Κανόνες μετάλλου: Οι αποστάσεις των μετάλλων μπορεί να διαφέρουν ανάλογα με τα πλάτη των γραμμών μετάλλου. Αυτό οφείλεται στα χαρακτηριστικά χάραξης των μικρών καλωδίων σε σχέση με τα μεγάλα καλώδια μετάλλου. Τα χαρακτηριστικά αυτά μπορεί να είναι κανόνες μέγιστου πλάτους μετάλλου.

Κανόνες περασμάτων: Οι τεχνολογίες μπορεί να διαφέρουν στο αν επιτρέπουν στα περάσματα να τοποθετηθούν πάνω από περιοχές πολυπυριτίου και διάχυσης. Μερικές τεχνολογίες επιτρέπουν σε περάσματα να τοποθετηθούν μέσα σε αυτές περιοχές, αλλά δεν επιτρέπουν να τοποθετηθούν στα όρια του πολυπυριτίου ή της διάχυσης.

Κανόνες μετάλλου-2: Λόγω της κάθετης τοπολογίας, η πιθανή αύξηση στο πλάτος και ο διαχωρισμός του δευτέρου επιπέδου μετάλλου είναι αρκετά συντηρητικοί κανόνες. Οι μοντέρνες τεχνολογίες έχουν τις ίδιες αποστάσεις μετάλλου-1 και μετάλλου-2.

Κανόνες περασμάτων-2: Οι κανόνες για την τοποθέτηση περασμάτων-2 μπορούν να αλλάξουν με το είδος της τεχνολογίας όπως και με τα πρώτα περάσματα.

Κανόνες μετάλλου-3: Οι κανόνες αυτοί αυξάνουν στο πλάτος και το διαχωρισμό από το μέταλλο-2. Το μέταλλο-3 χρησιμοποιείται για τις συνδέσεις τροφοδοσίας ισχύος και την κατανομή ρολογιού.

Επικάλυψη με γυαλί: ένα προστατευτικό στρώμα γυαλιού που καλύπτει το τελικό ολοκληρωμένο. Απαιτούνται ανοίγματα στους ακροδέκτες και σε κάθε εσωτερικό σημείο δοκιμής.

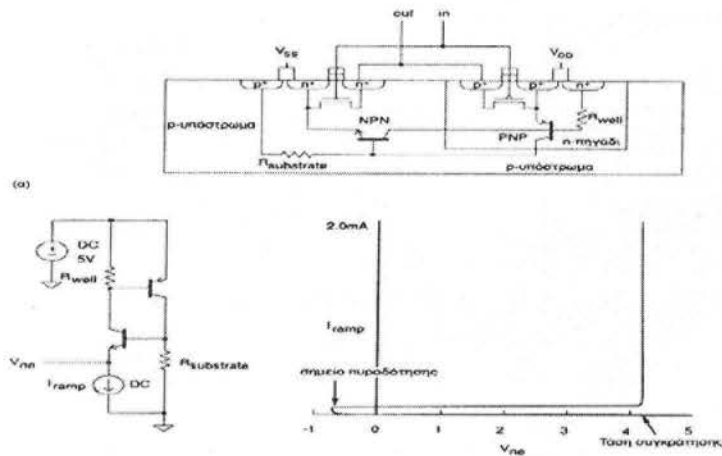
Η γραμμή χάραξης είναι μια ειδικά σχεδιασμένη δομή που περιβάλλει όλο το ολοκληρωμένο και είναι το σημείο στο οποίο το ολοκληρωμένο κόβεται με μια λεπίδα διαμαντιού.

6.5 Latchup

Το κρίσιμο πρόβλημα της τεχνολογίας CMOS είναι η επίδραση ενός παρασιτικού κυκλώματος που ονομάζεται latchup. Το αποτέλεσμα είναι η βραχυκύκλωση των γραμμών με τελικό αποτέλεσμα την καταστροφή του ολοκληρωμένου ή τουλάχιστον την αποτυχία του κυκλώματος με την ταυτόχρονη απαίτηση για τη διακοπή της ισχύος.

6.5.1 Η Φυσική Πηγή του Latchup

Η πηγή του φαινομένου latchup εξηγείται μελετώντας τη διατομή ενός αντιστροφέα CMOS καθώς και το ισοδύναμο κύκλωμα του. Το σχηματικό απεικονίζει, εκτός από τα αναμενόμενα τρανζίστορ nMOS και pMOS, το κύκλωμα που αποτελείται από ένα npn-τρανζίστορ, ένα pnp-τρανζίστορ και δύο αντιστάσεις που έχουν συνδεθεί μεταξύ των γραμμών ισχύος και γείωσης.



Εικόνα 68

6.5.2 Πυροδότηση Latchup

Το φαινόμενο latchup συμβαίνει όταν το παρασιτικό κύκλωμα npn-pnp πυροδοτηθεί και διατηρηθεί η κατάσταση συγκράτησης. Το latchup μπορεί να πυροδοτηθεί σε ένα ολοκληρωμένο από μεταβατικά ρεύματα ή τάσεις εσωτερικά κατά τη διάρκεια της έναρξης τροφοδοσίας ή εξωτερικά εξαιτίας τάσεων ή ρευμάτων πέρα από φυσιολογικές περιοχές λειτουργίας. Οι δύο μέθοδοι πυροδότησης είναι η πλευρική και η κάθετη. Πλευρική πυροδότηση συμβαίνει όταν ρέει ρεύμα στον εκπομπό του

πλευρικού ηρη-τρανζίστορ ενώ κάθετη συμβαίνει όταν εγχέεται στον εκπομπό του κάθετου ηρη-τρανζίστορ ένα επαρκές ρεύμα.

6.5.3 Προστασία από Latchup

Το latchup μπορεί να αποφευχθεί με δύο κυρίως τρόπους: 1) Τεχνολογίες CMOS ανθεκτικές στο latchup και 2) Τεχνικές φυσικής σχεδίασης

6.5.4 Τεχνικές Προστασίας από Εσωτερικό Latchup

Η πιθανότητα πρόκλησης latchup στα εσωτερικά κυκλώματα έχει μειωθεί πάρα πολύ εφόσον χρησιμοποιούνται άφθονες επαφές υποστρώματος. Μερικοί κανόνες για τη μείωση της πιθανότητας εμφάνισης εσωτερικού latchup είναι: 1. Κάθε πηγάδι πρέπει να έχει επαφή υποστρώματος του κατάλληλου τύπου. 2. Κάθε επαφή υποστρώματος πρέπει να συνδέεται με μέταλλο απευθείας σε ένα ακροδέκτη τροφοδοσίας και 3. Τοποθέτηση επαφών υποστρώματος όσο το δυνατόν κοντύτερα στη σύνδεση της πηγής των τρανζίστορ που συνδέονται με τις γραμμές τροφοδοσίας.

6.6 Θέματα CAD σχετιζόμενα με την τεχνολογία

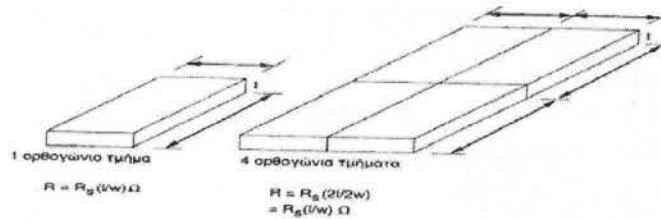
Η βάση δεδομένων μίας μάσκας αποτελεί τη διασύνδεση μεταξύ του κατασκευαστή ημιαγωγών και του σχεδιαστή ολοκληρωμένων κυκλωμάτων. Οι δύο έλεγχοι που πρέπει να γίνουν για να εξασφαλιστεί ότι η περιγραφή του κυκλώματος δίνει ολοκληρωμένο που δουλεύει σωστά είναι α) η ικανοποίηση προκαθορισμένων γεωμετρικών κανόνων σχεδίασης και β) η αλληλοσυσχέτιση των μασκών για την παραγωγή μέσω των διαφόρων βημάτων της επεξεργασίας των σωστών κυκλωμάτων. Για να πραγματοποιηθούν οι έλεγχοι απαιτούνται δύο βασικά εργαλεία, α) το πρόγραμμα που ελέγχει τους κανόνες σχεδίασης DRC και β) το πρόγραμμα εξαγωγής της μάσκας του κυκλώματος. Ένα σύνολο κανόνων DRC ή εξαγωγής κυκλώματος για μία δεδομένη επεξεργασία CMOS προσδιορίζεται από τις πράξεις που θα πρέπει να εκτελεστούν σε κάθε μάσκα καθώς και από τους ελέγχους που θα πρέπει να ολοκληρωθούν μεταξύ των μασκών.

6.7 Χαρακτηρισμός κυκλώματος

Όπως είδαμε μια δομή MOS προκύπτει από την υπέρθεση ενός αριθμού στρώσεων από μονωτικά και αγωγικά υλικά καθώς και από υλικά σχηματισμού των τρανζίστορ. Οι περιοχές της πύλης, της πηγής και της υποδοχής αποτελούνται από

στρώσεις διάχυσης, πολυπυριτίου και μετάλλου οι οποίες διαχωρίζονται από στρώσεις μονωτικού υλικού. Κάθε στρώση έχει αντίσταση και χωρητικότητα.

6.8 Εκτίμηση Αντίστασης



Εικόνα 69

Η αντίσταση μιας ομοιόμορφης φέτας ενός αγώγιμου υλικού μπορεί να εκφραστεί ως:

$$R = \left(\frac{\rho}{t}\right) \left(\frac{l}{w}\right) \quad (\text{ohms}) \quad R = R_s \left(\frac{l}{w}\right) \quad (\text{ohms})$$

Τύποι 6.1 και 6.2

ρ = ειδική αντίσταση, l = μήκος αγωγού, t = πάχος, w = πλάτος αγωγού, RS = αντίσταση φύλλου

Άρα η αντίσταση ενός αγωγού προκύπτει από τον πολλαπλασιασμό τη αντίστασης φύλλου με το λόγο του μήκους προς το πλάτος του αγωγού.

Ο πίνακας παρακάτω σκιαγραφεί τυπικές τιμές αντιστάσεων φύλλου δείχνοντας μας ότι τα πάνω επίπεδα μετάλλου έχουν μειωμένη αντίσταση επειδή είναι συνήθως παχύτερα.

Υλικό	ΦΥΛΛΟ		Ω/SQ
	Ελάχιστη	Τυπική	Μέγιστη
Μεταξύ μετάλλων (μέταλλο-1 και μέταλλο-2)	0.05	0.07	0.1
Πάνω μέταλλο (μέταλλο-3)	0.03	0.04	0.05
Πολυπυριτίο	15	20	30
Πυριτιούχος γραμμή	2	3	6
Διάχυση (n^+ , p^+)	10	25	100
Πυριτιούχος διάχυση	2	4	10
n-πηγάδι	1K	2K	5K

Πίνακας

Η χαρακτηριστική τάση – ρεύματος ενός τρανζίστορ MOS είναι μη γραμμική αλλά για την εκτίμηση της απόδοσης μπορεί να προσεγγιστεί ως συνάρτηση της αντίστασης του καναλιού ως εξής:

$$R_c = k \left(\frac{L}{w} \right) \quad k = \frac{I}{\mu C_{ox} (V_{gs} - V_t)}$$

Τύποι 6.3 και 6.4

Επειδή η κινητικότητα είναι συνάρτηση της θερμοκρασίας, η αντίσταση καναλιού αλλάζει με τη μεταβολή θερμοκρασίας όπως κι η αντίσταση του αγωγού κι οι διαχύσεις πηγαδιού. Για αύξηση πάνω από 25 C, η αντίσταση καναλιού αυξάνεται κατά 25% ανά C, ενώ αυξάνεται γύρω στο 0,3%/C η αντίσταση του αγωγού και 1%/C η διάχυση πηγαδιού.

6.8.1 Αντίσταση μη Ορθογωνίων Τμημάτων

Ο υπολογισμός της αντίστασης μη ορθογωνίων τμημάτων γίνεται με την τμηματοποίηση των σχημάτων σε απλές μορφές των οποίων η αντίσταση μπορεί να υπολογιστεί.

6.8.2 Αντίσταση Επαφής και Περάσματος

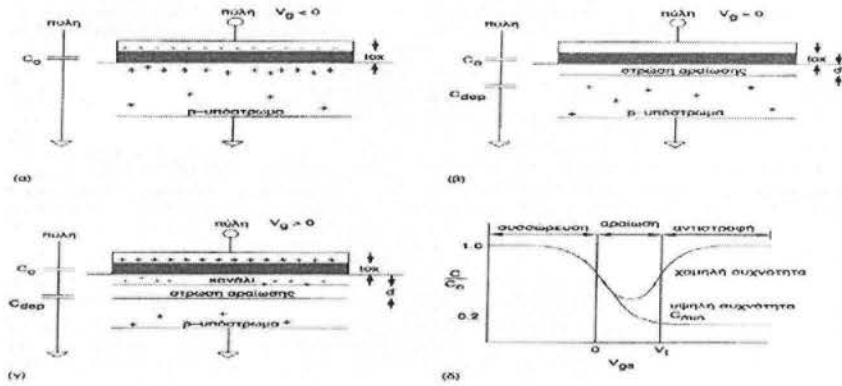
Η αντίσταση των συνηθισμένων επαφών και περασμάτων (via) είναι ανάλογη με την επιφάνεια των επαφών και εξαρτάται με τα υλικά που έρχονται σε επαφή. Όσο μειώνεται το μέγεθος των επαφών, τόσο αυξάνεται η αντίστασή τους. Οι τυπικές τιμές κυμαίνονται μεταξύ 0,25Ω και μερικών δεκάδων Ω.

6.9 Εκτίμηση Χωρητικότητας

Το συνολικό χωρητικό φορτίο στην έξοδο μιας πύλης MOS προκύπτει από το άθροισμα της: α) Χωρητικότητας πύλης (των άλλων εισόδων που συνδέονται στην έξοδο της πύλης) β) Χωρητικότητας διάχυσης (των περιοχών υποδοχής που συνδέονται στην έξοδο) και γ) Χωρητικότητας διασυνδέσεων (των συνδέσεων μεταξύ της εξόδου και των άλλων εισόδων).

6.9.1 Χαρακτηριστικά Πυκνωτή MOS

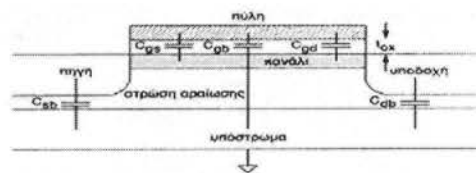
Οι χαρακτηριστικές χωρητικότητας – τάσης ενός πυκνωτή MOS (χωρίς πηγή και υποδοχή) εξαρτώνται από την κατάσταση της επιφάνειας του ημιαγωγού, που μπορεί να βρίσκεται σε κατάσταση α) συσσώρευσης, β) αραίωσης και γ) αντιστροφής



Εικόνα 70

6.9.2 Χωρητικότητες Στοιχείου MOS

Οι παρασιτικές χωρητικότητες ενός τρανζίστορ MOS προσδιορίζονται ως οι χωρητικότητες πύλης προς κανάλι που είναι συγκεντρωμένες στις περιοχές πηγής και υποδοχής, οι χωρητικότητες διάχυσης πηγής και υποδοχής προς το κύριο σώμα, η χωρητικότητα πύλης προς το κύριο σώμα.



Εικόνα 71

Η συνολική χωρητικότητα δίνεται από τη σχέση:

$$C_g = C_{gb} + C_{gs} + C_{gd}$$

Τύπος 6.5

Η συμπεριφορά της χωρητικότητας πύλης ενός στοιχείου MOS μπορεί να δοθεί ως συνάρτηση των ακόλουθων απλών μοντέλων για τις τρεις περιοχές λειτουργίας.

- Περιοχή αποκοπής

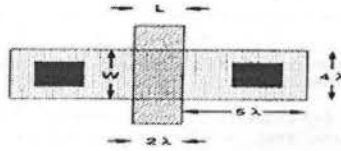
- Μη κορεσμένη περιοχή
- Περιοχή κορεσμένη

Παράμετρος	Αποκοπή	ΧΩΡΗΤΙΚΟΤΗΤΑ	
		Μη-κορεσμένο	Κορεσμένο
C_{gh}	$\frac{\epsilon A}{t_{ox}}$	0	0
C_{gx}	0	$\frac{\epsilon A}{2t_{ox}}$	$\frac{2\epsilon A}{3t_{ox}}$
C_{gd}	0	$\frac{\epsilon A}{2t_{ox}}$	0 (πεπερασμένο για στοιχεία με μικρό κανάλι)
$C_g = C_{gh} + C_{gx} + C_{gd}$	$\frac{\epsilon A}{t_{ox}}$	$\frac{\epsilon A}{t_{ox}}$	$\frac{2\epsilon A}{3t_{ox}} \rightarrow \frac{2\epsilon A}{t_{ox}}$ (μικρό κανάλι)

Πίνακας

6.9.3 Χωρητικότητα Διάχυσης (Πηγής/Υποδοχής)

Η πηγή και η υποδοχή των στοιχείων και του καναλιού δημιουργούνται από διάχυσεις με πολύ μικρό βάθος, οι οποίες χρησιμοποιούνται και ως καλώδια.



Εικόνα 72

Η χωρητικότητα διάχυσης C_d είναι ανάλογη της ολικής επιφάνειας της επαφής διάχυσης – υποστρώματος και δίνεται από τον τύπο:

$$C_d = C_{ja} \times (ab) + C_{jp} \times (2a + 2b)$$

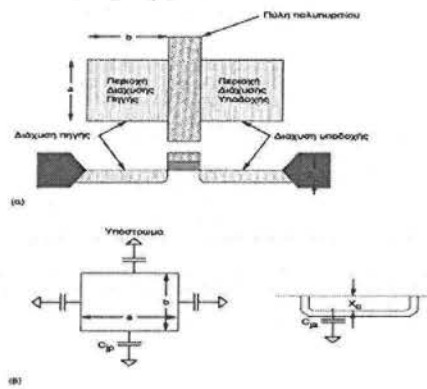
Τύπος 6.6

Όπου

C_{ja} = χωρητικότητα επαφής ανά μ^2 , C_{jp} = χωρητικότητα περιφέρειας ανά μ

a = πλάτος διάχυσης (μ) και b = μήκος περιοχής διάχυσης (μ)

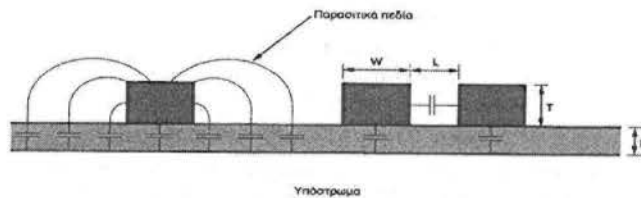
Το μοντέλο που χρησιμοποιείται για τον υπολογισμό της χωρητικότητας διάχυσης έχει ως εξής:



Εικόνα 73

6.9.4 Χωρητικότητα Διασύνδεσης

Οι χωρητικότητες διασυνδέσεων μεταξύ μετάλλου και πολυπυριτίου καθώς και του υποστρώματος μπορεί να προσεγγιστούν από το μοντέλο τω παράλληλων πλακών $C=(\epsilon/t)A$, όπου A είναι η επιφάνεια των παραλλήλων πλακών του πυκνωτή, t το πάχος του μονωτή και ϵ είναι η διηλεκτρική σταθερά του μονωτικού υλικού μεταξύ των πλακών.

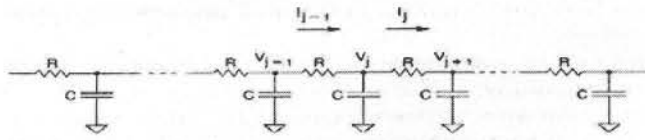


Εικόνα 74

Η προσέγγιση των πλακών αγνοεί τα παρασιτικά πεδία που λαμβάνουν χώρα στις άκρες του αγωγού λόγω του πεπερασμένου πάχους. Ένας αγωγός μπορεί να παρουσιάσει χωρητικότητα με ένα διπλανό αγωγό της ίδιας στρώσης.

6.9.5 Κατανεμημένες Επιδράσεις RC

Η διάδοση ενός σήματος κατά μήκος ενός αγωγού εξαρτάται από πολλούς παράγοντες όπως η κατανεμημένη αντίσταση και η χωρητικότητα του καλωδίου, η σύνθετη αντίσταση της πηγής που οδηγεί και το φορτίο της σύνθετης αντίστασης. Για καλώδια μεγάλου μήκους με υπολογίσιμη αντίσταση φύλλου, οι καθυστερήσεις διάδοσης που προκαλούνται στη στρώση καλωδίωσης από την κατανεμημένη αντίσταση και χωρητικότητα (RC) είναι σημαντικές. Ένα μακρύ καλώδιο μπορεί να εκφραστεί ως συνάρτηση πάρα πολλών τμημάτων RC.



Εικόνα 75

6.9.6 Οδηγίες Σχεδίασης Μήκους Καλωδίου

Ένας ηλεκτρικός κόμβος μπορεί να οριστεί ως εκείνη η περιοχή των συνδεδεμένων μονοπατιών στα οποία η καθυστέρηση που σχετίζεται με τη διάδοση του σήματος είναι μικρή συγκρινόμενη με τις καθυστερήσεις της πύλης. Για αρκετά μικρά μήκη καλωδίων οι καθυστερήσεις RC μπορεί να αγνοηθούν με αποτέλεσμα τα καλώδια να θεωρηθούν ως ένας απλός ηλεκτρικός κόμβος και να μοντελοποιηθούν ως απλά χωρητικά φορτία. Στον παρακάτω πίνακα φαίνονται διάφοροι ηλεκτρικοί κανόνες που καθορίζουν τα καλώδια διασύνδεσης σε μία τυπική τεχνολογία CMOS ως συνάρτηση του λ όπως συνηθίζεται να χρησιμοποιείται στον ορισμό των κανόνων σχεδίασης.

ΣΤΡΩΣΗ	ΜΕΓΙΣΤΟ ΜΗΚΟΣ (λ)
Μέταλλο-3	10000
Μέταλλο-2	8000
Μέταλλο-1	5000
Πυριτωύχο	600
Πολυτυφίτιο	200
Διάχυση	60

Πίνακας

6.10 Επαγωγή

Οι επαγωγές πάνω στο ολοκληρωμένο κανονικά είναι μικρές. Η επαγωγή του αγωγού σύνδεσης μεταξύ ενός ακροδέκτη (pad) και μιας ακίδας (pin) μπορεί να προκαλέσει καταστροφικά αποτελέσματα αφού οι τιμές επαγωγής κυμαίνονται από 3 έως 15 nH. Οι μεγάλες επαγωγές μπορούν να οδηγήσουν σε μεγάλες μεταβολές της τάσης τροφοδοσίας.

6.11 Χαρακτηριστικά Μεταγωγής

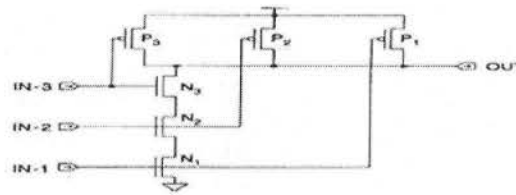
Η ταχύτητα μεταγωγής μίας πύλης CMOS περιορίζεται από τον χρόνο φόρτισης - εκφόρτισης της χωρητικότητας φορτίου CL. Μία μεταβολή της εισόδου καταλήγει σε μία μεταβολή της εξόδου. Έχουμε λοιπόν τους εξής ορισμούς:

- Χρόνος Ανόδου: ο χρόνος για να ανέλθει μια κυματομορφή από το 10% στο 90% της τιμής της στη μόνιμη κατάσταση.

- Χρόνος Καθόδου: ο χρόνος για να κατέλθει μια κυματομορφή από το 10% στο 90% της τιμής της στη μόνιμη κατάσταση.
- Χρόνος Καθυστερήσης: ο χρόνος από το 50% της μεταβολής της εισόδου έως το 50% της μεταβολής της εξόδου. Αυτή η χρονική διαφορά αντιστοιχεί στο χρόνο που απαιτείται σε μία λογική μεταβολή να περάσει από την είσοδο στην έξοδο.

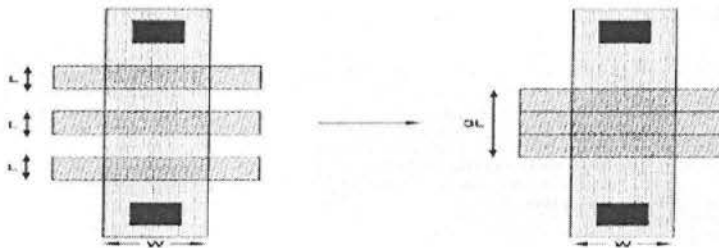
6.11.1 Καθυστερήσεις Πυλών

Η καθυστέρηση απλών πυλών μπορεί να προσεγγιστεί από την κατασκευή ενός ισοδύναμου αντιστροφέα. Τα μεγέθη των n- και p- τρανζίστορ του αντιστροφέα αυτού αντικατοπτρίζουν το πραγματικό τμήμα n, οδηγός πάνω, και το τμήμα p, οδηγός κάτω, μίας πύλης.



Εικόνα 76

Για την καλύτερη κατανόηση των παραπάνω, η εν σειρά των τρανζίστορ επεξηγείται παρακάτω. Έστω τρία τρανζίστορ σε σειρά με πύλες ίδιου πλάτους και μήκους. Αν οι περιοχές των πυλών έλθουν πολύ κοντά έτσι ώστε να εφάπτονται, το τρανζίστορ που προκύπτει έχει μήκος $3L$.



Εικόνα 77

Η μοντελοποίηση ενός αντιστροφέα CMOS και των καθυστερήσεων πύλης με τη χρησιμοποίηση είτε του μοντέλου Penfield-Rubenstein είτε του μοντέλου κλίσης Penfield-Rubenstein αποτελεί την πιο πραγματική προσέγγιση για μοντελοποίηση σε επίπεδο τρανζίστορ, και εξομοίωση πυλών με SPICE και για ακριβή μέτρηση των καθυστερήσεων. Με τη χρήση καλά προγραμματισμένων συστημάτων CAD μπορούμε να τα αυτοματοποιήσουμε σε μεγάλο βαθμό. Οι μέθοδοι αυτοί είναι γρήγοροι και

ακριβείς όταν οι τιμές των καθυστερήσεων προκύπτουν από κατάλληλο εξομοιωτή κυκλώματος. Ο ακριβής προσδιορισμός μιας διαδικασίας προσαρμογής απαιτεί ότι τα τρανζίστορ και οι παρασιτικές χωρητικότητες έχουν μοντελοποιηθεί με ακρίβεια.

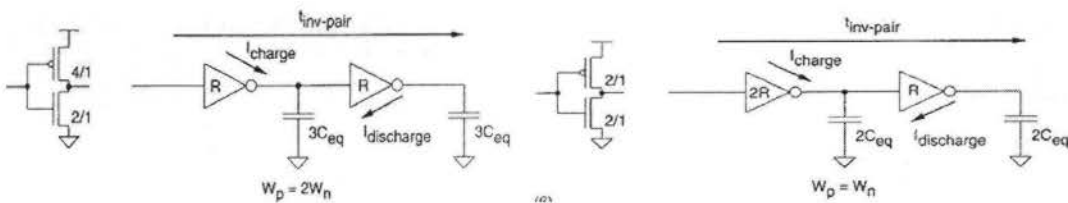
Η μοντελοποίηση των τρανζίστορ μπορεί να ελεγχθεί με το να συμπεριληφθεί πάνω στο ολοκληρωμένο ειδικά τρανζίστορ με κατάλληλα πλάτη που να είναι προσπελάσιμα ως δοκιμαστικές δομές στο ολοκληρωμένο. Ενώ της χωρητικότητας με εξέταση κατάλληλων δοκιμαστικών δομών χωρητικότητας. Αν και είναι ευκολότερο να μετρηθεί η καθυστέρηση ενός αριθμού πυλών σε ένα γνωστό μονοπάτι και να εκτιμηθεί η χωρητικότητα μέσω της σύγκρισης της μετρημένης καθυστέρησης με εκείνη ενός εξομοιωτή γνωστών μοντέλων DC MOS.

Για να γίνει η προσαρμογή ενός συνόλου εργαλείων CAD σε μία δεδομένη γραμμή κατασκευής κυκλωμάτων CMOS συνήθως απαιτείται τουλάχιστον ένα πέρασμα μέσα από τη δεδομένη γραμμή παραγωγής CMOS. Τα κατασκευαζόμενα κυκλώματα μπορεί να συγκριθούν με τις εξομοιώσεις που προκύπτουν από την τεχνική SEM, η οποία είναι μία από τις καλύτερες για την εύρεση σφαλμάτων σε εργαλεία CAD καθώς και την προσαρμογή τους. Συμπερασματικά, το κλειδί για την εκτίμηση της απόδοσης μίας οποιασδήποτε τεχνικής είναι η ακριβής προσαρμογή της διαδικασίας.

6.12 Μέγεθος Τρανζίστορ Πύλης CMOS

6.12.1 Συμπληρωματικοί Αντιστροφείς σε Διαδοχή

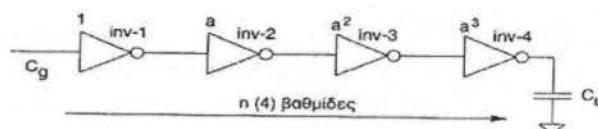
Μερικές εν σειρά δομές είναι δυνατό να χρησιμοποιούν στοιχεία με ελάχιστο ή ίσο μέγεθος χωρίς να δημιουργείται πρόβλημα στην απόκριση μεταγωγής.



Εικόνα 78

6.12.2 Λόγος Βαθμίδας

Η οδήγηση ενός μεγάλου χωρητικού φορτίου μπορεί να γίνει με χρήση αλυσίδας αντιστροφών όπου κάθε διαδοχικός αντιστροφέας είναι μεγαλύτερος από τον προηγούμενο. Ο λόγος αύξησης του μεγέθους κάθε βαθμίδας καλείται λόγος βαθμίδας (stage ratio).



Εικόνα 79

6.13 Κατανάλωση Ισχύος

Η ισχύς που καταναλώνεται σε ένα κύκλωμα CMOS αποτελείται από δύο συνιστώσες: α) Στατική κατανάλωση ισχύος λόγω ρεύματος διαρροής ή άλλων ρευμάτων που ρέουν συνεχώς από την τροφοδοσία ισχύος και β) Δυναμική κατανάλωση λόγω του ρεύματος μεταγωγής και της φόρτισης και εκφόρτισης των χωρητικών φορτίων.

Η στατική κατανάλωση ισχύος είναι το γινόμενο του ρεύματος διαρροής του στοιχείου και της τάσης τροφοδοσίας. Σε στατική λειτουργία δεν υπάρχει αγώγιμο μονοπάτι από τροφοδοσία σε γείωση. Η δυναμική κατανάλωση απαιτεί ρεύμα για την φόρτιση και εκφόρτιση του χωρητικού φορτίου εξόδου. Καθώς αυξάνεται το χωρητικό φορτίο το ρεύμα φόρτισης - εκφόρτισης καθορίζει το ρεύμα που ρέει από τις τροφοδοσίες ισχύος.

Στην κατανάλωση βραχυκυκλώματος, οι αργές ακμές ανόδου - καθόδου αυξάνουν το ρεύμα βραχυκυκλώματος. Οι μεγάλοι χρόνοι ανόδου - καθόδου και το μεγάλο πλάτος οδηγούν σε μεγάλη κατανάλωση ισχύος. Θεωρούμε ότι οι χρόνοι ανόδου - καθόδου είναι ίδιοι.

Η συνολική κατανάλωση ισχύος προκύπτει από την άθροιση των τριών συνιστωσών της στατικής κατανάλωσης, της δυναμικής κατανάλωσης και της κατανάλωσης βραχυκυκλώματος: $P_{total}=P_s+P_d+P_{sc}$

Η κατανάλωση της DC ισχύος μπορεί να μειωθεί με χρήση μόνο συμπληρωματικών πυλών δηλαδή με χρήση στοιχείων ελάχιστου μεγέθους. Η δυναμική

κατανάλωση ισχύος περιορίζεται με μείωση της τάσης τροφοδοσίας, της χωρητικότητας μεταγωγής και της συχνότητας λειτουργίας του ρολογιού. Μεγάλο κέρδος προκύπτει από τη λειτουργία μόνο ενός μικρού τμήματος του κυκλώματος σε μεγάλες ταχύτητες ή από τη χρήση μεταβλητού ρολογιού.

Μέγεθος Αγωγών Σύνδεσης

Το μέγεθος των αγωγών των μετάλλου που μεταφέρουν την ισχύ εξετάζεται για τρεις βασικούς λόγους: α) Μετανάστευση ηλεκτρονίων, β) Θόρυβος τροφοδοσίας ισχύος και αξιοπιστία δεδομένων και γ) Καθυστέρηση RC.

6.14 Περιθώρια Σύνδεσης

Η συμπεριφορά ενός κυκλώματος μπορεί να μεταβληθεί από τρεις διαφορετικές πηγές, δύο περιβαλλοντικές και μία κατασκευαστική. Ειδικότερα οι πηγές των μεταβολών είναι:

- Θερμοκρασία λειτουργίας
- Τάση τροφοδοσίας
- Μεταβολή επεξεργασίας

Ο σχεδιαστής θα πρέπει να στοχεύει στο σχεδιασμό ενός κυκλώματος που να λειτουργεί αξιόπιστα σε οποιαδήποτε ακραία περίπτωση των παραπάνω μεταβολών. Μία πιθανή καταστροφική βλάβη σημαίνει αποτυχία του κυκλώματος και τελικά μείωση της αξιοπιστίας. Η προσεκτική σχεδίαση περιλαμβάνει την εξομοίωση των κυκλωμάτων σε όλες τις κατάλληλες γωνίες για την εξασφάλιση σωστής λειτουργίας και αξιοπιστίας απόδοσης. Ο όρος γωνία αναφέρεται σε ένα φανταστικό κουτί που περιβάλλει την εγγυημένη απόδοση των τρανζίστορ. Η επιλογή του κουτιού – συσκευασίας είναι πολύ σημαντική καθώς οι συσκευασίες διαφέρουν σημαντικά σε κόστος και σε θερμική σύνθετη αντίσταση, δηλαδή το μέτρο ικανότητας της συσκευασίας να απάγει τη θερμότητα έξω από την ψηφίδα του ολοκληρωμένου. Συνήθως όσο πιο ακριβή είναι η συσκευασία για ένα συγκεκριμένο αριθμό ακίδων τόσο καλύτερη είναι η θερμική αντίσταση.

6.15 Αξιοπιστία

Η σχεδίαση αξιόπιστων κυκλωμάτων CMOS περιλαμβάνει την προσεκτική σχεδίαση του κυκλώματος και την ενδελεχή μελέτη των ακόλουθων προβλημάτων αξιοπιστίας:

- Φαινόμενο θερμού ηλεκτρονίου
- Μετανάστευση μετάλλου
- Σφάλμα οξειδίου
- Υποβιβασμός διπολικού τρανζίστορ
- Συσκευασία, κατανάλωση ισχύος
- Προστασία ESD

Τα ολοκληρωμένα κυκλώματα ζωής υποβάλλονται σε μία διαδικασία που καλείται επιταχυνόμενη δοκιμή ζωής, με υπέρταση και πολύ αυξημένη θερμοκρασία σε μία προσπάθεια να εξομοιωθεί η διαδικασία γήρανσης των κυκλωμάτων. Τα σφάλματα που προκύπτουν είναι χρήσιμα για την εκτίμηση του πραγματικού χρόνου ζωής του ολοκληρωμένου.

6.16 Κλιμάκωση των Διαστάσεων του Τρανζίστορ MOS

Η θεωρία κλιμάκωσης σταθερού πεδίου αναφέρει ότι μπορούν να διατηρηθούν τα βασικά λειτουργικά χαρακτηριστικά ενός στοιχείου MOS και να παραμείνουν τα βασικά λειτουργικά αν οι κρίσιμες παράμετροι του στοιχείου έχουν αλλάξει κλίμακα σύμφωνα με ένα δεδομένο κριτήριο. Με κλιμάκωση σταθερού πεδίου ένα στοιχείο αλλάζει κλίμακα με την εφαρμογή ενός αδιάστατου παράγοντα στα ακόλουθα μέρη:

- Όλες τις διαστάσεις
- Τάσεις στοιχείων
- Πυκνότητες συγκέντρωσης

Επίσης έχουν χρησιμοποιηθεί και άλλοι μέθοδοι κλιμάκωσης. Η μέθοδος κλιμάκωσης σταθερής τάσης στην οποία η τάση διατηρείται σταθερή ενώ η τεχνολογία αλλάζει κλίμακα και η μέθοδος εγκάρσιας κλιμάκωσης στην οποία η κλίμακα αλλάζει μόνο κατά μήκος της πύλης. Τα αποτελέσματα των παραπάνω μεθόδων κλιμάκωσης συνοψίζονται στον πίνακα:

ΠΑΡΑΜΕΤΡΟΣ	ΜΟΝΤΕΛΟ ΚΛΙΜΑΚΩΣΗΣ		
	Σταθερού πεδίου	Σταθερής τάσης	Πλευρικός
Μήκος (L)	$1/\alpha$	$1/\alpha$	$1/\alpha$
Πλάτος (W)	$1/\alpha$	$1/\alpha$	1
Τάση τροφοδοσίας (V)	$1/\alpha$	1	1
Πάχος Οξειδίου Πύλης (t_{ox})	$1/\alpha$	$1/\alpha$	1
Ρεύμα ($I = (W/L) (1/t_{ox}) V^2$)	$1/\alpha$	α	α
Διαγωγιμότητα (μ_m)	1	α	α
Βάθος Επαφής (X_j)	$1/\alpha$	$1/\alpha$	1
Νόθευση Υποστρώματος (N_A)	α	α	1
Ηλεκτρικό πεδίο κατά πλάτος του οξειδίου πύλης (E)	1	α	1
Πάχος στρώσης Αραίωσης (d)	$1/\alpha$	$1/\alpha$	1
Χωρητικότητα Φορτίου ($C = WL/t_{ox}$)	$1/\alpha$	$1/\alpha$	$1/\alpha$
Καθυστερήση Πύλης (VC/D)	$1/\alpha$	$1/\alpha^2$	$1/\alpha^2$
ΕΠΙΔΡΑΣΕΙΣ - ΑΠΟΤΕΛΕΣΜΑΤΑ			
Κατανάλωση DC ισχύος (P_p)	$1/\alpha^2$	α	α
Δυναμική κατανάλωση ισχύος (P_d)	$1/\alpha^2$	α	α
Γινόμενο καθυστέρησης ισχύος	$1/\alpha^3$	$1/\alpha$	$1/\alpha$
Επιφάνεια Πύλης ($A = WL$)	$1/\alpha^2$	$1/\alpha^2$	$1/\alpha$
Πυκνότητα ισχύος (V/A)	1	α^3	α^2
Πυκνότητα ρεύματος	α	α^3	α^2

Πίνακας

Η εξέλιξη της κλιμάκωσης μέσω διαφόρων ολοκληρωμένων κυκλωμάτων φαίνεται στον παρακάτω πίνακα. Όπως προκύπτει από την ανάλυση του πίνακα όσο τα ολοκληρωμένα γίνονται περισσότερο πολύπλοκα και γρήγορα ακολουθείται η κλιμάκωση σταθερής τάσης

ΧΡΟΝΟΣ	ΤΕΧΝΟΛΟΓΙΑ (CHIP)	ΟΛΟΚΛΗΡΩΜΕΝΟ (Tr)	ΜΕΓΕΘΟΣ (mm ²)	ΜΕΓΕΘΟΣ (MHz)	ΤΑΧΥΤΥΤΑ	V _{DD}	ΤΥΠΟΣ ΚΛΙΜΑΚΩΣΗΣ
1980-1984	3.5μ	Χειριστής δεδομένων 16 δυαδικών ψηφίων και RAM	12K	25	5	5	
1985	2.0μ	Μικροπεξεργαστής Lisp	250K	225	5	5	Σταθερή τιμή
1987	1.5μ	Μικροπεξεργαστής Lisp	250K	144	8	5	Σταθερή τιμή
1989	1.2μ	Μικροπεξεργαστής Lisp	250K	100	12	5	Σταθερή τιμή
1990	1.0μ	Καταστολέας ηχούς	500K	54	56	3-5	Σταθερή τιμή
1992	0.8μ	Αποκωδικοποιητής βιντεο	1.2M	120	40	5	Σταθερή τιμή
1993+	0.5μ	??	>1M	100+	100+	3.3	Κλιμάκωση V _{DD} και μήκους πύλης

Πίνακας

ΚΕΦΑΛΑΙΟ 7: Κυκλώματα CMOS και Λογική Σχεδίαση

7.1 Εισαγωγή

Οι σχεδιάσεις CMOS μπορούν να πραγματοποιηθούν κατά 95% από συμπληρωματικές πύλες CMOS παρόλα αυτά πρέπει να εξεταστούν οι εναλλακτικές λογικές δομές CMOS καθώς διάφοροι παράμετροι όπως η υψηλή συχνότητα, η χαμηλή κατανάλωση ισχύος και οι περιορισμοί πυκνότητας μπορεί να επιβάλουν κάποια άλλη λύση. Ο σχεδιαστής θα πρέπει πάντοτε να χρησιμοποιεί το κύκλωμα το οποίο είναι το πιο ασφαλές και εύκολο να σχεδιαστεί βάσει κυκλώματος και φυσικού σχεδίου .

7.2 Σχεδίαση Λογικών Πυλών CMOS

Η επίτευξη σωστής λειτουργίας μίας λογικής πύλης θα πρέπει να ικανοποιεί συγκεκριμένους λειτουργικούς και χρονικούς περιορισμούς και θα πρέπει να αποφεύγονται: α) Λανθασμένες ή ανεπαρκείς τροφοδοσίες ισχύος, β) Θόρυβος στις εισόδους πυλών, γ) Λανθασμένα τρανζίστορ και συνδέσεις αυτών, δ) Λανθασμένοι λόγοι τρανζίστορ στη λογική με λόγο διαστάσεων, ε) Καταμερισμός φορτίου ή ακατάλληλα ρολόγια σε δυναμικές πύλες.

Όταν μια συμπληρωματική πύλη CMOS κατασκευαστεί σωστά και τροφοδοτείται με σωστές τροφοδοσίες ισχύος θα λειτουργεί πάντα αξιόπιστα σε αντίθεση με τις δυναμικές πύλες και τις πύλες με λόγο διαστάσεων που παρέχουν μέτρια σχεδίαση και μη προβλέψιμο θόρυβο και αποφεύγονται σε σχεδιάσεις ολοκληρωμένων κυκλωμάτων ειδικού σκοπού.

Σε πολλές σχεδιάσεις υπάρχουν αρκετά λογικά μονοπάτια τα οποία δεν απαιτούν ιδιαίτερη μελέτη χρονισμού και κάποια που καλούνται κρίσιμα μονοπάτια και απαιτούν προσοχή σε θέματα χρονισμών. Αυτά επηρεάζονται σε τέσσερα κύρια επίπεδα: α) Αρχιτεκτονικό επίπεδο, β) Επίπεδο RTL/λογικής πύλης, γ) Επίπεδο κυκλώματος, δ) Επίπεδο φυσικής σχεδίασης.

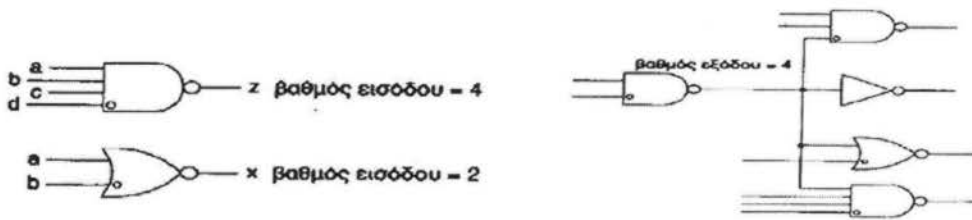
Η σχεδίαση ενός ολοκληρωμένου CMOS με τον πιο αποτελεσματικό τρόπο θα πρέπει να γίνεται στο υψηλότερο επίπεδο στο οποίο απαιτείται ευρεία γνώση των αλγόριθμων που υλοποιούν την συνάρτηση και τις παραμέτρους του ολοκληρωμένου.

7.2.1 Βαθμός Εισόδου και Βαθμός Οδήγησης Εξόδου

Βαθμός εισόδου μιας λογικής πύλης είναι ο αριθμός των εισόδων μιας πύλης στο λογικό μονοπάτι και επηρεάζει την ταχύτητα της πύλης.

Βαθμός οδήγησης εξόδου μιας λογικής πύλης είναι ο συνολικός αριθμός εισόδων των πυλών που οδηγούνται από την έξοδο της πύλης.

Λόγος βαθμίδας (stage ratio), είναι η αύξηση του μεγέθους του τρανζίστορ σε διαδοχικές λογικές βαθμίδες. Η επιλογή του κατάλληλου λόγου μπορεί να επηρεάσει σημαντικά το χρονοισμό σε διαδοχικές λογικές βαθμίδες.



Εικόνα 80

Βαθμός εισόδου και οδήγησης πυλών CMOS

7.2.2 Τυπικές Καθυστερήσεις Πυλών NAND και NOR CMOS

Η καθυστέρηση για μια οικογένεια πυλών NAND και NOR που μετρήθηκαν με εξομοίωση SPICE στη γωνία της χειρότερης ταχύτητας για μια συγκεκριμένη τεχνολογία CMOS φαίνεται παρακάτω. Για δεδομένο μέγεθος τρανζίστορ προκύπτει ότι οι πύλες NAND είναι καλύτερη επιλογή από τις πύλες NOR σε συμπληρωματική λογική CMOS. Σε περίπτωση όμως που χρησιμοποιηθούν NOR, ο βαθμός οδήγησης θα πρέπει να είναι περιορισμένος. Γενικά, κυκλώματα με μεγάλο βαθμό οδήγησης θα πρέπει να είναι οδηγούμενα από αντιστροφέα.

ΠΥΛΗ	$t_{\text{internal-f}}$ (ns)	$t_{\text{output-f}}$ (ns/pF)	$t_{\text{internal-r}}$ (ns)	$t_{\text{output-r}}$ (ns/pF)
INV	.08	1.7	.08	2.1
ND2	.2	3.1	.15	2.1
ND3	.41	4.4	.2	2.1
ND4	.68	5.7	.25	2.1
ND8	2.44	10.98	.38	2.1
NR2	.135	1.75	.25	4.1
NR3	.14	1.83	.52	6.2
NR4	.145	1.88	.9	8.2
NR8	.19	1.8	3.35	16.4

Πίνακας Καθυστερήσεις Πυλών NAND και NOR Μετρημένες με SPICE

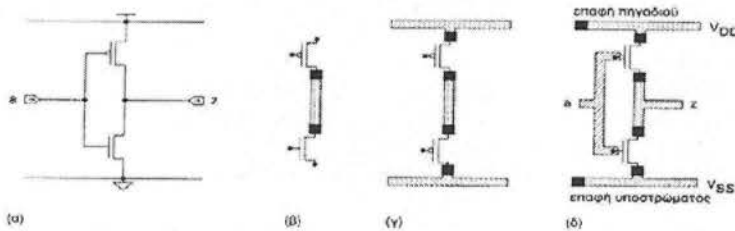
7.2.3 Μέγεθος Τρανζίστορ

Κάποια συγκεκριμένα λογικά κυκλώματα μπορεί να έχουν σήματα με μεγάλα χωρητικά φορτία λόγω μεγάλου βαθμού οδήγησης. Χαρακτηριστικά παραδείγματα είναι τα σήματα ρολογιού και επαναφοράς καθώς επίσης και οι αποκωδικοποιητές σειράς γραμμών. Στις περιπτώσεις αυτές, ο κατάλληλος προσδιορισμός του μεγέθους των τρανζίστορ παρουσιάζει πλεονεκτήματα όσον αφορά στην καθυστέρηση μεταξύ των βαθμίδων. Στις σχεδιάσεις σε επίπεδο τρανζίστορ επιτρέπεται η συνεχής μεταβολή του μεγέθους του τρανζίστορ σε κάθε πύλη. Παρόλα αυτά σπάνια στην πράξη είναι απαραίτητο εκτός από τις πολύ δύσκολες σχεδιάσεις.

7.3 Φυσική Σχεδίαση Απλών Λογικών Πυλών

Η φυσική σχεδίαση πυλών CMOS και η επίδραση της φυσικής δομής πάνω στη συμπεριφορά του κυκλώματος παρουσιάζεται παρακάτω:

Αντιστροφέας. Το φυσικό σχέδιο προκύπτει μετά από αντικατάσταση των συμβόλων του σχήματος με σύμβολα του φυσικού σχεδίου στο οποίο πρέπει να δοθεί ιδιαίτερη σημασία στις σχέσεις μεταξύ των διαφορετικά φυσικών στρώσεων. Η απλή σύνδεση μεταξύ των υποδοχών στο δομικό επίπεδο μπορεί να υλοποιηθεί στο φυσικό πεδίο με ένα τουλάχιστον καλώδιο και δύο επαφές. Οι απλές συνδέσεις προς την ισχύ και τη γείωση μπορούν να γίνουν χρησιμοποιώντας καλώδια μετάλλου και επαφές ενώ η κοινή σύνδεση της πύλης γίνεται με απλό καλώδιο πολυπυριτίου και τέλος προστίθενται οι επαφές του υποστρώματος όπως φαίνεται στα σχήματα.

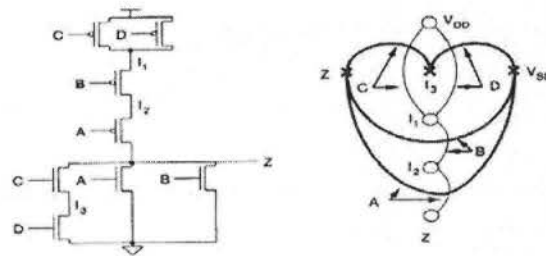


Εικόνα 81

Πύλες NAND και NOR. Μία πύλη NAND 2-εισόδων μπορεί να μετατραπεί σε φυσικό σχέδιο αλλάζοντας τον προσανατολισμό των τρανζίστορ σε οριζόντια κατεύθυνση με τα σήματα της πύλης πολυπυριτίου να έχουν κάθετη κατεύθυνση. Η συμβολική φυσική σχεδίαση της πύλης NOR 2-εισόδων έχει μεταβολή στη σύνδεση των δύο παράλληλων

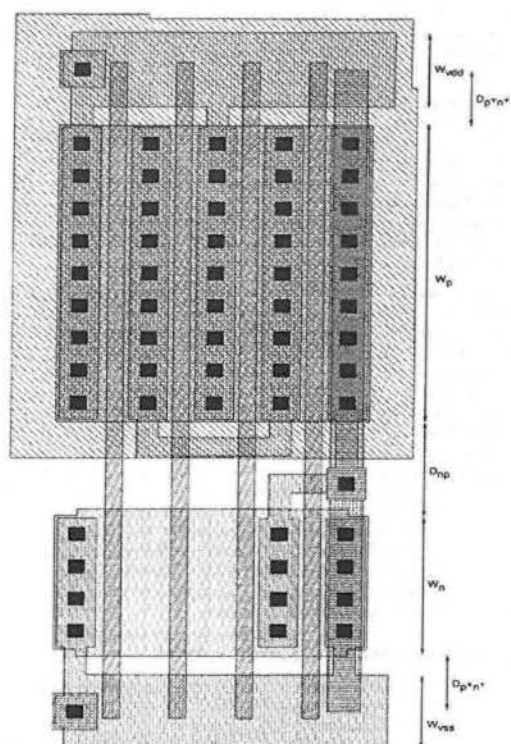
τρανζίστορ. Όπως και στους παράλληλους αντιστροφείς, αυτός ο τρόπος σύνδεσης έχει μικρότερη επιφάνεια υποδοχής με αποτέλεσμα να προκύπτει πιο γρήγορη πύλη.

Φυσική Σχεδίαση Πυλών Πολύπλοκης Λογικής. Οι συμπληρωματικές πύλες μπορούν να σχεδιαστούν χρησιμοποιώντας μια σειρά από n-τρανζίστορ πάνω ή κάτω από μία σειρά από p-τρανζίστορ που έχουν κατάλληλα ευθυγραμμιστεί ούτως ώστε να υπάρχουν κοινές συνδέσεις πύλης. Ένα κύκλωμα CMOS μετατρέπεται σε γράφο με κορυφές τις συνδέσεις πηγής/υποδοχής όπως φαίνεται στο σχήμα. Η σύνδεση των ακμών στους γράφους αντικατοπτρίζει τις εν σειρά ή τις εν παραλλήλω συνδέσεις τρανζίστορ σε ένα κύκλωμα.



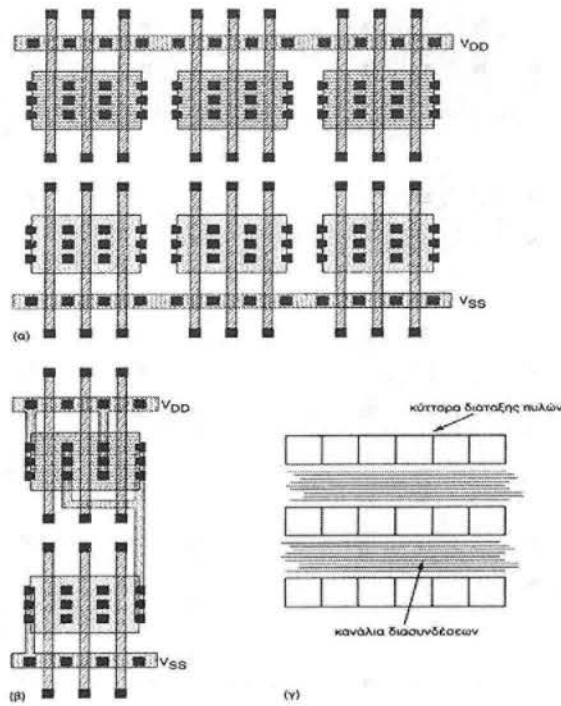
Εικόνα 82

Σχεδιασμός Τυποποιημένων Κυττάρων CMOS. Η σχεδίαση τυποποιημένων κυττάρων απαιτεί κανονικότητα στη γεωμετρία καθώς και τη διατήρηση μερικών κοινών ηλεκτρικών χαρακτηριστικών μεταξύ των κυττάρων της βιβλιοθήκης. Το φυσικό ύψος του κυττάρου πρέπει να είναι καθορισμένο ενώ το πλάτος του μεταβάλλεται σύμφωνα με τη λειτουργία του. Ένα τυποποιημένο κύτταρο αποτελείται από μια σειρά n-τρανζίστορ και μία σειρά p-τρανζίστορ με μέγιστο ύψος W_n και W_p αντίστοιχα όπου οι διάδρομοι ισχύος και γείωσης διασχίζουν το κύτταρο στο πάνω και στο κάτω μέρος. Η κατάλληλη επιλογή W_p και W_n βασίζεται στην κατανάλωση ισχύος, την καθυστέρηση διάδοσης και την ανοσία θορύβου.



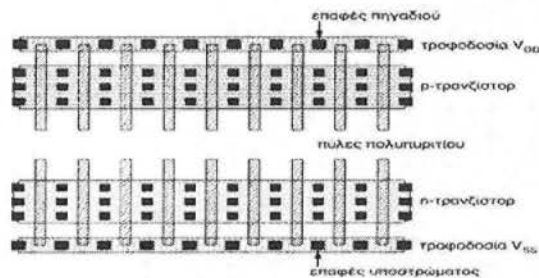
Εικόνα 83

Φυσική Σχεδίαση Διάταξης Πυλών. Η κατασκευή ολοκληρωμένων κυκλωμάτων με τυποποιημένα κύτταρα απαιτεί μάσκες όλων των επιπέδων. Το ολοκληρωμένο κύκλωμα διάταξης πυλών χρησιμοποιεί συγκεκριμένη εικόνα των κάτω στρώσεων μαζί με ένα σύνολο διακριτών στρώσεων καλωδίωσης. Ουσιαστικά, είναι καθορισμένες οι στρώσεις πηγαδιού, διάχυσης και πολυπυριτίου ενώ είναι προγραμματιζόμενες οι επαφές, το μέταλλο-1, τα περάσματα και το μέταλλο-2. Σε μία διάταξη πυλών, οι σχεδιαστικές αποφάσεις περιλαμβάνουν τον προσδιορισμό του μεγέθους των τρανζίστορ, την συνδετικότητα του πολυπυριτίου και τον αριθμό των επιτρεπόμενων αυλακιών σε ένα κανάλι διασύνδεσης.



Εικόνα 84

Φυσική Σχεδίαση Θάλασσας Πυλών. Η μορφή της φυσικής σχεδίασης που χρησιμοποιείται σε μία διάταξη πυλών καλείται θάλασσα πυλών ή διάταξη κυττάρων όπου συνεχείς σειρές από n- και p-διάχυση διασχίζουν κατά πλάτος το ολοκληρωμένο και είναι κανονικά τοποθετημένες κατά Y κατεύθυνση χωρίς καμία μέριμνα για τα κανάλια διασύνδεσης. Αυτά τοποθετούνται κατά πλάτος των σειρών των χρησιμοποιούμενων τρανζίστορ και οι αποφάσεις που αφορούν τον αριθμό των αυλακίων διασύνδεσης ανά σειρά διασύνδεσης στο κανάλι γίνονται περισσότερο αποτελεσματικές.



Εικόνα 85

Γενικοί Κανόνες Φυσικής Σχεδίασης Λογικών Πυλών CMOS: α) ολοκλήρωση της ηλεκτρικής σχεδίασης της πύλης, β) οι αγωγοί μετάλλου V_{DD} και V_{SS} πρέπει να

βρίσκονται στο πάνω και κάτω μέρος του κυττάρου, γ) για κάθε είσοδο πύλης υπάρχει μια γραμμή πολυπυριτίου, δ) ταξινόμηση των σημάτων της πύλης πολυπυριτίου ώστε να επιτραπεί μέγιστη σύνδεση μεταξύ των τρανζίστορ μέσω της γειτνίασης των συνδέσεων πηγής-υποδοχής, ε) τοποθέτηση του n- και p-τμήματος κοντά στο Vss και VDD αντίστοιχα και στ) η ολοκλήρωση της λογικής πύλης πρέπει να γίνεται με συνδέσεις πολυπυριτίου, μετάλλου ή όπου είναι αναγκαίο με διάχυση.

7.4 Λογικές Δομές CMOS

Σε μερικές περιπτώσεις η επιφάνεια που καταλαμβάνει μία πλήρως συμπληρωματική πύλη CMOS μπορεί να είναι μεγαλύτερη από την απαιτούμενη, η ταχύτητα να είναι πολύ μικρή ή η συνάρτηση να μην μπορεί να υλοποιηθεί μόνο από συμπληρωματικές πύλες. Αυτό οδηγεί στο να πρέπει να υλοποιηθούν μικρότερες και γρηγορότερες πύλες με κόστος την αυξημένη σχεδιαστική και λειτουργική πολυπλοκότητα. Υπάρχουν πολλές εναλλακτικές λογικές δομές CMOS που μπορούν να χρησιμοποιηθούν και συνοψίζονται παρακάτω.

Η εκλογή της συμπληρωματικής λογικής αποτελεί την καλύτερη επιλογή για τη πλειονότητα των κυκλωμάτων CMOS. Χαρακτηρίζεται από ανοσία θορύβου, δεν καταναλώνει ισχύ, είναι γρήγορη και μπορεί να αυτοματοποιηθεί. Πύλες με μεγάλους βαθμούς εισόδου μπορεί να οδηγήσουν πάρα πολλά επίπεδα λογικής.

Οι πύλες BiCMOS θα πρέπει να χρησιμοποιηθούν στις περιπτώσεις μικτού-σήματος ή ίσως σε εφαρμογές υψηλής ταχύτητας αν τα οικονομικά δικαιολογούν τη συγκεκριμένη χρήση.

Η ψευδο-nMOS λογική έχει κύρια χρησιμότητα σε πύλες NOR με μεγάλους βαθμούς εισόδου όπως είναι οι ROMs, οι RAMs, τα PLAs και τα κυκλώματα πρόβλεψης κρατούμενου σε αθροιστές. Η λογική CMOS με ρολόι προτείνεται για περιπτώσεις όπου έχουμε το φαινόμενο 'θερμών ηλεκτρονίων'.

Με την χρήση της λογικής πύλης μετάδοσης επιτυγχάνεται σημαντική βελτίωση στην ταχύτητα αν οι δομές περιλαμβάνουν λίγες σειρές από πύλες μετάδοσης. Το είδος αυτό της λογικής είναι κατάλληλο για πολύπλοκες συναρτήσεις Boole όπου θα πρέπει να ελαχιστοποιηθεί το μέγεθος και η ισχύς.

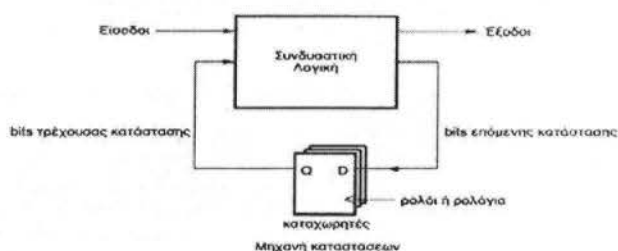
Η λογική CMOS domino θα πρέπει να χρησιμοποιηθεί σε εφαρμογές χαμηλής κατανάλωσης ισχύος ή υψηλής ταχύτητας. Ιδιαίτερη προσοχή θα πρέπει να δοθεί στις επιδράσεις ανακατανομής του φορτίου.

Η λογική CVSL έχει τη δυνατότητα να δώσει γρήγορες πύλες χρησιμοποιώντας διαδοχικές δομές CVSL ή SSDL. Γενικά τις πύλες αυτές μπορούμε εύκολα να τις συνθέσουμε όμως προβλήματα μεγέθους, πολυπλοκότητας σχεδίασης και μειωμένης ανοσίας σε θόρυβο οδηγούν στη μη χρησιμοποίησή τους.

7.5 Στρατηγικές Ρολογιού

7.5.1 Συστήματα με Ρολόι

Κάθε χρήσιμο σύστημα VLSI, θα πρέπει να αποθηκεύει κάποια κατάσταση, υπονοώντας την έννοια κάποιων στοιχείων αποθήκευσης. Η μηχανή πεπερασμένων καταστάσεων (FSM) αποτελείται από ένα σύνολο λογικών πυλών τροφοδοσίας μιας μονάδας συνδυαστικής λογικής που παράγει ένα σύνολο λογικών εξόδων. Ένα τέτοιο σύστημα χρησιμοποιεί τα στοιχεία αποθήκευσης για να συλλάβει την έξοδο κάθε βαθμίδας επεξεργασίας στο τέλος κάθε περιόδου ρολογιού. Η επιλογή μιας συγκεκριμένης στρατηγικής ρολογιού επηρεάζει τον αριθμό των τρανζίστορ και των σημάτων ρολογιού που απαιτούνται για να διασχίσουν το ολοκληρωμένο και επιδρούν στο μέγεθος του και την ισχύ που καταναλώνει. Άρα είναι σημαντική η επιλογή στρατηγικής ρολογιού στην σχεδίαση.



Εικόνα 86

7.5.2 Μανδαλωτές και Καταχωρητές

Ένας θετικά ακμωπροδότητος καταχωρητής καλείται ένα ρολόι μιας φάσης σε συνδυασμό με κυματομορφές χρονισμού για ένα στοιχείο αποθήκευσης. Ο χρόνος των διαδοχικών μεταβάσεων της θετικής ακμής του ρολογιού ονομάζεται χρόνος κύκλου και αποτελείται από το χρόνο αποκατάστασης, το χρόνο συγκράτησης και την

καθυστέρηση του ρολογιού μέχρι την έξοδο. Η οικοδόμηση ενός ακμοπυροδότητος καταχωρητή απαιτεί το κτίσιμο ενός μανδαλωτή ευαίσθητου σε στάθμη και μπορούμε να έχουμε στατικούς μανδαλωτές και καταχωρητές CMOS: α) μανδαλωτής ευαίσθητος σε αρνητική στάθμη, β) μανδαλωτής ευαίσθητος σε θετική στάθμη, γ) θετικά ακμοπυροδότητος καταχωρητής και δ) αρνητικά ακμοπυροδότητος καταχωρητής. Επίσης μπορούμε να έχουμε και άλλα δημοφιλή κυκλώματα αποθήκευσης όπως μανδαλωτή RS, καταχωρητή T και καταχωρητή JK.

7.5.3 Χρονισμός Συστήματος

Οι μανδαλωτές και οι καταχωρητές μπορεί να χρησιμοποιηθούν με πολλούς διαφορετικούς τρόπους για την υλοποίηση συστημάτων με ρολόι. Μπορούμε να έχουμε καταχωρητές εισόδου και εξόδου ανάμεσα στους οποίους παρεμβάλλεται συνδυαστική λογική. Επίσης μπορεί η συνδυαστική λογική να περιορίζεται από μανδαλωτές ή εναλλακτικά από μανδαλωτές ευαίσθητους σε θετική ή αρνητική στάθμη.

7.5.4 Χρόνοι Αποκατάστασης και Συγκράτησης

Οι χρόνοι αποκατάστασης και συγκράτησης ενός καταχωρητή είναι αποκλίσεις από τον ιδανικό καταχωρητή και προκαλούνται από τις καθυστερήσεις ενός πεπερασμένου κυκλώματος. Ο χρόνος συγκράτησης σχετίζεται με την καθυστέρηση μεταξύ της εισόδου του ρολογιού στον καταχωρητή και στο στοιχείο αποθήκευσης. Ο χρόνος αποκατάστασης είναι η καθυστέρηση μεταξύ της εισόδου των δεδομένων στον καταχωρητή και στο στοιχείο αποθήκευσης. Στους περισσότερους καταχωρητές CMOS, οι καθυστερήσεις είναι πολύ μικρές και υπακούουν σε περιορισμούς στους χρόνους αποκατάστασης και συγκράτησης αλλιώς δημιουργούνται προβλήματα ανταγωνισμού ρολογιού με αποτέλεσμα να αποθηκευτούν λανθασμένα δεδομένα στους καταχωρητές.

7.5.5 Δομές Μνήμης Μιας Φάσης

Η απλούστερη μεθοδολογία για την κατανομή ρολογιού περιλαμβάνει τη χρησιμοποίηση ενός ρολογιού σε συνδυασμό με έναν καταχωρητή που χρησιμοποιείται σε διατάξεις πυλών και σε σχεδιάσεις με τυποποιημένα κύτταρα. Έχουμε διάφορους στατικούς μανδαλωτές CMOS όπως α) μανδαλωτής ασθενούς ανάδρασης, β) μανδαλωτής πύλης μετάδοσης, γ) μανδαλωτής τρισταθούς απομονωτικής βαθμίδας με

ρολόγια στο κέντρο των τρισταθών. Επιπλέον σχεδιάσεις αποτελούν οι στατικοί καταχωρητές όπως α) γρήγορος στατικός καταχωρητής σε μορφή CVSL, β) μανδαλωτής που βασίζεται σε κύτταρο RAM και γ) καταχωρητής με πυροδότηση διπλής ακμής. Επιπρόσθετα έχουμε τη λογική πύλη που βασίζεται σε μανδαλωτές όπως α) μανδαλωτής ευαίσθητος σε θετική στάθμη και β) θετικά ακμοπυροδότητος καταχωρητής. Τέλος, υπάρχουν και οι ασύγχρονα τιθέμενοι και επαναφερόμενοι καταχωρητές και οι δυναμικοί μανδαλωτές απλού ρολογιού.

7.5.6 Τεχνικές Ρολογιού με Βρόχο Κλειδωμένης Φάσης

Οι βρόχοι κλειδωμένης φάσης (PLL) χρησιμοποιούνται για την παραγωγή εσωτερικών ρολογιών στα ολοκληρωμένα για δύο κύριους λόγους: α) για τον συγχρονισμό του εσωτερικού ρολογιού του ολοκληρωμένου με το εξωτερικό ρολόι και β) όταν είναι επιθυμητό να λειτουργήσει το εσωτερικό ρολόι του ολοκληρωμένου σε υψηλότερο ρυθμό από το εξωτερικό ρολόι.

7.5.7 Μετασταθερότητα και Σφάλματα Συγχρονισμού

Τα σφάλματα συγχρονισμού προκύπτουν εάν το ρολόι και τα δεδομένα δεν ικανοποιούν τους περιορισμούς των χρόνων αποκατάστασης και συγκράτησης του καταχωρητή. Το σφάλμα οφείλεται στην αναλογική φύση των στοιχείων αποθήκευσης που χρησιμοποιούνται στα ηλεκτρονικά κυκλώματα. Ένας μανδαλωτής με το ρολόι απενεργοποιημένο είναι ένα δισταθές στοιχείο με δύο μόνιμες καταστάσεις, 0 και 1. Κάτω από κανονικές συνθήκες μπορεί να εισέλθει σε μια μετασταθή κατάσταση, ακαθόριστη μεταξύ 0 και 1 όπου ο μανδαλωτής είναι τέλεια ισορροπημένος. Η απόφαση για την έξοδο είναι τυχαία και η ερμηνεία αυτού του σήματος μπορεί να προκαλέσει σφάλμα συγχρονισμού. Το πρόβλημα συμβαίνει όταν η λογική που βλέπει στην έξοδο του μανδαλωτή ερμηνεύει διαφορετικά την τιμή που προκύπτει λόγω καθυστέρησης που προκαλείται από την μετασταθή κατάσταση.

7.5.8 Λογικές Δομές Μιας Φάσης

Η στρατηγική ρολογιού μιας φάσης μπορεί να χρησιμοποιηθεί μαζί με συμβατική στατική λογική και λογική nMOS/dominio για τη βελτίωση της ταχύτητας, τη μείωση της επιφάνειας και τη μείωση της δυναμικής κατανάλωσης ισχύος. Η λογική οικογένεια που ονομάζεται δυναμική λογική CMOS N-P είναι δυνατό να βελτιώσει την

ταχύτητα και την πυκνότητα σε βάρος μιας περισσότερο λεπτομερούς σχεδίασης κυκλώματος και συστήματος. επίσης η λογική/μανδαλωτές είναι κατάλληλοι για συστήματα ενός ρολογιού για ρολόι μιας φάσης. Τέλος, η μέθοδος που συνδυάζει πύλες CVSL και των δύο πολικότητων με RS flip-flops στις εξόδους κάθε πύλης επιτρέπει τη χρήση ρολογιού μιας φάσης σε βάρος της πολυπλοκότητας του κυκλώματος και της φυσικής σχεδίασης.

7.5.9 Στρατηγική Ρολογιού Δύο Φάσεων

Η παραγωγή και κατανομή σχεδόν τέλεια επικαλυπτόμενων ρολογιών αποτελεί πρόβλημα στους καταχωρητές μιας φάσης και για να λυθεί χρησιμοποιούνται δύο μη-επικαλυπτόμενα ρολόγια για τα τμήματα αφέντη και σκλάβου ενός καταχωρητή. Άρα μπορούμε να έχουμε από μία έως τέσσερις γραμμές ρολογιού να διασχίζουν το ολοκληρωμένο. Τα δύο κύρια κατανέμονται με απομονωτικές βαθμίδες για να παραχθούν τα τοπικά ρολόγια αν και η επιλογή των πραγματικών σχέσεων ρολογιού εξαρτάται από το κύκλωμα. Η περίοδος των ρολογιών πρέπει να επιτρέπει κατάλληλους χρόνους διάδοσης για δυσμενείς περιπτώσεις στα συνδυαστικά τμήματα ώστε να γίνει η μανδάλωση των τιμών.

7.5.10 Δομές Μνήμης Δύο Φάσεων

Οι καταχωρητές δύο φάσεων συνήθως είναι η επανάληψη των δομών μιας φάσης που η μία τροφοδοτεί τον αφέντη και η άλλη το σκλάβο του καταχωρητή. Οι αντιπροσωπευτικές φυσικές σχεδιάσεις καταχωρητών δύο φάσεων με ρολόγια απλής πολικότητας είναι α) τα τρανζίστορ περάσματος nMOS, β) τα p-τρανζίστορ με διαρροή και γ) η περίπτωση ρολογιού μιας φάσης με πύλη περάσματος.

7.5.11 Λογικές Δομές Δύο Φάσεων

Σε συστήματα δύο φάσεων μπορεί να χρησιμοποιηθεί στατική λογική μαζί με στοιχεία μνήμης ή δυναμική λογική με στρατηγική δύο φάσεων όπου όταν υπολογίζεται η πρώτη φάση προφορτίζεται η δεύτερη βαθμίδα και οι έξοδοι της πρώτης βαθμίδας είναι αποθηκευμένες στις εισόδους της δεύτερης βαθμίδας. Μπορεί ακόμη να χρησιμοποιηθούν πύλες nMOS με λογική domino όπου χρησιμοποιείται ένα ρολόι για την προφόρτιση και τον υπολογισμό του λογικού τμήματος.

7.5.12 Στρατηγική Ρολογιού Τεσσάρων Φάσεων

Τα σχήματα τεσσάρων φάσεων ρολογιού ήταν πολύ δημοφιλή στο παρελθόν για το μέγεθος του κυκλώματος, την ασφάλεια των χρονισμών και την ικανότητα να παράγουν μεγάλη ποικιλία ρολογιών. Οι νέες σχεδιάσεις ελαχιστοποιούν τον αριθμό των φάσεων του ρολογιού χρησιμοποιώντας αυτό-χρονιζόμενα κυκλώματα για την παραγωγή ειδικών ρολογιών.

7.5.13 Δομές Μνήμης Τεσσάρων Φάσεων

Η δομή flip-flop τεσσάρων φάσεων με τις αντίστοιχες κυματομορφές ρολογιού έχει πρόβλημα καταμερισμού φορτίου λόγω του ότι οι καταστάσεις των ενδιάμεσων κόμβων στους αντιστροφείς μπορεί να αλλοιωθούν λόγω του καταμερισμού του φορτίου στις εξόδους. Αυτό επιλύεται με μεταβολή των κυματομορφών του ρολογιού ώστε οι ενδιάμεσοι κόμβοι να προφορτίζονται ομοιόμορφα.

7.5.14 Λογικές Δομές Τεσσάρων Φάσεων

Ο αρχικός σκοπός της στρατηγικής ρολογιού τεσσάρων φάσεων ήταν η κατασκευή λογικών πυλών τεσσάρων φάσεων. Στα πλεονεκτήματα για την χρησιμοποίηση αυτής της στρατηγικής περιλαμβάνεται το γεγονός ότι δεν απαιτούνται περισσότερες γραμμές ρολογιού από την τεχνική των δύο φάσεων αν χρησιμοποιηθούν συγκεκριμένες δομές τεσσάρων φάσεων. Μπορεί να εφαρμοστεί μια αυστηρή τεχνική κυκλωμάτων χωρίς καθορισμένο λόγο που μπορεί να οδηγήσει σε κανονικές σχεδιάσεις.

7.5.15 Προτεινόμενες Προσεγγίσεις Ρολογιού

Για τις πρώτες σχεδιάσεις, όπου χρησιμοποιείται κυρίως η στατική λογική, επιλέγεται συνήθως η τεχνική ρολογιού μιας φάσης χρησιμοποιώντας στατικούς καταχωρητές. Σε σχεδιάσεις με διατάξεις πυλών και τυποποιημένων κυττάρων η προσέγγιση ρολογιού μιας φάσης είναι η μόνη επιτρεπτή επιλογή. Η στρατηγική ρολογιού δύο φάσεων είναι λίγο ευκολότερη να δουλέψει στον χρονισμό RAMs, ROMs και PLAs. Στα κυκλώματα, οι κύκλοι είναι τόσο μικροί και οι επεξεργασίες CMOS είναι ιδιαίτερα πυκνές που απαιτούν όσο το δυνατόν μικρότερους μανδαλωτές. Η μόνη επιλογή για πολύπλοκα κυκλώματα CMOS υψηλής ταχύτητας είναι η προσέγγιση του

ρολογιού μιας φάσης. Για αυτοχρονιζόμενα λογικά κυκλώματα παράγονται ειδικά ρολόγια.

7.5.16 Κατανομή Ρολογιού

Η επιλογή του συστήματος ρολογιού μίας ή δύο φάσεων οδηγεί στο πρόβλημα κατανομής ρολογιού. Χρησιμοποιούνται δύο κύριες τεχνικές ρολογιού: α) μιας μεγάλης απομονωτικής βαθμίδας που χρησιμοποιείται για την οδήγηση ενός γενικού ρολογιού το οποίο τροφοδοτεί όλες τις δομικές μονάδες και β) προσέγγιση κατανεμημένου δένδρου ρολογιού όπου κατασκευάζεται ένα δένδρο από απομονωτικές βαθμίδες ρολογιού με κατάλληλη γεωμετρία έτσι ώστε οι δομικές μονάδες που επικοινωνούν μεταξύ τους να δέχονται καλά ορισμένα και σωστά λειτουργικά ρολόγια. Η πρώτη προσέγγιση προτιμάται στις σχεδιάσεις με διαφορετικές δομικές μονάδες οι οποίες δεν έχουν κάποια ευδιάκριτη δομημένη μορφή διασυνδέσεων και η δεύτερη είναι κατάλληλη για μονάδες ψηφιακής επεξεργασίας οι οποίες έχουν καλά δομημένα χαρακτηριστικά, όπως τα φίλτρα FIR.

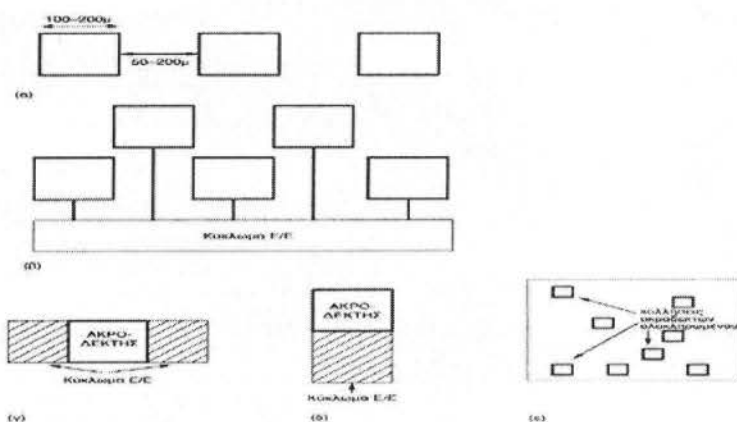
7.6 Δομές E/E

Οι δομές E/E απαιτούν τη μεγαλύτερη εμπειρία σχεδίασης κυκλωμάτων σε συνδυασμό με λεπτομερή γνώση της τεχνολογίας. Είναι πολύ δύσκολο να αντιμετωπιστεί το πρόβλημα της σχεδίασης ακροδεκτών E/E και ίσως είναι καλύτερα η χρήση μιας καλά χαρακτηρισμένης βιβλιοθήκης συναρτήσεων. Παρακάτω, συνοψίζονται μερικά βασικά θέματα σχεδίασης ακροδεκτών E/E.

7.6.1 Συνολική Οργάνωση

Το μέγεθος του ακροδέκτη πάνω στο ολοκληρωμένο ορίζεται από το ελάχιστο μέγεθος με το οποίο μπορεί να συνδεθεί ένας αγωγός και είναι της τάξης των 100 με 150 τετραγωνικών μ. Η απόσταση των ακροδεκτών ορίζεται από την ελάχιστη απόσταση στην οποία μπορεί να λειτουργήσουν οι ειδικές συσκευές κατασκευής των αγωγών που συνδέονται στους ακροδέκτες και κυμαίνεται γύρω στα 150 με 200μ. Πολύ μεγάλος αριθμός ακροδεκτών μπορεί να επιτευχθεί με μεσοδακτύλιους ακροδέκτες. Οι ακροδέκτες σχεδιάζονται για να είναι περιορισμένου πυρήνα ή περιορισμένου ακροδέκτη. Στην πρώτη περίπτωση, ο εσωτερικός πυρήνας του ολοκληρωμένου προσδιορίζει το μέγεθος του ολοκληρωμένου και κατά συνέπεια απαιτούνται λεπτοί

ακροδέκτες με το κύκλωμα Ε/Ε τοποθετημένο είτε στη μία είτε στην άλλη πλευρά. Στην δεύτερη περίπτωση το κύκλωμα Ε/Ε τοποθετείται κατευθείαν πάνω στο κέντρο του ολοκληρωμένου. Τέλος, υπάρχει και η περίπτωση όπου οι ακροδέκτες τοποθετούνται οπουδήποτε πάνω στο ολοκληρωμένο.



Εικόνα 87

7.6.2 Διάφορα Είδη Ακροδεκτών

Ακροδέκτες V_{DD} και V_{SS} . Οι ακροδέκτες αυτοί σχεδιάζονται εύκολα και αποτελούνται από ένα σάντουιτς στρώσεων μετάλλου ακροδέκτη και είναι συνδεδεμένοι με τον κατάλληλο διάδρομο.

Ακροδέκτες Εξόδου. Ένας ακροδέκτης εξόδου πρέπει να έχει επαρκή ικανότητα οδήγησης για την επίτευξη καλών χρόνων ανόδου και καθόδου για ένα δεδομένο χωρητικό φορτίο. Επίσης, έχει την απαίτηση να υπάρχουν απομονωτικές βαθμίδες ώστε το εσωτερικό κύκλωμα να έχει όσο το δυνατό μικρότερο φορτίο. Τέλος, σε έναν ακροδέκτη χρησιμοποιείται ένα κύκλωμα αντιστροφέα με n βαθμίδες για τη λήψη της μη-αντεστραμμένης βαθμίδας εξόδου.

Ακροδέκτες Εισόδου. Σε μια απομονωτική βαθμίδα εισόδου η πρώτη βαθμίδα είναι άμεσα συνδεδεμένη με το εξωτερικό κύκλωμα. Αυτό σημαίνει ότι η πύλη του n και του p -τρανζίστορ μπορεί να αντέξει τάσεις και πέρα από την κανονική περιοχή λειτουργίας σε επεξεργασία CMOS. Σε έναν ακροδέκτη εισόδου το n -τρανζίστορ έχει την πύλη του συνδεδεμένη στην τάση V_{SS} ενώ η πύλη του p -τρανζίστορ είναι συνδεδεμένη με την V_{DD} .

Ακροδέκτες Τρισταθείς και Δικατευθυντήριοι. Ένας δικατευθυντήριος ακροδέκτης μπορεί να κατασκευαστεί με συγχώνευση ενός ακροδέκτη εισόδου και ενός τρισταθούς ακροδέκτη. Για τη μείωση του κόστους της σχεδίασης, οι περισσότερες βιβλιοθήκες ακροδεκτών χρησιμοποιούν μια κοινή δομή ισχύος διαδρόμου/προστασίας και όλο το υπόλοιπο κύκλωμα είναι τοποθετημένο είτε στην πλευρά είτε κατευθείαν στο κέντρο του ολοκληρωμένου.

Άλλοι Ακροδέκτες. Πολλές φορές απαιτούνται μερικοί διαφορετικοί ακροδέκτες, κάποιιοι από τους οποίους είναι: α) όταν ο ακροδέκτης πρέπει να περιλαμβάνει ένα οδηγό 'πάνω' ή 'κάτω', αυτό επιτυγχάνεται χρησιμοποιώντας μακριά p- και n- τρανζίστορ, με μήκος υπολογισμένο από το επιθυμούμενο ρεύμα οδήγησης 'πάνω' ή 'κάτω', β) για την επίτευξη μικρών χρόνων αποκατάστασης και συγκράτησης περιλαμβάνονται μανδαλωτές ή καταχωρητές μαζί με τον ακροδέκτη, γ) σε περιπτώσεις που απαιτείται μικρή παρεμβολή ραδιοσυχνότητας, η βασική προσέγγιση είναι να μειωθεί το επίπεδο των αρμονικών ανώτερης τάξης με την χρησιμοποίηση ακροδεκτών με ελεγχόμενο ρυθμό περιστροφής και δ) σε έναν ακροδέκτη εισόδου απαιτείται υστέρηση ώστε η καθαρή ακμή να παράγεται από αργά μεταβαλλόμενη είσοδο. Αυτό επιτυγχάνεται με το κύκλωμα πυροδότησης Schmitt, το οποίο δουλεύει σε διαφορετικά κατώφλια για ανερχόμενες και κατερχόμενες παρυφές.

Ακροδέκτες ECL και Ταλάντωσης Χαμηλής Τάσης. Μειώνοντας την τάση ταλάντωσης στους ακροδέκτες βοηθάμε στην κατασκευή πολύ γρήγορων ακροδεκτών. Χρησιμοποιώντας στάθμες ECL, παρουσιάζονται πολύ γρήγορες απομονωτικές βαθμίδες CMOS E/E.

7.6.3 Σχεδίαση με Χαμηλή Κατανάλωση

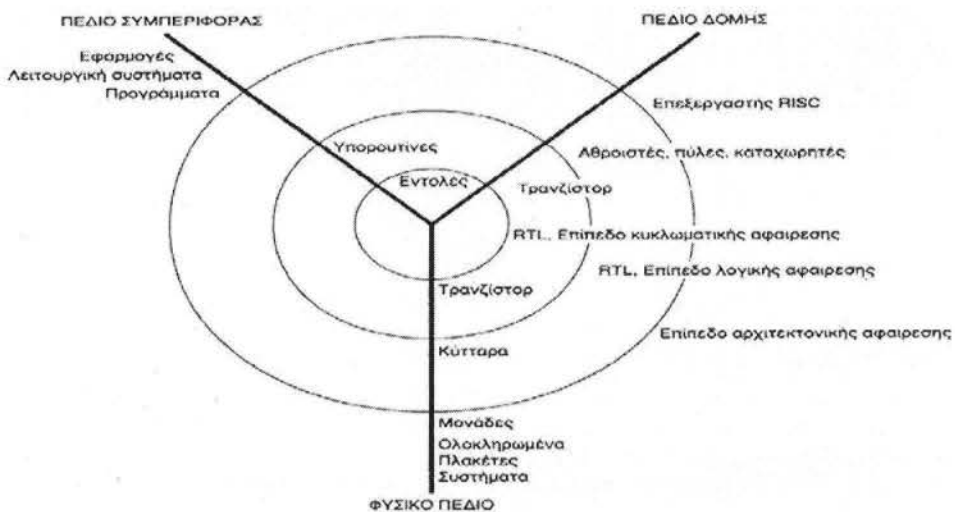
Μία κύρια κατεύθυνση στη σχεδίαση συστημάτων CMOS είναι η σχεδίαση κυκλωμάτων με χαμηλή κατανάλωση ισχύος αλλά με υψηλή απόδοση. Η ισχύς που καταναλώνεται σε ένα κύκλωμα CMOS είναι το άθροισμα της στατικής ισχύος, της δυναμικής ισχύος και της ισχύος βραχυκυκλώματος. Οι τρόποι πάυσης της ισχύος είναι σπουδαίοι σε εφαρμογές με χαμηλή κατανάλωση ισχύος. Το γεγονός αυτό καθιστά αναγκαίο την ύπαρξη τεχνικών με τις οποίες μπορεί να σταματά η λειτουργία και να επαναφέρεται η κατάσταση αν τροφοδοτηθεί το κύκλωμα με ρεύμα. Συμπερασματικά, σε σχεδίαση με χαμηλή κατανάλωση ισχύος πρέπει να χρησιμοποιείται η χαμηλότερη

τάση τροφοδοσίας και συχνότητα λειτουργίας συμβιβαστή με την απαιτούμενη απόδοση.

ΚΕΦΑΛΑΙΟ 8: ΜΕΘΟΔΟΙ ΣΧΕΔΙΑΣΗΣ CMOS

8.1 Εισαγωγή

Η περιγραφή της σχεδίασης ενός ολοκληρωμένου κυκλώματος μπορεί να γίνει με όρους τριών πεδίων: το πεδίο συμπεριφοράς, το πεδίο δομής και το φυσικό πεδίο. Τα τρία αυτά πεδία μπορούν ιεραρχικά να χωριστούν σε επίπεδα σχεδιαστικής αφαίρεσης που περιλαμβάνουν τα παρακάτω: επίπεδο αρχιτεκτονικής ή λειτουργίας, επίπεδο καταχωρητή, λογικό επίπεδο και κυκλωματικό επίπεδο. Η σχέση μεταξύ πεδίων περιγραφής και επιπέδων σχεδιαστικής αφαίρεσης έχει ως εξής:



Εικόνα 88

8.2 Στρατηγικές Σχεδίασης

8.2.1 Εισαγωγή

Η οικονομική βιωσιμότητα ενός ολοκληρωμένου επηρεάζεται κατά μεγάλο μέρος από την παραγωγικότητα που μπορεί να φέρει η κατάλληλη σχεδίαση. Ένα καλό σύστημα σχεδίασης VLSI πρέπει να παρέχει επαρκή περιγραφή και για τα τρία επίπεδα καθώς και σε όλα τα επίπεδα αφαίρεσης. Οι σχεδιαστικές παράμετροι παρουσιάζονται ως συνάρτηση των παρακάτω: α) απόδοση-ταχύτητα, ισχύς, λειτουργία, προσαρμοστικότητα, β) μέγεθος ψηφίδας, γ) χρόνος σχεδίασης και δ) εύκολη δημιουργία δοκιμής και καταλληλότητα για δοκιμή.

8.2.2 Δομημένες Στρατηγικές Σχεδίασης

Η επιτυχής υλοποίηση σχεδόν οποιουδήποτε ολοκληρωμένου κυκλώματος απαιτεί την προσοχή στις λεπτομέρειες της διαδικασίας σχεδίασης. Οι τεχνικές δομημένης σχεδίασης για τον χειρισμό πολύπλοκων έργων τόσο υλικού όσο και λογισμικού έχουν πολλές ομοιότητες και η εφαρμογή τους μπορεί να αλλάξει δραστικά την ποσότητα προσπάθειας και να βελτιώσει την πιθανότητα επιτυχίας.

8.2.3 Ιεραρχία

Η χρήση της ιεραρχίας αναφέρεται στη διαίρεση της μονάδας σε υπομονάδες και στη συνέχεια επανάληψη αυτής της λειτουργίας στις υπομονάδες μέχρι η πολυπλοκότητα των υπομονάδων φτάσει σε επαρκώς κατανοητό επίπεδο λεπτομέρειας. Στην περίπτωση λογισμικού τα μεγάλα προγράμματα διασπώνται σε μικρότερα μέχρι να γραφούν απλές υπορουτίνες με καλά ορισμένες συναρτήσεις και διασυνδέσεις.

8.2.4 Κανονικότητα

Η ιεραρχία αναφέρεται σε διαίρεση ενός συστήματος σε ένα σύνολο υπομονάδων. Η χρήση της επανάληψης για τη δημιουργία όμοιων κυττάρων είναι ένα παράδειγμα χρήσης της κανονικότητας στη σχεδίαση ενός ολοκληρωμένου συστήματος. Η κανονικότητα μπορεί να υφίσταται σε όλα τα επίπεδα της ιεραρχίας σχεδίασης. Σε επίπεδο κυκλώματος, μπορούν να χρησιμοποιηθούν τρανζίστορ ομοιόμορφου μεγέθους, σε επίπεδο λογικής, μπορούν να χρησιμοποιηθούν όμοιες δομές πυλών και σε υψηλότερα επίπεδα, αρχιτεκτονικές που χρησιμοποιούν ένα αριθμό από όμοιας δομής επεξεργαστές. Η κανονικότητα επιτρέπει βελτίωση της παραγωγικότητας με την επαναχρησιμοποίηση συγκεκριμένων σχεδιάσεων σε έναν αριθμό κυκλωμάτων, ελαττώνοντας τον αριθμό των διαφορετικών σχεδιάσεων που πρέπει να γίνουν.

8.2.5 Τμηματοποίηση

Η αρχή της τμηματοποίησης προσθέτει στην ιεραρχία και στην κανονικότητα τη συνθήκη οι υπομονάδες να έχουν καλώς ορισμένες λειτουργίες και διασυνδέσεις. Εάν οι μονάδες είναι καλά διαμορφωμένες η αλληλεπίδραση με άλλες μονάδες μπορεί να καθοριστεί με σαφήνεια. Στην περίπτωση του λογισμικού αυτό είναι μια λίστα ορισμάτων με τυπικές μεταβλητές. Στην περίπτωση των ολοκληρωμένων κυκλωμάτων,

αυτό αντιστοιχεί σε μία καλώς ορισμένη λειτουργία, δομή και φυσική διασύνδεση που υποδεικνύει τη θέση, το όνομα, τον τύπο της φυσικής σχεδίασης και τον τύπο των σημάτων των εξωτερικών διασυνδέσεων μαζί με τις λογικές συναρτήσεις και τα ηλεκτρικά χαρακτηριστικά.

8.2.6 Τοπικότητα

Ο ορισμός καλά διακρινόμενων διασυνδέσεων μεταξύ των μονάδων, ουσιαστικά καθορίζει ότι τα εσωτερικά στοιχεία της μονάδας είναι επουσιώδη για κάθε εξωτερική διασύνδεση. Με τον τρόπο αυτό γίνεται ένα είδος απόκρυψης που μειώνει τη φανερή συνθετότητα αυτής της μονάδας. Στον κόσμο του λογισμικού αυτό είναι ανάλογο της μείωσης στο ελάχιστο των γενικών μεταβλητών.

	ΛΟΓΙΣΜΙΚΟ	ΥΛΙΚΟ
Ιεραρχία	Υπορουτίνες, βιβλιοθήκες	Μονάδες
Κανονικότητα	Επανάληψη, κοινός κώδικας, αντικειμενοστραφής ρουτίνες	Μονοπάτια δεδομένων, επαναχρησιμοποίηση μονάδων, συμμετρικές διατάξεις, διατάξεις πυλών, τυποποιημένων κυττάρων
Τμηματοποίηση	Καλώς ορισμένες υπορουτίνες διασυνδέσεων	Καλώς ορισμένες μονάδες διασύνδεσης, χρονισμός και φόρτωση δεδομένων για τα κύτταρα
Τοπικότητα	Τοπικός έλεγχος, όχι καθολικές μεταβλητές	Τοπικές συνδέσεις μέσω χωροθέτησης, καταχωρημένες εισοδοί και εξοδοί

Πίνακας

8.3 Δυνατότητες Σχεδίασης Ολοκληρωμένων CMOS

Οι δυνατότητες παρουσιάζονται με σειρά αυξανόμενης σχεδιαστικής επένδυσης το οποίο συνδέεται χαλαρά με το χρόνο που χρειάζεται για τη σχεδίαση της συσκευής.

8.3.1 Προγραμματιζόμενη Λογική

Η δυνατότητα προγραμματισμού είναι ένας τρόπος επίτευξης μεγαλύτερου εύρους χρήσης για ένα συγκεκριμένο κομμάτι. Μια μικρογραφία αυτού αποτελούν οι μικροεπεξεργαστές. Στα CMOS, μπορεί να γίνει διαχωρισμός αυτού του φάσματος των προγραμματιζόμενων συσκευών σε τρεις περιοχές: α) κυκλώματα με δομή προγραμματιζόμενης λογικής, β) κυκλώματα με προγραμματιζόμενες αλληλοσυνδέσεις και γ) κυκλώματα με επαναπρογραμματιζόμενες διατάξεις πυλών.

8.3.2 Δομές Προγραμματιζόμενης Λογικής

Η πρώτη ευρεία κλάση προγραμματιζόμενων συσκευών CMOS αντιπροσωπεύεται από τις συσκευές προγραμματιζόμενης λογικής PLAs. Γενικά, οι συσκευές αυτές υλοποιούνται ως μια διάταξη AND και OR πυλών και ο προγραμματισμός τους γίνεται με τρεις κυρίως τρόπους: α) εύτηκτες συνδέσεις, β) υπεριώδους ακτινοβολίας επανεγγράψιμες προγραμματιζόμενες ROM και γ) ηλεκτρικά επανεγγράψιμες προγραμματιζόμενες ROM.

8.3.3 Προγραμματιζόμενη Αλληλοσύνδεση

Σε μία PLA η διάταξη προγραμματίζεται με την αλλαγή των χαρακτηριστικών των διακοπτικών στοιχείων. Μία άλλη λύση θα ήταν ο προγραμματισμός των συνδέσεων. Αυτό εκδηλώνεται μέσω ενός αριθμού τεχνικών, όπως ο παντογράφος Laser όπου ένα laser αποθέτει μονοπάτια μετάλλου υπό τον έλεγχο υπολογιστή.

8.3.4 Επαναπρογραμματιζόμενες Διατάξεις Πυλών

Μία επιπλέον τάξη προγραμματιζόμενων διατάξεων είναι οι προγραμματιζόμενες διατάξεις πυλών. Αυτές μπορούν να κατηγοριοποιηθούν σε ειδικές και δομημένες διατάξεις:

Η προγραμματιζόμενη Διάταξη Πυλών της XILINX. Μία διάταξη από Διαμορφούμενα Λογικά Συγκροτήματα ενσωματώνεται σε ένα σύνολο από οριζόντια και κάθετα κανάλια που περιέχουν διασυνδέσεις.

Algotronix. Μία κανονικά προγραμματιζόμενη διάταξη όπου η αρχιτεκτονική της περιέχει 1024 πανομοιότυπα λογικά κύτταρα τακτοποιημένα σε ένα πίνακα 32 επί 32.

Concurrent Logic. Μία απλή διάταξη όπου σε πρόσφατες σχεδιάσεις έχουν από 1000 έως 3136 κύτταρα.

8.3.5 Σχεδίαση Θάλασσας Πυλών και Διατάξεις Πυλών

Ο προγραμματισμός των αλληλοσυνδέσεων στα ολοκληρωμένα είναι μία μέθοδος ελάττωσης του κόστους σχεδίασης ενός ολοκληρωμένου κυκλώματος. Ο πιο δημοφιλής τρόπος υλοποίησης γενικών λογικών συναρτήσεων είναι οι δομές Θάλασσας Πυλών και Διατάξεις Πυλών, στις οποίες ο πυρήνας του ολοκληρωμένου περιέχει μία

συνεχή διάταξη από n- και p-τρανζίστορ. Το κόστος κρατείται χαμηλά εξαιτίας των παρακάτω παραγόντων:

- Ο μεγάλος αριθμός βασικών δισκίων μπορούν να χρησιμοποιηθούν για πολλές διαφορετικές σχεδιάσεις.
- Μόνο 2-5 μάσκες είναι ανάγκη να δημιουργηθούν.
- Ο χρόνος σχεδίασης είναι μικρός λόγω των αυτοματοποιημένων εργαλείων για τοποθέτηση, διασύνδεση και δοκιμή.
- Το κόστος συσκευασίας είναι χαμηλό λόγω των προτυποποιημένων ακροδεκτών και συσκευασιών.
- Ο χρόνος διαδικασίας κρατείται στο ελάχιστο διότι πραγματοποιούνται μόνο τα επάνω βήματα επιμετάλλωσης.
- Τα έξοδα δοκιμής είναι χαμηλά λόγω του ότι κοινά εξαρτήματα δοκιμής χρησιμοποιούνται για πολλαπλές σχεδιάσεις.

8.3.6 Σχεδίαση με Τυποποιημένα Κύτταρα

Οι αρχιτεκτονικές διατάξεις του ολοκληρωμένου μπορούν να τυποποιηθούν σε γεωμετρικό επίπεδο ή σε επίπεδο λογικής ή λειτουργίας. Μπορεί δηλαδή να δημιουργηθεί μια συγκεκριμένη σχεδίαση για κάθε λογική πύλη της βιβλιοθήκης και ορίζεται ως σχεδίαση με τυποποιημένα κύτταρα ή σχεδίαση βασισμένη σε κύτταρα. Οι βιβλιοθήκες των κυττάρων δημιουργούνται κανονικά για τις παρακάτω κατηγορίες κυκλωμάτων:

- Λογική SSI (nand, nor, αντιστροφείς, απομονωτές, καταχωρητές).
- Λογική MSI (αποκωδικοποιητές, κωδικοποιητές, αθροιστές).
- Χειριστές Δεδομένων (αριθμητικές λογικές μονάδες, αθροιστές).
- Μνήμες (RAM, ROM, CAM).
- Κυκλώματα σε επίπεδο συστήματος (πολλαπλασιαστές, μικροελεγκτές).

8.3.7 Σχεδίαση Μασκών σε Επίπεδο Τρανζίστορ

Η σχεδίαση μασκών σε επίπεδο τρανζίστορ είναι η ονομασία που έχει δοθεί σε τεχνικές κατά τις οποίες η λειτουργία και το φυσικό σχέδιο πρακτικά του κάθε τρανζίστορ είναι βελτιστοποιημένο. Οι περισσότερες εμπορικές σχεδιάσεις από την αρχή της ιστορίας της σχεδίασης έχουν δημιουργηθεί με αυτό τον τρόπο.

8.3.8 Συμβολικό Φυσικό Σχέδιο

Το σημαντικό στοιχείο μιας σχεδίασης σε επίπεδο τρανζίστορ είναι η φυσική σχεδίαση καινούριων μονάδων. Η επικράτηση του υπολογιστή οδήγησε σε συμβολικά

συστήματα φυσικών σχεδίων τα οποία επιχειρούν να κάνουν κατά κάποιο τρόπο αφηρημένο το φυσικό σχέδιο ώστε να ελαττώσουν την πολυπλοκότητα της εργασίας και να αυξήσουν την παραγωγικότητα. Αυτό οδήγησε στην ανάπτυξη ενός αριθμού τέτοιων συστημάτων.

Συμβολική Φυσική Σχεδίαση Αραιού-Πλέγματος. Περιλαμβάνει τη διαίρεση της επιφάνειας του ολοκληρωμένου σε ομοιόμορφο πλέγμα προς αμφότερες τις κατευθύνσεις X και Y.

Φυσικό Σχέδιο Διάταξης Πυλών. Παρέχει έναν απλό τρόπο φυσικής σχεδίασης όπου χρησιμοποιείται ένας πίνακας τεμνόμενων σειρών τρανζίστορ διάχυσης και στηλών πολυπυριτίου.

Φυσικό Σχέδιο Γραμμών και Σύμπτυξη. Γίνεται σε μορφή σκίτσου, χρησιμοποιώντας έγχρωμες γραμμές για την αντιπροσώπευση των ποικίλων διαδικασιών των στρωμάτων όπως η διάχυση, το μέταλλο και το πολυπυρίτιο.

Συμβολική Φυσική Σχεδίαση Εικονικού Πλέγματος. Χειρίζεται τα κυκλωματικά στοιχεία όπως τα τρανζίστορ και τις καλωδιώσεις με τρόπο ελεύθερο από γεωμετρική περιγραφή μασκών.

8.4 Μέθοδοι Σχεδίασης

Σε ένα σχεδιαστικό έργο υπάρχει ένας αριθμός από επιλογές όσον αφορά τις προδιαγραφές του ολοκληρωμένου. Συνήθως ξεκινά από το επίπεδο συμπεριφοράς, προχωρά στο επίπεδο καταχωρητή, στο επίπεδο λογικής, μετά στο δομικό επίπεδο και τέλος στο επίπεδο του φυσικού σχεδίου.

8.4.1 Σύνθεση Συμπεριφοράς

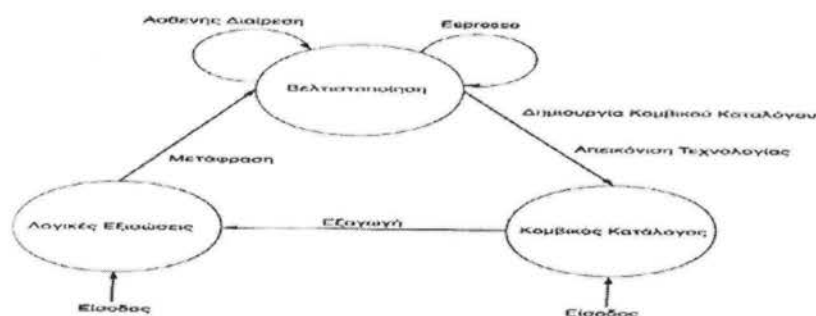
Στο επίπεδο συμπεριφοράς, η λειτουργία του συστήματος συλλαμβάνεται χωρίς να χρειάζεται τον καθορισμό της υλοποίησης. Αυτό είναι το επίπεδο που παρέχει την ταχύτερη προσομοίωση του συστήματος και είναι ανεξάρτητο της τεχνολογίας. Κατά κανόνα, ένας μεταφραστής συμπεριφοράς πρέπει να επιτελεί τις παρακάτω λειτουργίες: α) να καθορίζει και να αναθέτει τους πόρους που βασίζονται σε απαιτήσεις χρόνου και επιφάνειας, β) να εισάγει καταχωρητές διοχέτευσης ώστε να ικανοποιούνται χρονικοί περιορισμοί και γ) να δημιουργεί μικροκώδικα ελέγχου λογικής and/or.

8.4.2 Σύνθεση σε Επίπεδο Καταχωρητή

Τα προγράμματα σύνθεσης σε επίπεδο καταχωρητή παίρνουν μία περιγραφή RTL και τη μετατρέπουν σε ένα σύνολο καταχωρητών και συνδυαστικής λογικής. Σε αυτό το στάδιο της διαδικασίας σχεδίασης, η αρχιτεκτονική έχει ήδη συλληφθεί. Συνήθως, οι RTLs περιγραφές εισάγονται χρησιμοποιώντας μία γλώσσα περιγραφής υλικού και πρέπει να εισάγουν τις παρακάτω ιδιότητες: α) έλεγχο ροής χρησιμοποιώντας εντολές if-then-else και case, β) επανάληψη, γ) ιεραρχία, δ)μήκη λέξεων, διανύσματα πεδίων και πεδία ψηφίων, ε) σειριακές λειτουργίες έναντι παραλλήλων, στ) καθορισμός και κατανομή καταχωρητών, ζ)λειτουργίες αριθμητικής, λογικής και σύγκρισης.

8.4.3 Βελτιστοποίηση Λογικής

Τα προγράμματα βελτιστοποίησης λογικής παίρνουν τις λογικές περιγραφές που δημιουργήθηκαν από μία RTL σύνθεση ή που δημιουργήθηκαν στο επίπεδο της λογικής και βελτιστοποιούν το δίκτυο των πυλών που απαιτούνται για την υλοποίηση της συνάρτησης που ορίστηκε από τη λογική περιγραφή για μια δεδομένη βιβλιοθήκη λογικής. Οι καταχωρητές ανασυνδέονται με τη βελτιστοποιημένη λογική και η φυσική σχεδίαση για το σύστημα μπορεί να υλοποιηθεί χρησιμοποιώντας αυτοματοποιημένες τεχνικές. Μια τυπική ροή ενός συστήματος λογικής σύνθεσης φαίνεται παρακάτω.



Εικόνα 89

8.4.4 Σύνθεση Δομής σε Φυσικό Σχέδιο

Όταν υπάρχει διαθέσιμο ένα δίκτυο από λογικές πύλες και καταχωρητές, αυτό μπορεί με αυτόματο τρόπο να μετασχηματιστεί σε φυσικό σχέδιο. Υπάρχουν δύο απαιτούμενες φάσεις: η τοποθέτηση, η οποία είναι η διαδικασία του να βάλουμε μονάδες γειτονικά τη μία με την άλλη ώστε να ελαχιστοποιηθεί η επιφάνεια ή ο χρόνος

κύκλου και η διασύνδεση, η οποία λαμβάνει την τοποθέτηση μιας μονάδας και ένα κατάλογο από συνδέσεις και συνδέει τις μονάδες με καλωδιώσεις.

8.4.5 Η Σύνθεση του Φυσικού Σχεδίου

Το φυσικό σχέδιο απλών δομών όπως οι RAMs, οι ROMs, οι PLAs, οι σειρές καταχωρητών, οι πολλαπλασιαστές, και οι γενικοί χειριστές δεδομένων, μπορεί να συντεθεί από γεννήτριες λογισμικού. Τα προγράμματα αυτά λαμβάνουν ως είσοδο έναν αριθμό παραμέτρων και αυτόματα δημιουργούν πραγματικές μάσκες φυσικού σχεδίου ρυθμισμένες σε μία ειδικευμένη διαδικασία, ενώ άλλα δημιουργούν συμβολικά φυσικά σχέδια που μπορούν να συμπτυχθούν ώστε να προσαρμοστούν σε μια κατάλληλη τεχνολογία.

8.5 Εργαλεία Σύλληψης Σχεδίου

8.5.1 Σχεδίαση HDL

Η σύλληψη της συμπεριφοράς και της δομής ενός συστήματος μπορεί να πραγματοποιηθεί με μία Γλώσσα Περιγραφής Υλικού (HDL). Υπάρχει μία ποικιλία από γλώσσες συμπεριλαμβανομένων τις γλώσσες περιγραφής υλικού όπως VHDL και τις τροποποιημένες γλώσσες υψηλού επιπέδου όπως C και Pascal. Οι δημοφιλείς πρότυπες HDLs διαφέρουν από τις υψηλού επιπέδου γλώσσες στο ότι τις τροφοδοτούν με έννοιες του υλικού όπως τα σήματα και ο χρόνος. Από κοινού οι δύο γλώσσες συνήθως παρέχουν όλα τα στοιχεία των σύγχρονων γλωσσών προγραμματισμού.

8.5.2 Σχηματική Σχεδίαση

Η παραδοσιακή μέθοδος της σύλληψης του σχεδίου ενός ψηφιακού συστήματος γίνεται μέσω ενός αλληλεπιδρώντος σχηματικού συντάκτη. Στην πραγματικότητα, οι προτιμήσεις έχουν ακολουθήσει κυκλική πορεία από τους κομβικούς καταλόγους στους αλληλεπιδρώντες συντάκτες γραφικών και στις HDLs κειμένου. Οι σχηματικοί συντάκτες παρέχουν τα μέσα για τη σχεδίαση και τη σύνδεση των στοιχείων. Μία συλλογή στοιχείων μπορεί να συγκεντρωθεί σε μία μονάδα για την οποία μπορεί να οριστεί ένα εικονίδιο. Το εικονίδιο είναι ένα διάγραμμα που αντιπροσωπεύει τη συλλογή των στοιχείων που απαρτίζουν την εν λόγω μονάδα.

8.5.3 Φυσική Σχεδίαση

Το φυσικό σχέδιο μπορεί να συλληφθεί μέσω κώδικα ή με αλληλεπιδρώντα συντάκτη γραφικών ο οποίος είναι απαραίτητος για τη διεξαγωγή ουσιαστικής βιομηχανικής φυσικής σχεδίασης. Οι συντάκτες φυσικής σχεδίασης βασίζονται σε σχεδιαστικά συστήματα. Λόγω του ότι υπάρχει ένας μεγάλος αριθμός δεδομένων, απαιτούνται αρκετοί τρόποι απόρριψης των λεπτομερειών για την αποφυγή πολλών ωρών σχεδίασης. Ένας συντάκτης φυσικής σχεδίασης μπορεί να προσαρμόζεται σε ένα πρόγραμμα Ελέγχου Κανόνων Σχεδίασης για την αποφυγή λαθών όπως και σε ένα πρόγραμμα εξαγωγής φυσικού σχεδίου για την εξέταση θεμάτων που αφορούν στη συνεκτικότητα του κυκλώματος.

8.5.4 Χωροθέτηση

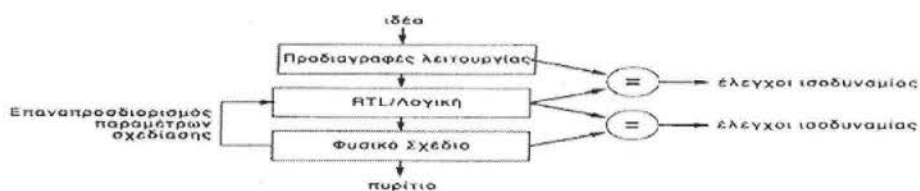
Η χωροθέτηση είναι η ενασχόληση με την τακτοποίηση συγκροτημάτων φυσικών σχεδίων μέσα στο ολοκληρωμένο με σκοπό την ελαχιστοποίηση της επιφάνειας ή τη μεγιστοποίηση της ταχύτητας. Οι συντάκτες χωροθέτησης παρέχουν γραφική ανάδραση που δείχνει το μέγεθος και την τοποθέτηση των μονάδων χωρίς να παρουσιάζονται εσωτερικές λεπτομέρειες του φυσικού σχεδίου.

8.5.5 Σύνθεση Ολοκληρωμένου

Η σύνθεση του ολοκληρωμένου, δηλαδή η τοποθέτηση και διασύνδεση των κυκλωμάτων, εφαρμόζεται στην καλωδίωση των ανωτάτου επίπεδου μονάδων μιας σχεδίασης όπου θεωρείται δεδομένη η καλή τοποθέτηση των μονάδων. Η εργασία συνίσταται κυρίως στη διασύνδεση των μονάδων μεταξύ τους και εν συνεχεία στην τοποθέτηση δακτυλίου ακροδεκτών γύρω από τον τελειωμένο πυρήνα του ολοκληρωμένου. Συνήθως ακολουθείται ορισμένη στρατηγική διασύνδεσης.

8.6 Εργαλεία Επαλήθευσης Σχεδίασης

Το παρακάτω σχήμα παρουσιάζει μία συμβατική ροή διαμέσου ενός σχεδιαστικών εργαλείων τα οποία παράγουν ένα ολοκληρωμένο CMOS από την περιγραφή της λειτουργίας του. Αναλόγως των εργαλείων, κάποια βήματα γίνονται αυτόματα ή πραγματοποιούνται από κάποιο μέσο. Η διαδικασία σχεδίασης ξεκινά με πολύ ακριβείς λειτουργικές προδιαγραφές. Αυτό χρησιμεύει μετά στην επιβεβαίωση της ορθής λειτουργίας του συστήματος.



Εικόνα 90

8.6.1 Εξομοίωση

Η πρόβλεψη και η επαλήθευση της λειτουργίας ενός δεδομένου κυκλώματος γίνεται συνήθως με εργαλεία λογισμικού τα οποία είναι κάποιας μορφής εξομοίωση. Οι εξομοιωτές έρχονται σε μια ευρεία ποικιλία, εξαρτώμενοι από την απαιτούμενη ακρίβεια και ταχύτητα εξομοίωσης. Οι τεχνικές εξομοίωσης μπορεί να είναι πέντε τύπων: α) Εξομοίωση σε Επίπεδο Κυκλώματος, β) Εξομοίωση Χρονισμών, γ) Εξομοίωση σε Λογικό Επίπεδο δ) Εξομοιωτές σε Επίπεδο Διακοπών και ε) Εξομοιωτές μικτού-τύπου

8.6.2 Επαληθευτές Χρονισμού

Οι σχεδιαστές επαληθεύουν τη λειτουργικότητα χρησιμοποιώντας εξομοιωτές μοναδιαίας καθυστέρησης που τους εκτελούν με κανονικές καθυστερήσεις για τον έλεγχο τυχόν προβλημάτων χρονισμού. Με άλλα λόγια, αν δεν εφαρμοστεί το κρίσιμο διάνυσμα χρονισμού, δεν θα βρεθεί το κρίσιμο μονοπάτι. Ένας επαληθευτής χρονισμού ακολουθεί μια διαφορετική προσέγγιση για τη χρονική επαλήθευση. Οι επαληθευτές CMOS, από κοινού με τους εξομοιωτές, μπορούν να λειτουργούν σε επίπεδο πύλης ή τρανζίστορ. Ένας αναλυτής χρονισμού υλοποιημένος σε επίπεδο τρανζίστορ μπορεί να εφοδιάζει το σχεδιαστή με ταχύτερη ανάδραση σχετικά με τα κρίσιμα μονοπάτια και αποτελεί ισχυρό εργαλείο επαλήθευσης. Οι εξομοιωτές χρονισμού που υλοποιούνται σε επίπεδο πυλών επιτρέπουν παρόμοια ποιότητα η οποία είναι επαρκής για μια ευρεία γκάμα συστημάτων CMOS.

8.6.3 Ισομορφισμός Δικτύου

Ένα ηλεκτρικό δίκτυο μπορεί να παρασταθεί με ένα γράφο όπου οι κορυφές του γράφου είναι τα στοιχεία του κυκλώματος. Οι ακμές είναι οι διασυνδέσεις μεταξύ των στοιχείων. Αυτά είναι οι ηλεκτρικοί κόμβοι του δικτύου. Δύο ηλεκτρικά κυκλώματα είναι πανομοιότυπα αν οι γράφοι που τους αντιπροσωπεύουν είναι ισομορφικοί, δηλαδή

κάθε γράφος έχει τον ίδιο αριθμό στοιχείων και για κάθε στοιχείο στο ένα κύκλωμα υπάρχει ένα ισότιμο στο άλλο. Η διαδικασία σύγκρισης δύο δικτύων αναφέρεται ως ισομορφισμός δικτύου και χρησιμοποιείται για να αποδείξει ότι δύο δίκτυα είναι ισοδύναμα και για αυτό θα πρέπει να λειτουργούν ισοδύναμα.

8.6.4 Σύγκριση Κομβικών Καταλόγων

Το φυσικό σχέδιο μιας σχηματικής ή κυκλωματικής περιγραφής έχει και χειρωνακτική συνιστώσα οπότε τα ονόματα των σημάτων μεταξύ παράλληλων εκφράσεων πρέπει να είναι τα ίδια, ώστε η σύγκριση μεταξύ επιθυμητού και πραγματικού κυκλώματος να είναι εύκολη. Στην πραγματικότητα, τα ονόματα των σημάτων συχνά παραλείπονται από τους εσωτερικούς κόμβους ενός κυκλώματος και είναι απαραίτητα προγράμματα που επαληθεύουν την ισοδυναμία δύο ανώνυμων γράφων κυκλωμάτων.

8.6.5 Εξαγωγή Φυσικού Σχεδίου

Οι εξαγωγείς φυσικού σχεδίου ελέγχουν την αλληλεξάρτηση των μασκών του φυσικού σχεδίου ώστε να συνάγουν την ύπαρξη των τρανζίστορ και των άλλων στοιχείων. Σχετίζονται με τους ελεγκτές κανόνων σχεδίασης και πραγματοποιούνται για τη δημιουργία δεδομένων για το βήμα επαναπροσδιορισμού παραμέτρων σχεδίασης.

8.6.6 Επαναπροσδιορισμός Παραμέτρων Σχεδίασης

Εφόσον το φυσικό σχέδιο έχει κατασκευαστεί και υπάρχει ισομορφισμός μεταξύ του σχηματικού δικτύου και του δικτύου του φυσικού σχεδίου, οι χωρητικότητες που έχουν εξαχθεί από το φυσικό σχέδιο με το κυκλωματικό σχέδιο πρέπει να συσχετιστούν και να εκτελεστεί εξομοίωση ή ανάλυση χρονισμού για την επαλήθευση της επίδοσης. Η λειτουργία αυτή είναι γνωστή ως επαναπροσδιορισμός παραμέτρων σχεδίασης και επιτυγχάνεται με τη μετακίνηση της χωρητικότητας που εμφανίζεται σε κόμβο του φυσικού σχεδίου στον αντίστοιχο κόμβο του κυκλωματικού σχεδίου, υπολογίζοντας και τις χωρητικότητες που υπάρχουν ήδη στον κόμβο του κυκλώματος.

8.6.7 Επαλήθευση Κανόνων Σχεδίασης

Αν η σχεδίαση της μάσκας ολοκληρώνεται χειρωνακτικά είναι απαραίτητο να επαληθευτεί ότι το φυσικό σχέδιο συμφωνεί προς τους γεωμετρικούς κανόνες σχεδίασης. Αυτό επιτυγχάνεται με έναν ελεγκτή κανόνων σχεδίασης.

8.6.8 Παραγωγή Μασκών

Η παραγωγή μασκών είναι η φάση της δημιουργίας των δεδομένων που χρησιμοποιούνται για την κατασκευή των μασκών. Λόγω του ότι είναι το τελευταίο βήμα στη σχεδίαση και είναι δύσκολο να εντοπιστούν ατέλειες στη μάσκα, οι κατασκευαστές σχηματίζουν δύο ή περισσότερα δείγματα ψηφίδας σε ένα μονής-μάσκας πλέγμα και στη συνέχεια χρησιμοποιούν διαφορετικές τεχνικές για τον εντοπισμό διαφορών μεταξύ ζευγαριών όμοιων δειγμάτων, ώστε να εντοπίσουν ατέλειες της μάσκας.

8.7 Οικονομική Πλευρά της Σχεδίασης

Είναι σημαντικό να μπορεί να προβλεφθεί το κόστος και ο χρόνος σχεδίασης ενός ολοκληρωμένου γιατί μπορεί να οδηγήσει στην επιλογή της στρατηγικής υλοποίησης. Το κόστος παραγωγής ενός ολοκληρωμένου κυκλώματος γενικά διαιρείται στα παρακάτω:

Μη επαναλαμβανόμενα έξοδα. Το μη επαναλαμβανόμενο κόστος είναι το κόστος που ξοδεύεται μία φορά κατά τη σχεδίαση ενός ολοκληρωμένου συστήματος και περιλαμβάνει:

- Το κόστος σχεδίασης στο οποίο έχουμε τα έξοδα προσωπικού και τα έξοδα υποστήριξης.
- Το κόστος πρωτότυπης κατασκευής στο οποίο έχουμε το κόστος μάσκας, τα σταθερά έξοδα δοκιμής και τα εργαλεία συσκευασίας.

Επαναλαμβανόμενα έξοδα. Είναι τα έξοδα που επαναλαμβάνονται αφού έχει οριστεί μία τιμή κομματιού βασισμένη στο κόστος παραγωγής και σε ένα περιθώριο κέρδους. Κάθε επιπλέον κομμάτι που πωλείται δημιουργεί ένα επιστρεφόμενο έξοδο.

Πάγια έξοδα. Το κόστος υποστήριξης ενός ολοκληρωμένου για τη σωστή του χρήση έχει κάποιες πηγές από τη στιγμή που τοποθετείται στην παραγωγή. Για να χρησιμοποιηθεί αποτελεσματικά πρέπει να γραφτούν τα φύλλα δεδομένων και οι

σημειώσεις εφαρμογών που περιγράφουν τη χρήση και να χρειαστεί η παροχή υποστήριξης συγκεκριμένων εφαρμογών καθώς και η ανάλυση σφάλματος για αύξηση απόδοσης. Τέλος υπάρχει και το κόστος των πωλήσεων για την προώθηση των προϊόντων και τα γενικά έξοδα.

8.7.1 Χρονοδιάγραμμα

Με την έναρξη μελέτης της σχεδίασης ενός συστήματος είναι σημαντικό να μπορεί να εκτιμηθεί το κόστος και ο χρόνος σχεδίασης για το σύστημα. Η εκτίμηση του κόστους μπορεί να κατευθύνει το σχεδιαστή στη μέθοδο που θα ακολουθήσει για το σχεδιασμό. Η εκτίμηση του χρόνου είναι ουσιαστική στην επιλογή στρατηγικής ώστε να το σύστημα να είναι διαθέσιμο την κατάλληλη στιγμή και στην κατάλληλη τιμή. Η εκτίμηση του χρονοδιαγράμματος είναι συνήθως η ελάχιστα καλά οριζόμενη και απαιτεί κάποια πείρα στην ακριβή πρόβλεψη του χρόνου σχεδίασης.

8.7.2 Ανθρώπινο Δυναμικό

Σε μία τυπική μελέτη IC περιέχονται οι παρακάτω εργασίες: α) Αρχιτεκτονική σχεδίαση, β) Λογική σύλληψη, γ) Εξομοίωση λειτουργικότητας, δ) Φυσικό σχέδιο μονάδων και ολοκληρωμένου, ε) Επαλήθευση χρονισμού, στ) Διαδικασίες παραγωγής μασκών και ζ) Δημιουργία δοκιμών. Το ανθρώπινο δυναμικό που απαιτείται για την ολοκλήρωση της μελέτης προκύπτει αν πάρουμε καθεμία από τις δραστηριότητες και τις εφαρμόσουμε σε ένα παραγωγικό σχήμα για μια δεδομένη πολυπλοκότητα σχεδίασης.

8.8 Φύλλα Δεδομένων

Τα φύλλα δεδομένων για ένα IC περιγράφουν το τι κάνει και σκιαγραφούν τις προδιαγραφές για να λειτουργήσει το IC σε ένα σύστημα. Η ανασκόπηση ενός τυπικού φύλλου δεδομένων έχει ως εξής:

Η Περίληψη. Περιλαμβάνει την επωνυμία και το περιγραφικό όνομα του ολοκληρωμένου, μια μικρή περιγραφή του τι κάνει, ένα κατάλογο χαρακτηριστικών και ένα υψηλού επιπέδου δομικό διάγραμμα της λειτουργίας του.

Περιγραφή Ακίδων. Περιλαμβάνει το όνομα της ακίδας, τον τύπο της, μια σύντομη περιγραφή της λειτουργίας της και τον αριθμό συσκευασίας της.

Περιγραφή Λειτουργίας. Σκιαγραφείται η λειτουργία του ολοκληρωμένου, δυνατότητες προγραμματισμού, μορφές δεδομένων και επιλογές ελέγχου στο βαθμό που ενδιαφέρει το χρήστη.

Προδιαγραφές DC. Οι απόλυτα μέγιστες διακυμάνσεις θα πρέπει να αναφέρονται για την τάση τροφοδοσίας, τις τάσεις ακροδεκτών και τη θερμοκρασία διόδων.

Προδιαγραφές AC. Πρέπει να παρουσιάζονται οι χρόνοι αποκατάστασης και συγκράτησης για όλες τις εισόδους, οι χρόνοι καθυστέρησης μεταξύ ρολογιού και εξόδου και άλλες κρίσιμες τιμές χρονισμού, όπως ελάχιστα πλάτη παλμών.

Διάγραμμα Συσκευασίας. Πρέπει να παρέχεται ένα διάγραμμα της συσκευασίας εφοδιασμένο με τις ονομασίες των ακίδων.

ΚΕΦΑΛΑΙΟ 9: ΔΟΚΙΜΗ ΚΥΚΛΩΜΑΤΩΝ CMOS

9.1 Η ανάγκη για Δοκιμή

Οι ευθύνες για τα διάφορα επίπεδα δοκιμής και μεθοδολογίας δοκιμών μπορεί να είναι σημαντικός φόρτος για τον σχεδιαστή. Ο σκοπός της διαδικασίας δοκιμής είναι να ξεχωρίσει ποιες ψηφίδες είναι καλές και μπορούν να χρησιμοποιηθούν σε τελικά συστήματα. Η δοκιμή μιας ψηφίδας μπορεί να γίνει στα παρακάτω επίπεδα με προσέγγιση κόστους ως εξής:

- Του δισκίου \$ 0,01-1
- Του συσκευασμένου ολοκληρωμένου \$0,10-1
- Της πλακέτας \$1-10
- Του συστήματος \$10-100
- Της εφαρμογής \$100-1000

Είναι φανερό ότι αν τα λάθη εντοπιστούν στο επίπεδο του δισκίου το κόστος παραγωγής συγκρατείται στο ελάχιστο. Οι δοκιμές μπορούν να κατανεμηθούν σε δύο κύριες κατηγορίες. Στις δοκιμές λειτουργικότητας που χρησιμοποιούνται στην αρχή του σχεδιαστικού κύκλου για να επιβεβαιώσουν τη λειτουργικότητα του κυκλώματος και στις δοκιμές κατασκευής οι οποίες πραγματοποιούνται αφού έχει κατασκευαστεί το ολοκληρωμένο.

9.1.1 Δοκιμές Λειτουργικότητας

Οι δοκιμές λειτουργικότητας είναι συνήθως οι πρώτες δοκιμές που θα πρέπει ο σχεδιαστής να οικοδομήσει ως κομμάτι της σχεδιαστικής διαδικασίας. Για τα περισσότερα συστήματα, οι δοκιμές λειτουργικότητας εμπεριέχουν την απόδειξη για το αν το κύκλωμα είναι λειτουργικά ισοδύναμο με κάποιες προδιαγραφές. Η λειτουργική ισοδυναμία μπορεί να βεβαιωθεί σε διάφορα επίπεδα της ιεραρχίας σχεδιασμού. Αν η περιγραφή είναι σε γλώσσα συμπεριφοράς, η συμπεριφορά στο επίπεδο του συστήματος μπορεί να είναι επαληθεύσιμη. Παρόλα αυτά δεν υπάρχει μέχρι τώρα μια πλήρης θεωρία που να βεβαιώνει ότι έχει γραφτεί μια καλή δοκιμή λειτουργικότητας. Η καλύτερη συμβουλή είναι να εξομοιώσουμε τη λειτουργία του ολοκληρωμένου ή του συστήματος όσο το δυνατόν με την κατάσταση που αυτό λειτουργεί καθημερινά. «Αν δεν το δοκιμάσεις, δεν θα δουλέψει».

9.1.2 Δοκιμές Κατασκευής

Δεδομένου ότι οι λειτουργικές δοκιμές αναζητούν να επιβεβαιώσουν τη λειτουργία του ολοκληρωμένου συνολικά, οι δοκιμές κατασκευής χρησιμοποιούνται για να αποδείξουν ότι κάθε πύλη λειτουργεί όπως ακριβώς αναμένεται. Η ανάγκη να γίνει αυτό προέρχεται από έναν αριθμό λαθών στην παραγωγή τα οποία συμβαίνουν κατά τη διάρκεια κατασκευής του ολοκληρωμένου. Τα λάθη περιλαμβάνουν βραχυκυκλώματα μεταξύ των στρώσεων, ασυνεχή καλώδια και το λεπτό οξειδίο να βραχυκυκλώνει το υπόστρωμα ή το πηγάδι. Γενικά η δοκιμή κατασκευής αναλαμβάνει να βεβαιώσει ότι το κύκλωμα-ολοκληρωμένο λειτουργεί ικανοποιητικά και απαιτούνται τρόποι χρησιμοποίησης όλων των εισόδων των πυλών και παρακολούθησης όλων των εξόδων των πυλών.

9.2 Αρχές Βιομηχανικών Δοκιμών

Ένας κρίσιμος παράγοντας σε όλες τις LSI και VLSI σχεδιάσεις είναι η ανάγκη της ενσωμάτωσης μεθόδων δοκιμής κυκλωμάτων. Η εργασία αυτή πρέπει να προχωράει ταυτόχρονα με τα όποια αρχιτεκτονικά ζητήματα και να μην αφεθεί έως την τελική παραγωγή του IC

9.2.1 Μοντέλα Λαθών

Λάθη του τύπου κολλημένο-σε (stuck-at fault). Για να ασχοληθούμε με την ύπαρξη καλών και κακών κομματιών πρέπει να προτείνουμε ένα μοντέλο σφάλματος, δηλαδή ένα μοντέλο για το πώς συμβαίνουν και επιδρούν τα λάθη στο κύκλωμα. Με το μοντέλο κολλημένο-σε, μία λανθασμένη είσοδος πύλης μοντελοποιείται ως μία κολλημένη στο μηδέν ή κολλημένη στο ένα.

Λάθη Βραχυκυκλώματος και Ανοιχτού κυκλώματος. Άλλα μοντέλα περιλαμβάνουν τα μοντέλα ανοικτού κυκλώματος ή βραχυκυκλώματος. Για να εξασφαλίσουμε την πιο σωστή μοντελοποίηση θα έπρεπε τα λάθη να μοντελοποιούνται στο επίπεδο του τρανζίστορ καθώς μόνο σε αυτό γνωρίζουμε ακριβώς τη δομή του κυκλώματος.

9.2.2 Παρατηρησιμότητα

Η παρατηρησιμότητα ενός συγκεκριμένου εσωτερικού κόμβου του κυκλώματος είναι ο βαθμός που κάποιος μπορεί να παρατηρήσει αυτόν τον κόμβο στις εξόδους του

ολοκληρωμένου κυκλώματος. Αυτό είναι σημαντικό όταν ένας σχεδιαστής επιθυμεί να μετρήσει την έξοδο μιας πύλης ενός τεράστιου κυκλώματος για να ελέγξει αν αυτό λειτουργεί σωστά. Η υιοθέτηση κάποιων βασικών τεχνικών σχεδίασης δοκιμής μπορεί να βοηθήσει πάρα πολύ προς αυτήν την κατεύθυνση. Ιδανικά, κάποιος θα έπρεπε να μπορεί να παρατηρήσει άμεσα ή με ενδιάμεσες παρεκκλίσεις κάθε έξοδο πύλης μέσα σε ένα ολοκληρωμένο.

9.2.3 Ελεξιμότητα

Η ελεξιμότητα ενός εσωτερικού κυκλωματικού κόμβου μέσα στο ολοκληρωμένο αποτελεί ένα μέτρο ευκολίας στην τοποθέτηση του κόμβου σε κατάσταση 1 ή 0. Ένας εύκολα ελέγξιμος κόμβος θα μπορούσε άμεσα να τεθεί μέσω ενός ακροδέκτη εισόδου ενώ ένας με μικρή ελεξιμότητα απαιτεί εκατοντάδες ή και χιλιάδες κύκλους για να έλθει στη σωστή κατάσταση. Ο σκοπός των καλά σχεδιασμένων κυκλωμάτων θα έπρεπε να είναι η εύκολη ελεξιμότητα όλων των κόμβων.

9.2.4 Κάλυψη Λαθών

Ένα μέτρο της καταλληλότητας ενός προγράμματος δοκιμής είναι η ποσότητα της κάλυψης λαθών που επιτυγχάνει. Δηλαδή, για τα διανύσματα που εφαρμόστηκαν, ποιο το ποσοστό των εσωτερικών κόμβων του ολοκληρωμένου ελέγχθηκε.

9.2.5 Βαθμονόμηση Λαθών και Εξομοίωση Λαθών

Η βαθμονόμηση των λαθών συνιστάται σε δύο βήματα. Πρώτα, επιλέγεται ο προς διερεύνηση κόμβος. Εκτελείται εξομοίωση χωρίς να περιέχει λάθη και τα αποτελέσματα της εξομοίωσης αποθηκεύονται. Ακολουθώντας αυτή τη διαδικασία, κάθε κόμβος ή γραμμή προς διερεύνηση τίθεται στο 0 και μετά στο 1 και εφαρμόζεται στο σύνολο των διανυσμάτων δοκιμής. Η προσέγγιση αυτή είναι κατάλληλη για ένα απλό κύκλωμα ή ένα μικρό σύνολο διανυσμάτων και όχι για μεγάλες δοκιμές και κυκλώματα. Για την αντιμετώπιση του προβλήματος, αναπτύχθηκε ένας αριθμός από ιδέες για την αύξηση της ταχύτητας εξομοίωσης λαθών. Η παράλληλη εξομοίωση είναι μία μέθοδος για την επιτάχυνση της εξομοίωσης πολλαπλών μηχανών και η ταυτόχρονη εξομοίωση είναι μία μέθοδο για εξομοιωτές λαθών βασισμένους σε λογισμικό.

9.2.6 Δοκιμή Σφαλμάτων Καθυστέρησης

Τα μοντέλα λαθών με τα οποία ασχοληθήκαμε μέχρι αυτό το σημείο δεν περιλαμβάνουν το χρονισμό. Λάθη που συμβαίνουν στα CMOS μπορούν να αφήσουν ανεπηρέαστη τη λειτουργικότητα του κυκλώματος αλλά να επηρεάσουν το χρονισμό.

9.2.7 Στατιστική Ανάλυση Σφαλμάτων

Η στατιστική ανάλυση σφαλμάτων βασίζεται στον υπολογισμό της πιθανότητας εντοπισμού του σφάλματος. Συνοπτικά, εκτελείται μια εξομοίωση χωρίς σφάλματα σε ένα κύκλωμα, στο οποίο έχουν συγκεντρωθεί κάποια επιπλέον στατιστικά από έναν τροποποιημένο εξομοιωτή σε βάση διανυσμάτων ανά είσοδο. Αυτά είναι ως ακολούθως: α) Μετρητής μηδενικών- τα 0 μετρούνται σε κάθε είσοδο πύλης όταν εντοπίζεται στην έξοδο μία αλλαγή από 1 σε 0, β) Μετρητής μονάδων- τα 1 μετρούνται σε κάθε είσοδο πύλης όταν εντοπίζεται στην έξοδο μία αλλαγή από 0 σε 1, γ) Μετρητής ευαισθητοποίησης- αυξάνεται όταν αλλαγή στην είσοδο προκαλεί ευαισθητοποίηση της εξόδου και δ) Μετρητής βρόχων- χρησιμοποιείται για εντοπισμό και χειρισμό ανάδρασης.

9.2.8 Δειγματοληψία Λαθών

Μια άλλη προσέγγιση στην ανάλυση λαθών είναι γνωστή ως δειγματοληψία λαθών. Αυτή χρησιμοποιείται σε κυκλώματα όπου είναι αδύνατον να δοκιμαστούν τα λάθη σε κόμβο του κυκλώματος. Ο προκύπτων ρυθμός εντοπισμού λαθών μπορεί να εξαχθεί στατιστικά από τον αριθμό των σφαλμάτων που εντοπίστηκαν στο δείγμα και από το μέγεθος του συνόλου του δείγματος.

9.3 Στρατηγικές Σχεδίασης Δοκιμών

9.3.1 Σχεδίαση Κατάλληλη για Δοκιμή

Το κλειδί για τη σχεδίαση κυκλωμάτων που να μπορούν να δοκιμαστούν είναι η ελεγχσιμότητα και η παρατηρησιμότητα. Η σχεδίαση κατάλληλη για δοκιμή καλύπτει τρεις βασικές προσεγγίσεις. Αυτές μπορούν να κατηγοριοποιηθούν ως ειδική δοκιμή, προσεγγίσεις βασισμένες στη σάρωση και αυτοδοκιμή και ενσωματωμένη δοκιμή.

9.3.2 Ειδική Δοκιμή

Οι ειδικές τεχνικές δοκιμής είναι μια συλλογή ιδεών που σκοπεύουν στη μείωση της έκρηξης των συνδυασμών της δοκιμής. Οι κοινές τεχνικές περιλαμβάνουν τεμαχισμό μεγάλων ακολουθιακών κυκλωμάτων, προσθήκη σημείων δοκιμής, προσθήκη πολυπλεκτών και παροχή εύκολης επαναφοράς.

9.3.3 Τεχνικές Δοκιμής Βασισμένες στη Σάρωση

Η ανάπτυξη μίας συλλογής από τεχνικές που οδηγούν σε μία δομημένη προσέγγιση που είναι κατάλληλη για δοκιμή. Οι προσεγγίσεις πηγάζουν από τις βασικές αρχές της ελεγχιμότητας και παρατηρησιμότητας. Οι τεχνικές δοκιμής βασισμένες στη σάρωση είναι:

- Σχεδίαση Σάρωσης με Ευαισθησία σε Στάθμη
- Σειριακή Σάρωση
- Μερική Σειριακή Σάρωση
- Παράλληλη Σάρωση

9.3.4 Τεχνικές Αυτο-Δοκιμής

Οι τεχνικές αυτοδοκιμής και ενσωματωμένης δοκιμής στηρίζονται στην αύξηση των κυκλωμάτων ώστε να μπορούν να επιτελούν λειτουργίες στον εαυτό τους που αποδεικνύουν τη σωστή ή όχι λειτουργία τους.

Ανάλυση Υπογραφής και BILBO. Μια μέθοδο δημιουργίας ενσωματωμένων μονάδων δοκιμής είναι να χρησιμοποιηθεί η ανάλυση υπογραφής. Αυτή περιέχει τη χρήση γεννήτριας ψευδοτυχαίας ακολουθίας για την παραγωγή των σημάτων εισόδου για ένα τμήμα του συνδυαστικού κυκλώματος και στη συνέχεια χρησιμοποίηση ενός αναλυτή υπογραφής για την παρατήρηση των εξωτερικών σημάτων.

Αυτο-Δοκιμή Μνήμης. Η ενσωμάτωση αυτοδοκιμαζόμενων κυκλωμάτων για μνήμες σε κυκλώματα υψηλών ταχυτήτων είναι ο μόνος τρόπος δοκιμής της δομής και μπορεί να μειώσει τον αριθμό των εξωτερικών διανυσμάτων δοκιμής που πρέπει να εκτελεστούν.

9.3.5 Δοκιμή IDDQ

Η μέθοδος δοκιμής για σφάλματα γεφυρώσεων IDDQ ή παρακολούθηση παροχής ρεύματος ηρεμίας στηρίζεται στο γεγονός ότι όταν μία λογική πύλη συμπληρωματικού CMOS δεν αλλάζει, δεν τραβά καθόλου DC ρεύμα. Επειδή η

μέτρηση ρεύματος είναι αργή, οι δοκιμές πρέπει να είναι βραδύτερες από τις κανονικές, αυξάνοντας έτσι το χρόνο δοκιμής. Ωστόσο, η τεχνική αυτή παρέχει έναν έμμεσο και μαζικό τρόπο παρατήρησης με μικρή κυκλωματική επιβάρυνση.

9.4 Τεχνικές Δοκιμής Επιπέδου-Ολοκληρωμένου

Η συζήτηση δομείται γύρω από τους βασικούς τύπους κυκλωματικών δομών που συναντώνται σε ψηφιακά CMOS ολοκληρωμένα. Κάποιες πρακτικές μέθοδοι ενσωμάτωσης απαιτήσεων δοκιμής μέσα σε μία σχεδίαση είναι:

Κανονικά Λογικά Δίκτυα. Η μερική σειριακή σάρωση ή η παράλληλη σάρωση είναι πιθανόν η καλύτερη προσέγγιση για δομές όπως οι χειριστές δεδομένων.

Μνήμες. Οι μνήμες μπορούν να χρησιμοποιούν τις τεχνικές αυτοδοκιμής.

Τυχαία Λογική. Η τυχαία λογική δοκιμάζεται καλύτερα μέσω πλήρους σειριακής σάρωσης ή παράλληλης σάρωσης.

9.5 Τεχνικές Δοκιμής Επιπέδου-Συστήματος

Στο επίπεδο συστήματος χρησιμοποιούνται συχνά προγράμματα λογισμικού για τη δοκιμή ενός πλήρους συνόλου πλακετών. Η μετακίνηση σε τεχνολογίες, η αυξανόμενη πολυπλοκότητα των πλακετών και οι τεχνολογίες επιφανειακής στήριξης οδήγησαν τους σχεδιαστές συστημάτων να συμφωνήσουν σε κοινή μεθοδολογία βασισμένη στη σάρωση για τη δοκιμή των ολοκληρωμάτων στην πλακέτα καλούμενη σάρωση ορίων.

9.5.1 Σάρωση Ορίων

Εισαγωγή. Η αρχιτεκτονική σάρωσης ορίων παρέχει ουσιαστικά ένα τυποποιημένο σειριακό μονοπάτι σάρωσης μέσω των ακίδων E/E ενός IC. Οι τύποι δοκιμών που επιτρέπονται είναι δοκιμή συνεκτικότητας μεταξύ στοιχείων, δειγματοληψία και ανάθεση των E/E του ολοκληρωμένου και διανομή και συλλογή αποτελεσμάτων αυτοδοκιμών και ενσωματωμένων δοκιμών.

Η Θύρα Πρόσβασης Δοκιμής-TAP. Είναι ένας προσδιορισμός της προσαρμογής που περιλαμβάνει ένα IC ώστε να είναι ικανό να συμπεριληφθεί σε μία αρχιτεκτονική σάρωσης ορίων. Η θύρα έχει τέσσερις ή πέντε συνδέσεις: α) TCK-είσοδος δοκιμής

ρολογιού, β) TMS-επιλογή είδους δοκιμής, γ) TDI-είσοδος δεδομένων δοκιμής δ) TDO-έξοδος δεδομένων δοκιμής και ε) TRST-σήμα επαναφοράς δοκιμής.

Η Αρχιτεκτονική Δοκιμής. Η βασική αρχιτεκτονική δοκιμής που πρέπει να υλοποιηθεί σε ένα ολοκληρωμένο αποτελείται από τις ακίδες προσαρμογής TAP, ένα σύνολο από καταχωρητές δοκιμής για τη συλλογή δεδομένων από το ολοκληρωμένο, έναν καταχωρητή εντολών για την ενεργοποίηση της εφαρμογής εισόδων δοκιμής στο ολοκληρωμένο και έναν ελεγκτή TAP, ο οποίος ερμηνεύει τις εντολές δοκιμής και ρυθμίζει τη ροή των δεδομένων μέσα και έξω από τον TAP.

Ο Ελεγκτής TAP. Είναι μια μηχανή 16 καταστάσεων που μεταβαίνει από κατάσταση σε κατάσταση βασισμένος στα TCK και TMS σήματα. Παρέχει σήματα που ελέγχουν τους καταχωρητές δεδομένων δοκιμής και τον καταχωρητή εντολών. Αυτά περιλαμβάνουν ρολόγια σειριακής ολίσθησης και ρολόγια ενημέρωσης.

Ο Καταχωρητής Εντολών. Πρέπει να έχει τουλάχιστον δύο bit μήκος και η λογική προσδιορισμού της κατάστασης του καταχωρητή εντολών θα πρέπει να αποκωδικοποιεί τουλάχιστον τρεις εντολές οι οποίες είναι οι παρακάτω: α) BYPASS-η εντολή αυτή χρησιμοποιείται για να παρακάμπτει οποιονδήποτε καταχωρητή σειριακών δεδομένων, β) EXTEST- η εντολή αυτή επιτρέπει τη δοκιμή κυκλώματος εκτός του ολοκληρωμένου, γ) SAMPLE/PRELOAD- η εντολή αυτή τοποθετεί τους καταχωρητές στην DR αλυσίδα.

Καταχωρητές Δεδομένων Δοκιμής. Χρησιμοποιούνται για να θέτουν τις εισόδους των μονάδων που πρόκειται να δοκιμαστούν και για να συλλέγουν τα αποτελέσματα της εκτέλεσης των δοκιμών. Η πιο απλή μορφή καταχωρητή δεδομένων είναι ένας καταχωρητής οριακής σάρωσης και ένας παρακαμπτήριος καταχωρητής ενός bit.

Καταχωρητές Σάρωσης Ορίων. Είναι μία ειδική περίπτωση του καταχωρητή δεδομένων. Επιτρέπει τη δοκιμή των αλληλοσυνδέσεων της πλακέτας του κυκλώματος, τη δοκιμή των εξωτερικών στοιχείων και τη δειγματοληψία της κατάστασης των ψηφιακών E/E του ολοκληρωμένου.

ΚΕΦΑΛΑΙΟ 10: ΣΧΕΔΙΑΣΗ ΥΠΟΣΥΣΤΗΜΑΤΩΝ CMOS

10.1 Εισαγωγή

Οι περισσότερες ψηφιακές λειτουργίες μπορούν να χωριστούν στις παρακάτω κατηγορίες: α) τελεστές χειριστών δεδομένων, β) στοιχεία μνημών, γ) δομές ελέγχου και δ) κύτταρα Ε/Ε. Από τη στιγμή που καθορίζονται οι ομάδες, σχεδιάζονται τα υποσυστήματα CMOS που υλοποιούν αυτές τις λειτουργίες. Υπάρχουν πολλές επιλογές που έχουν να κάνουν με την ταχύτητα, τη δυνατότητα προγραμματισμού, την ευκολία σχεδίασης και πολλές άλλες μεταβλητές. Τα υποσυστήματα αυτά μπορούν να χρησιμοποιηθούν για την κατασκευή συστημάτων σημαντικής πολυπλοκότητας.

10.2 Τελεστές Χειριστών Δεδομένων

Οι τελεστές χειριστών δεδομένων διαμορφώνουν μια σημαντική υποκατηγορία στη σχεδίαση κυκλωμάτων VLSI που επωφελούνται από τις αρχές δομημένης σχεδίασης όπως ιεραρχίας, κανονικότητα, τμηματοποίηση και τοπικότητα. Οι πράξεις των δεδομένων μπορούν γενικά να ακολουθούν σειριακή πορεία στο χρόνο ή στο χώρο, πράγμα που οδηγεί στην έννοια της γειτονικής φυσικής τοποθέτησης των συνδεδεμένων τελεστών δεδομένων. Γενικά, τα δεδομένα μπορούν να κανονιστούν να ρέουν προς μια κατεύθυνση, ενώ κάθε σήμα ελέγχου εισάγεται σε ορθογώνια κατεύθυνση ως προς τη ροή των δεδομένων. Αυτό αντικατοπτρίζει τη φυσική πραγματικότητα ενός CMOS ολοκληρωμένου, το οποίο συνήθως έχει τουλάχιστον δύο καλά στρώματα διασύνδεσης.

10.2.1 Πρόσθεση-Αφαίρεση

Η πρόσθεση αποτελεί τη βάση για πολλές λειτουργίες επεξεργασίας από τη μέτρηση και τον πολλαπλασιασμό, έως το φιλτράρισμα. Ως αποτέλεσμα, τα κυκλώματα αθροιστών που προσθέτουν δύο δυαδικούς αριθμούς είναι αντικείμενο μεγάλης σημασίας για τους σχεδιαστές ψηφιακών συστημάτων. Μία ευρεία ποικιλία από υλοποιήσεις αθροιστών είναι διαθέσιμη για την εξυπηρέτηση διαφορετικών απαιτήσεων ταχύτητας-πυκνότητας. Αναφορικά τα είδη των αθροιστών είναι τα παρακάτω: α) Αθροιστές Απλού Ψηφίου, β) Αθροιστής Παράλληλου Ψηφίου γ) Σειριακοί Αθροιστές ενός bit, Πρόσθεση με Αποθήκευση Κρατουμένου και Διοχεύτωση δ) Αθροιστής Πύλης Μετάδοσης ε) Αθροιστές Πρόβλεψης Κρατουμένου

στ) Αθροιστές Επιλογής Κρατουμένου ζ) Αθροιστής με υπό Συνθήκη Πρόσθεση και η) Πολύ Εκτεταμένοι Αθροιστές

10.2.2 Γεννήτριες Ισοτιμίας

Μια λειτουργία που σχετίζεται με τη δυαδική πρόσθεση είναι η παραγωγή ισοτιμίας, δηλαδή, ο εντοπισμός του άρτιου ή περιττού αριθμού άσων σε μία λέξη εισόδου. Κάποιες φορές είναι αναγκαίο να δημιουργήσουμε την ισοτιμία μίας λέξης και αυτό μπορεί να γίνει με μια από τις γεννήτριες ισοτιμίας στατικού δένδρου XOR, δυναμικής μορφής ή στατικής XOR 4-εισόδων.

10.2.3 Συγκριτές

Ένας συγκριτής μεγέθους είναι χρήσιμος στη σύγκρισή του μεγέθους δύο δυαδικών αριθμών. Κάποιος μπορεί να φτιάξει ένα συγκριτή από έναν αθροιστή και ένα κύκλωμα συμπληρώματος. Τα κυκλώματα συγκριτών μπορεί να είναι βασισμένα σε XNOR, σε πύλες περάσματος και σε ψευδο-nMOS.

10.2.4 Ανίχνευτής Μονάδων-Μηδενικών

Η ανίχνευση όλων των μονάδων ή όλων των μηδενικών σε μεγάλες λέξεις απαιτεί πύλες AND και OR με τεράστια οδήγηση εισόδων. Κάποιος μπορεί να φτιάξει ένα δένδρο από πύλες AND η εναλλακτικά να χρησιμοποιήσει πύλες NAND και NOR.

10.2.5 Δυαδικοί Μετρητές

Οι δυαδικοί μετρητές χρησιμεύουν στο να παίρνουν περιοδικά τις τιμές μίας σειράς δυαδικών αριθμών. Ένας ασύγχρονος μετρητής έχει εξόδους που αλλάζουν σε διαφορετικές χρονικές στιγμές σε σχέση με τις ακμές του ρολογιού, ενώ ένας σύγχρονος μετρητής έχει εξόδους που αλλάζουν την ίδια ουσιαστικά στιγμή.

Ασύγχρονοι Μετρητές. Ένας δυαδικός μετρητής ριπής κρατουμένου που βασίζεται σε καταχωρητή τύπου T.

Σύγχρονοι Μετρητές. Ένας γενικός σύγχρονος μετρητής που χρησιμοποιεί έναν αθροιστή και έναν καταχωρητή D για κάθε bit.

10.2.6 Λειτουργίες Boolean-ALUs

Οι λειτουργίες Boolean είναι οι πιο εύκολα ολοκληρώσιμες χρησιμοποιώντας κύκλωμα βασισμένο σε πολυπλέκτες. Μία αριθμητική λογική μονάδα (ALU) απαιτεί αμφότερες τις αριθμητικές και τις Boolean λειτουργίες. Κάποιος μπορεί είτε να πολυπλέξει έναν αθροιστή με μια μονάδα Boolean είτε να συγχωνεύσει τη μονάδα Boolean μέσα στον αθροιστή.

10.2.7 Πολλαπλασιασμός

Σε πολλές λειτουργίες ψηφιακής επεξεργασίας σημάτων είναι απαραίτητη η πραγματοποίηση πολλαπλασιασμών. Οι αλγόριθμοι πολλαπλασιασμού χρησιμοποιούνται για να ερμηνεύσουν τις μεθόδους σχεδίασης διαφορετικών κυττάρων ώστε να ταιριάζουν σε μια μεγαλύτερη δομή. Η πιο βασική μορφή πολλαπλασιασμού συνίσταται στο να δημιουργείται το γινόμενο δύο θετικών αριθμών. Έτσι, η διαδικασία μπορεί να θεωρηθεί ότι αποτελείται από δύο βήματα, τον υπολογισμό των μερικών γινομένων και τη συσσώρευση των ολισθημένων μερικών γινομένων. Οι πολλαπλασιαστές μπορούν να ταξινομηθούν σύμφωνα με τη μορφή με την οποία οι λέξεις δεδομένων προσπελούνται ονομαστικά σε σειριακή μορφή, σε σειριακή/παράλληλη μορφή και σε παράλληλη μορφή. Αναφορικά, υπάρχει ένας αριθμός από τεχνικές που μπορούν να χρησιμοποιηθούν για τη διεξαγωγή πολλαπλασιασμού οι οποίοι είναι: α) Πολλαπλασιασμός με Πίνακα, β) Πολλαπλασιασμός σε Βάση n , γ) Πολλαπλασιασμός Δένδρου Wallace και δ) Σειριακός Πολλαπλασιασμός.

10.2.8 Ολισθητές

Οι ολισθητές είναι σημαντικά στοιχεία σε πολλές σχεδιάσεις μικροεπεξεργαστών για λειτουργίες αριθμητικής ολίσθησης, λογικής ολίσθησης και περιστροφής. Αμφότερες αριθμητικές και λογικές ολισθήσεις υλοποιούνται όπως και οι περιστροφές. Οι ολισθητές χρησιμοποιούν πύλες μετάδοσης ή βασίζονται σε πολυπλέκτες. Αυτοί που υλοποιούνται με πύλες μετάδοσης είναι περιβόητοι για την εξαπάτηση των τεχνικών χρονισμού εκτός αν η κατευθυντικότητα τον τρανζίστορ παρέχεται με κάποιο τρόπο ενώ ο ολισθητής πολύπλεξης μπορεί να χρησιμοποιεί απομονωμένους πολυπλέκτες, οι οποίοι μπορούν να βοηθήσουν στην επιτάχυνση των σημάτων στις μακριές γραμμές μεγάλων ολισθητών.

10.3 Στοιχεία Μνήμων

Τα στοιχεία μνήμης αποτελούν ζωτικά συστατικά στην υλοποίηση συστημάτων CMOS. Οι γενικής χρήσης μνήμες περιορίζονται από τον αριθμό των ακίδων E/E, την ταχύτητα οδήγησης εσωτερικώς του ολοκληρωμένου και τους τεράστιους εκτός του ολοκληρωμένου εξωτερικούς κόμβους ενώ οι μνήμες μέσα σε ολοκληρωμένα μπορούν να κατασκευαστούν έτσι ώστε να είναι αρκετά γρήγορες και να έχουν μοναδικές οδούς προσπέλασης. Τα στοιχεία μνήμης μπορούν να χωριστούν σε τρεις κατηγορίες: α) Μνήμες τυχαίας προσπέλασης, β) Μνήμες σειριακής προσπέλασης και γ) Μνήμες προσπέλασης με βάση τα περιεχόμενα.

10.3.1 Μνήμες Ανάγνωσης-Εγγραφής RAM

Το κύκλωμα ρύθμισης γραμμής δεδομένων, το κύτταρο-RAM, οι ενισχυτές αίσθησης, οι πολυπλέκτες στήλης και οι απομονωτές εγγραφής σχηματίζουν ένα στενά συνδεδεμένο κύκλωμα που παρέχει εγγραφή και ανάγνωση του κυττάρου μνήμης ελεύθερη από σφάλματα. Οι γραμμές των δεδομένων διατρέχουν το κύκλωμά ως συμπληρωματικά σήματα. Υπάρχουν πολλές παραλλαγές αυτών των κυκλωμάτων για να ικανοποιήσουν τις ποικίλες απαιτήσεις σχετικά με την ποιότητα, την ταχύτητα και τα περιθώρια θορύβου. Μια τυπική διαδικασία ενός γενικού κυκλώματος RAM μπορεί να ακολουθήσει τα παρακάτω βήματα: α) Ανάγνωση Στατικής RAM, β) Εγγραφή Στατικής RAM, γ) Αποκωδικοποιητές σειράς, δ) Αποκωδικοποιητές στήλης, ε) Ενισχυτές αίσθησης και στ) Προϋπολογισμός Χρονισμού RAM.

10.3.2 Παράταξη Καταχωρητών

Η παράταξη των καταχωρητών είναι γενικά γρήγορες RAMs με πολλαπλές θύρες ανάγνωσης και εγγραφής. Τα συμβατικά κύτταρα μπορούν να γίνουν πολλαπλών θυρών προσθέτοντας τρανζίστορ περάσματος. Μια απλή μορφή είναι μια μνήμη απλής θύρας εγγραφής και διπλής θύρας ανάγνωσης. Για ένα διασταυρούμενης σύζευξης αντιστροφέα κυττάρου RAM, οι γραμμές εγγραφής γενικά πρέπει να είναι διαφορικές ενώ οι γραμμές ανάγνωσης μπορεί να είναι μιας εισόδου και μιας εξόδου.

10.3.3 FIFOs, LIFOs, SIPOs

Χρησιμοποιώντας το βασικό κύτταρο μνήμης RAM, κύτταρα πολλαπλών θυρών οι παραλλαγές αυτών, μια ποικιλία μνημών ειδικού σκοπού μπορούν να

κατασκευαστούν. Μια μνήμη τύπου Πρώτο Εισερχόμενο Πρώτο Εξερχόμενο(FIFO) είναι χρήσιμη για την απομόνωση των δεδομένων μεταξύ δύο ασύγχρονων ροών δεδομένων.

10.3.4 Μνήμη Σειριακής Προσπέλασης

Οι μνήμες σειριακής προσπέλασης ή καταχωρητές ολίσθησης είναι επίσης χρήσιμες σε εφαρμογές επεξεργασίας σημάτων για αποθήκευση και καθυστέρηση σημάτων. Μια μνήμη σειριακής προσπέλασης μπορεί να εξομοιωθεί από μια RAM, και πιθανώς για τις περισσότερες εφαρμογές αυτό παρέχει την απλούστερη υλοποίηση επειδή τα CMOS κύτταρα στατικής RAM είναι μία δομή με μεγάλη απόδοση επιφάνειας. Ωστόσο, η RAM περιβάλλεται από περιφερειακά κυκλώματα, όπως αποκωδικοποιητές σειράς και στήλης και ενισχυτές αίσθησης. Σε κάποιες περιπτώσεις, μια αφοσιωμένη μνήμη καταχωρητή ολίσθησης είναι κατάλληλη από άποψη πυκνότητας, ταχύτητας ή χωροθέτησης.

10.3.5 Μνήμη Μόνο Ανάγνωσης

Τα κύτταρα μνημών μόνο ανάγνωσης μπορούν να υλοποιηθούν με μόνο ένα τρανζίστορ ανά bit αποθήκευσης. Μία ROM είναι μια δομή στατικής μνήμης με την έννοια ότι η κατάσταση διατηρείται απεριόριστα ακόμα και χωρίς ισχύ. Ένας πίνακας ROM συνήθως υλοποιείται ως ένα δίκτυο NOR αλλά μπορεί να χρησιμοποιηθεί και μια διάταξη AND αν απαιτούνται πολύ μικρές ROMs.

10.3.6 Μνήμη με Διευθυνσιοδότηση από τα Περιεχόμενα

Μία μνήμη με διευθυνσιοδότηση από τα περιεχόμενα (CAM) εξετάζει μία λέξη δεδομένων και συγκρίνει τα δεδομένα αυτά με εσωτερικά αποθηκευμένα δεδομένα και αν ταιριάζουν, κάνει σήμα ότι υπάρχει ταίριασμα. Τα σήματα ταιριάσματος μπορούν να περάσουν ως γραμμές διεύθυνσης σε μια RAM για να επιτρέψουν την έξοδο μιας συγκεκριμένης λέξης δεδομένων. Η δομή αυτή μπορεί να χρησιμοποιηθεί ως ένας πίνακας μετάφρασης σε εικονικής μνήμης πίνακα αναφοράς μικροεπεξεργαστή.

10.4 Έλεγχος

Οι δομές ελέγχου αποτελούν το πιο δύσκολο κομμάτι μιας σχεδίασης που παίρνει τον περισσότερο χρόνο για σχεδίαση, επαλήθευση και δοκιμή. Το μερίδιο

ελέγχου σε μια σχεδίαση είναι το τελευταίο στην στερεοποίηση του σχεδιαστικού κύκλου και οι μέθοδοι σχεδίασης δομών ελέγχου πρέπει να είναι αυτοματοποιημένες οπότε και γρήγορες στη σχεδίαση.

10.4.1 Μηχανές Πεπερασμένων Καταστάσεων

Οι μηχανές πεπερασμένων καταστάσεων (FSMs) παρέχουν μια οργανωμένη δομή για τη σύλληψη ακολουθίας ελέγχου και λειτουργίας. Διαγραμματικά, μία μηχανή καταστάσεων μπορεί να παρασταθεί από ένα διάγραμμα μετάβασης καταστάσεων στο οποίο οι ονοματιζόμενοι κόμβοι του γραφήματος αντιπροσωπεύουν καταστάσεις και τα ονοματιζόμενα με κατεύθυνση τόξα αντιπροσωπεύουν μεταβάσεις μεταξύ καταστάσεων.

Διαδικασία Σχεδίασης FSM. Η σχεδίαση των σύνθετων μηχανών καταστάσεων απαιτεί τη βοήθεια υπολογιστή ενώ οι μικρές μηχανές μπορούν να σχεδιαστούν με το χέρι. Ονομαστικά τα βήματα της σχεδίασης μιας μηχανής είναι τα παρακάτω: 1. Σχεδίαση του διαγράμματος μετάβασης καταστάσεων, 2. Δοκιμή του διαγράμματος καταστάσεων, 3. Γράψιμο των εξισώσεων κατάστασης, 4. Ανάθεση των καταστάσεων, 5. Συναρμολόγηση των τελικών καταχωρητών και λογικής.

10.4.2 Υλοποίηση Λογικής Ελέγχου

Η λογική ελέγχου στα CMOS κατασκευάζεται με δύο τρόπους, με άθροισμα γινομένων δύο επιπέδων και με πολυεπίπεδη λογική. Οι παραστάσεις του αθροίσματος γινομένων δύο επιπέδων έχουν μια ευθεία γεωμετρική υλοποίηση με τη μορφή Διάταξης Προγραμματιζόμενης Λογικής (PLA). Αμφότερες η δυο επιπέδων και η πολυεπίπεδη λογική μπορούν να υλοποιηθούν με λογικές πύλες CMOS είτε στατικές είτε δυναμικές. Η υλοποίηση μπορεί να γίνει με: α) Υλοποίηση Ελέγχου PLA β) Υλοποίηση Ελέγχου ROM και γ) Πολυεπίπεδη Λογική.

ΚΕΦΑΛΑΙΟ 11: ΠΑΡΑΔΕΙΓΜΑΤΑ ΣΧΕΔΙΑΣΗΣ ΣΥΣΤΗΜΑΤΩΝ CMOS

11.1 Εισαγωγή

Η σχεδίαση CMOS VLSI αντικατοπτρίζει τη σχεδίαση συστημάτων σε επίπεδο πλακέτας, όπου τυποποιημένα στοιχεία όπως ALUs, μνήμες και λογικές πύλες συντίθενται για να σχηματίσουν μια συγκεκριμένη λειτουργία. Δίνονται τρία παραδείγματα μελέτης ολοκληρωμένων με πρώτο έναν μικροελεγκτή Risc, δεύτερο, ένα ολοκληρωμένο διαγραφής σκιάς τηλεοπτικού σήματος και τρίτο, ένα απλό μετατροπέα A/D.

11.2 Ένας Πυρήνας Μικροελεγκτή Risc

Είναι ένας μικροελεγκτής Risc που σχεδιάστηκε ως ένα κομμάτι ενός μεγαλύτερου ολοκληρωμένου για επεξεργασία εικόνας. Το σύνολο εντολών ορίζει τις βασικές λειτουργίες που είναι διαθέσιμες στον επεξεργαστή και αποτελεί για τον επεξεργαστή μια υψηλού επιπέδου προδιαγραφή. Έτσι έχουμε την αρχιτεκτονική των διευθύνσεων που πρόκειται να υλοποιήσει ο μικροελεγκτής και τις δύο κατηγορίες εντολών που είναι: α) Εντολές Κατηγορίας ALU και β) Εντολές Μεταφοράς ελέγχου.

11.2.2 Αρχιτεκτονική Διοχέτευσης

Η ALU_DP είναι υπεύθυνη για τη διεξαγωγή των αριθμητικών και λογικών λειτουργιών. Ο χειριστής δεδομένων του αγωγού εντολών αποθηκεύει την εντολή για έναν αριθμό από στάδια διοχέτευσης και διεξάγει συγκρίσεις για να επιτρέψει την προώθηση δεδομένων. Τα στάδια διοχέτευσης είναι η Παράκαμψη και Προώθηση Αποτελεσμάτων, η Διακλάδωση Υπό Συνθήκη, η Κλήση και Επιστροφή Υπορουτίνων και η Αρχιτεκτονική E/E.

11.2.3 Κύρια Συγκροτήματα Λογικής

Ο ορισμός του συνόλου των εντολών, των διευθύνσεων και των αρχιτεκτονικών της διοχέτευσης ακολουθείται από τον ορισμό των στοιχείων λογικής και αποθήκευσης που θα πραγματοποιήσουν αυτές τις αρχιτεκτονικές. Η αρχιτεκτονική σε μία σχεδίαση RTL ποικίλει. Μία βασική δομή ξεκινά με μια μονάδα ALU_DP που είναι υπεύθυνη για τον υπολογισμό των συλλεγόμενων τελεστών, για τη συλλογή των αποτελεσμάτων

και για τη διασύνδεση με τις εξωτερικές μονάδες και χωρίζεται σε τρία τμήματα: τον I/O-REGS, την ALU αυτούσια και το EXT-BUS-DP. Ακολουθεί η Παράταξη Καταχωρητών, ο Χειριστής Δεδομένων, η Μνήμη Εντολών, ο Αγωγός Εντολών και η Λογική Ελέγχου που είναι υπεύθυνη για την αποκωδικοποίηση εντολών, τον έλεγχο των διευθύνσεων μικροστοίβας, του κώδικα υπό συνθήκη και E/E.

11.2.4 Φυσικό Σχέδιο

Ο μικροελεγκτής κατασκευάζεται χρησιμοποιώντας τρία είδη φυσικών στοιχείων ονομαστικά: στοιχεία χειριστή δεδομένων, φυσικό σχέδιο με τυποποιημένα κύτταρα, φυσικό σχέδιο μνήμης και φυσικά στοιχεία διασύνδεσης.

11.2.5 Λειτουργική Επαλήθευση και Δοκιμή

Το τελευταίο στάδιο αποτελεί η επαλήθευση και η δοκιμή σε διαφορετικά επίπεδα όπως: α) το επίπεδο μεμονωμένης υπομονάδας και χρονισμού, β) το επίπεδο επεξεργαστή και χρονισμού και γ) το επίπεδο ολοκληρωμένου. Μια καλή στρατηγική είναι ένα σύνολο από δοκιμές οπισθοδρόμησης σε κάθε αλλαγή μιας μονάδας ξεκινώντας από κάτω προς τα πάνω έτσι ώστε τα λάθη να βρίσκονται σε μονάδες χαμηλού επιπέδου και να μην ξοδεύεται χρόνος.

11.3 Διαγραφή Ηχούς Τηλεοπτικού Σήματος

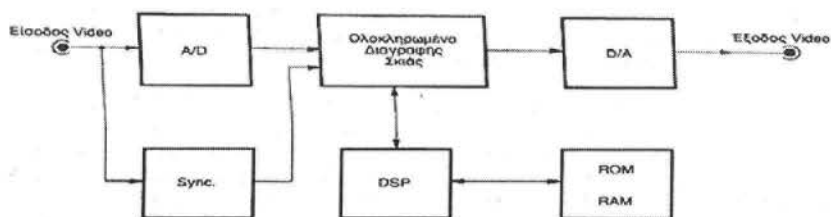
Το ολοκληρωμένο παρουσιάζεται ως ένα παράδειγμα του είδους της δομής που δανείζει τον εαυτό της για να υλοποιηθεί ως μία κανονική δομή. Ένα μεγάλο μέρος της σχεδίασης του ολοκληρωμένου μπορεί να κατευθυνθεί στην επαναλαμβανόμενη δομή, παρέχοντας έτσι αποτελεσματική χρήση της επιφάνειας του ολοκληρωμένου.

11.3.1 Διαγραφή Σκιάς

Η εφαρμογή αυτή είναι στην περιοχή της διαγραφής σκιάς εικόνων. Οι μεταδόσεις τηλεόρασης υπόκεινται σε πολλαπλών διαδρομών διαδόσεις και ασυνέχειες σύνθετων αντιστάσεων γραμμών μεταφοράς. Και οι δύο ατέλειες οδηγούν σε αυτό που ονομάζεται σκιά και είναι γνωστό στους τηλεθεατές. Τα φίλτρα που μπορούν να χρησιμοποιηθούν για να σβήσουν τις σκιές είναι τα φίλτρα FIR και IIR.

11.3.2 Αρχιτεκτονική Συστήματος

Ένα τυπικό σύστημα διαγραφής σκιάς φαίνεται στο παρακάτω σχήμα



Εικόνα 91

11.3.3 Αρχιτεκτονική Ολοκληρωμένου

Η αρχιτεκτονική του ολοκληρωμένου διαπραγματεύεται τα ζητήματα φίλτρου και την ανασκόπηση του ολοκληρωμένου. Οι υπομονάδες ασχολούνται με τις δομικές μονάδες φίλτρου, τις γραμμές καθυστέρησης, την παραγωγή βρόχου κλειδώματος φάσης και ρολογιού και την περιφερειακή επεξεργασία. Η κατανομή ισχύος πρέπει να είναι σωστή ώστε να επιτυγχάνονται ταυτόχρονα οι απαιτήσεις σε μετακινήσεις μετάλλου και η ελάττωση θορύβου μεταγωγής. Η χωροθέτηση του ολοκληρωμένου μας βοηθά στη διαδικασία της σχεδίασης ώστε να βλέπουμε αν η τοποθέτηση των ακροδεκτών E/E και των συνδέσεων με τους ακροδέκτες συσκευασίας συμφωνεί. Τα τμήματα καταλαμβάνουν την μεγαλύτερη επιφάνεια του ολοκληρωμένου.

11.3.4 Δοκιμή και Επαλήθευση

Το τελευταίο στάδιο αποτελεί η επαλήθευση και η δοκιμή σε διαφορετικά επίπεδα όπως και με τη δοκιμή του μικροελεγκτή Risc. Έγιναν δοκιμές σε χαμηλού επιπέδου εξομοιωτές, εξομοίωση χρονισμού στα τμήματα και πλήρη εξομοίωση του ολοκληρωμένου σε επίπεδο πυλών χρησιμοποιώντας έναν λογικό εξομοιωτή με μοναδιαία καθυστέρηση.

11.4 Ένας 6-bit Flash A/D

Αποτελεί ένα παράδειγμα απλού αναλογικού κυκλώματος που είναι περίπου ψηφιακό. Το κύκλωμα είναι ένας 6-bit A/D μετατροπέας υλοποιημένος ως μετατροπέας flash. Αυτό το είδος του μετατροπέα ή παραλλαγών του είναι ιδιαίτερα χρήσιμο σε συχνότητες δειγματοληψίας video.

11.4.1 Βασική Αρχιτεκτονική

Παρουσιάζεται ένας 6-bit A/D μετατροπέας που αποτελείται από μια σειρά αντιστάσεων πολυπυριτίου. Τα αναλογικά μέρη περιλαμβάνουν τη σειρά των αντιστάσεων και των συγκριτών και το ψηφιακό μέρος αποτελείται από τους καταχωρητές, τις πύλες NOR και την PLA.

11.4.2 Σειρά Αντιστάσεων - Ο Συγκριτής

Οι αντιστάσεις μπορούν να υλοποιηθούν ως αντιστάσεις διάχυσης, αντιστάσεις πολυπυριτίου ή μετάλλου σε πολύ υψηλής ταχύτητας μετατροπείς flash. Σε αυτό χρησιμοποιήθηκαν αντιστάσεις πολυπυριτίου. Ο συγκριτής αποτελείται από δύο διαδοχικούς χωρητικά συζευγμένους, αυτομηδενιζόμενους αντιστροφείς ακολουθούμενους από έναν δυνητικό καταχωρητή. Η έξοδος των συγκριτών είναι σε κώδικα θερμομέτρου, η οποία πρέπει να μετατραπεί σε δυαδικό αριθμό και αυτό επιτυγχάνεται με τη χρήση μιας λογικής πύλης.

11.4.3 Χωροθέτηση και Φυσικό Σχέδιο

Ένα βασικό κύτταρο οριζόντια ενώνει μια αντίσταση, δύο συγκριτές, τον καταχωρητή και την πύλη θερμομέτρου. Η δομή αυτή διατάσσεται κάθετα 64 φορές. Ο κωδικοποιητής PLA προσαρμόζεται στα δεξιά της δομής και το ρολόι και οι απομονωτές E/E τοποθετούνται στην κορυφή και στο κάτω μέρος της δομής. Η χωροθέτηση παρουσιάζεται στο παρακάτω σχήμα.



Εικόνα 92

ΣΥΜΠΕΡΑΣΜΑΤΑ

Όπως κάθε τεχνολογικός τομέας, για όλα όσα μιλήσαμε βρίσκονται συνεχώς σε εξέλιξη. Ακολουθούν μια γενικότερη εξελικτική πορεία που συνδέεται με τον ευρύτερο τομέα της Επιστήμης της Πληροφορικής και σχεδίασης κυκλωμάτων.

Από την ανάγνωση και την μελέτη προκύπτουν θέματα προς έρευνα όπως η ασύγχρονη σχεδίαση σε σχέση με τη σύγχρονη (ακολουθιακή) σχεδίαση, οι μηχανισμοί Αριθμητικής σειριακών ψηφίων για βελτιστοποίηση του τομέα VLSI, νέα πρότυπα των αριθμητικών κυκλωμάτων:

- i. Neuronlike computational elements
- ii. Optical computing (redundant representations)
- iii. Multivalued logic (match to high-radix arithmetic)
- iv. Configurable logic

ΒΙΒΛΙΟΓΡΑΦΙΑ

- Parhami, B. (2000), “Computer Arithmetic: Algorithms and Hardware Designs”, Oxford University Press, New York
- Weste, N., Eshraghian, K. (1996) “Σχεδίαση Ολοκληρωμένων Κυκλωμάτων CMOS VLSI”, εκδόσεις Παπασωτηρίου
- Weste, N., Eshraghian, K. (1996) “Principles of CMOS VLSI designs”, published by Addison Wesley
- Αλεξίου, Γ. “Σχεδιασμός Συστημάτων VLSI”, Ανακτήθηκε από:
<http://www.ceid.upatras.gr/faculty/alexiou/vlsi2/>

